

Konstruksjon av 20GHz lågstøyforsterker med gain-kontroll i GaAs MMIC-teknologi

Svein Inge Trefall

Master i elektronikk
Oppgåva levert: Juni 2008
Hovudrettleiar: Morten Olavsbråten, IET

Oppgåvetekst

GaAs MMIC-teknologi benyttes i stadig større grad i komponenter som ligger nær antenna i en radioanhet - både i infrastrukturutstyr og på brukersiden. Dette fordi GaAs-teknologien har god ytelse både i lavstøy- og effektførsterkere og i antenneswitcher(høy isolasjon). Etter hvert som høyere frekvenser tas i bruk i nye trådløse tjenester antas bruken av GaAs-teknologi å øke, og kunnskapen om design av utstyrsspesifikke komponenter vil bli etterspurt.

Oppgaven vil derfor gå ut på å:

- sette seg inn i aktuelle verktøy for simulering og optimalisering
- sette seg inn i Triquint's MMIC prosess for pHEMT
- sette seg inn i teori for lavstøydesign
- konstruere en ett trinns lavstøyforsterker for 20 GHz
- konstruere en to trinns 20GHz lavstøyforsterker med gain-kontroll
- lage forslag til utlegg for produksjon hos triquint

Oppgåva gitt: 22. januar 2008

Hovudrettleiar: Morten Olavsbråten, IET

Forord

Denne masteroppgåva er gitt av førsteamanuensis Morten Olavsbråten ved institutt for elektronikk og telekommunikasjon. Han har også vært hovedveileder. Oppgåva vart foreslått av Nera Networks. Oppgåva er ein fortsettelse av prosjektoppgåva[4] som vart skriven høsten 2007. Det vart då konstruert ein 20 GHz lågstøyforsterker i GaAs MMIC-teknologi.

Det er i denne masteroppgåva blitt lagd utlegg til lågstøyforsterkeren basert på TriQuint sin pHEMT prosess. Utlegget vart sendt til produksjon. Det har også blitt konstruert eit dempeledd som gir forsterkeren gain-kontroll. Dette skulle egentlig vært ein del av prosjektoppgåva. Det andre forsterkertrinnet i lågstøyforsterkeren har blitt konstruert på nytt. Det var desverre ikkje mulig å måle på den produserte forsterkeren på grunn av feil i utlegget. Det har derfor blitt målt på andre passive MMIC-komponenter, dels for læringens skyld, men også for å prøve å anslå ytelsen til den produserte forsterkeren.

Eg vil takke Morten Olavsbråten og Marius Ubostad for uvurderlig hjelp under arbeidet med masteroppgåva.

Svein Inge Trefall, 23.06.2008

Sammendrag

Arbeidet i denne masteroppgåva er ein fullføring av arbeidet som vart påbegynt i prosjektoppgåva. Der skulle det konstrueres ein 20 GHz lågstøyforsterker med gain-kontroll i GaAs MMIC-teknologi. På grunn av tidsmangel vart det i prosjektoppgåva konstruert ein lågstøyforsterker uten gain-kontroll. I denne masteroppgåva har det blitt lagd utlegg til lågstøyforsterkeren konstruert i prosjektoppgåva. Denne vart sendt til TriQuint Semiconductor for produksjon, men på grunn av feil i dimensjoneringa av probepadene i utlegget var det ikkje mulig å få målt på kretsen. Det vart derfor gjort målinger på passive MMIC-komponenter på chip for å prøve å anslå ytelsen til den produserte lågstøyforsterkeren og for generelt å teste gyldigheten av simuleringsresultat ved høge frekvenser. Dempeleddet som opprinnelig var ein del av prosjektoppgåva, men som det ikkje vart tid til å lage, har blitt konstruert. Det andre forsterkertrinnet i lågstøyforsterkeren har blitt konstruert på nytt med anrikningstype transistor i staden for deplesjonstype transistor. Ulike andre endringer i kretsen har også blitt gjort for å forbedre forsterkinga til lågstøyforsterkeren. Agilents Advanced Design System (ADS) har blitt benytta for å konstruere og simulere kretsene, samt for å lage utlegg. Det nye designet av det andre forsterkertrinnet ga den totale forsterkeren eit gain på 24,85 dB, noko som er ei forbedring på omlag 5,5 dB i forhold til den opprinnelige forsterkeren. Støytallet økte med 0,76 dB til 4,18 dB. Det nye forsterkertrinnet medførte at forsterkeren tålte mindre signal på inngangen. Den nye forsterkeren hadde sitt 1dB-kompresjonspunkt ved -22 dBm inngangseffekt, mens den opprinnelige forsterkeren hadde sitt ved -4 dBm. Maksimalt strømtrekk for den nye forsterkeren var 75 mA. Den nye forsterkeren var ubetinga stabil ved alle frekvenser. Dempeleddet viste seg å forbedre effekthåndteringsegenskapene til lågstøyforsterkeren. Det vart konstruert med ei forsyningsspenning på 3V og hadde eit maksimalt strømtrekk på omlag 10 mA. Innsatt i den opprinnelige forsterkeren vart dempeverdier mellom 2 og 10 dB oppnådd. Ved innsetting i den nye forsterkeren kunne ein variere dempeverdiene frå 3 til 10 dB. Eit nettverk vart konstruert slik at dempeleddet kunne kontrolleres med kun ei kontrollspenning. Under arbeidet er det vist nokre viktige moment for forsterkerkonstruksjon ved 20 GHz. Transistortype må velges ut frå bruksområde, og små transistordimensjoner gir bedre signal-gain. Større DC-innføringsspoler gir generelt bedre ytelse. Transmisjonslinjer kan ved denne frekvensen brukes i staden for sentrerte komponenter og vil gi bedre støy- og gain- ytelse. Ved bruk av dempeledd vil støy- ytelsen til forsterkertrinnet som kjem etter dempeleddet vere viktig.

Innhold

1	Innledning	1
1.1	Bakgrunn	1
1.2	Oppgåva	1
2	Bakgrunnsteori	3
2.1	MMIC	3
2.1.1	Transmisjonslinjer	3
2.1.2	Kondensatorer	4
2.1.3	Spoler	4
2.1.4	Motstander	5
2.1.5	VIA-hol	5
2.2	Transistorteknologi	5
2.3	Mikrobølge forsterkerkrets	6
2.4	S-parameter	6
2.5	Støy	6
2.6	Støy- og Gainsirkler	7
2.7	Stabilitetsfaktor	8
2.8	Målefeil og kalibrering	8
3	Oppsummering av LNA	10
3.1	Val av transistor	10
3.2	Design med ideelle komponenter	10
3.3	Reelle komponenter	11
3.4	Oppsummering	12
4	Utlegg	13
4.1	Konstruksjonshensyn	13
5	Dempeledd	16
5.1	Innledning	16
5.2	Alternativ til løsninger	16
5.3	Konstruksjon av dempeledd	17
5.3.1	Kalkulering av motstandsverdier	17
5.3.2	Val av transistortype	18
5.3.3	Kompensering av transistorene	19
5.4	Konstruksjon av kontrollnettverk	20
6	Redesign av trinn 2	27
6.1	Arbeidspunkt og transistordimensjoner	27
6.2	S-parametre	28
6.3	Tilpasningsnettverk	30
7	Målinger	33

7.1	Måleutstyr	33
7.2	Kalibrering	34
8	Resultat og diskusjon	38
8.1	Utlegg	38
8.2	Dempeledd	42
8.2.1	Dempeledd med kontrollnettverk innsatt	42
8.2.2	Dempeledd innsatt i LNA	43
8.3	Redesign av forsterkertrinn 2	45
8.3.1	Forsterkertrinn 2	45
8.3.2	Ny lågstøyforsterker	46
8.3.3	Ny lågstøyforsterker med dempeledd	53
8.4	Målinger	54
9	Konklusjon	55
A	Simuleringsoppsett	58
B	Kretsskjema	64
C	Måleresultat	73
C.1	Spole1	73
C.2	Spole2	75
C.3	Spole3	77
C.4	Spole4	79

Figurer

1	Induktiviteten til ein generell spole	4
2	Ein generell forsterkerkrets	6
3	Støy- og gainsirkler i eit smith-diagram	8
4	Kopling mellom transistor og VIA-hol	13
5	DC-feed-spoler brukt mellom Vd og transistorer	14
6	Kompenserende kapasitans mellom DC-pad og jord	15
7	Figur av enkelt pi-dempede	17
8	Impedans til ukompensert transistor ved varierende bias-spenning	19
9	Biaseringsspenninger som funksjon av demping	21
10	Impedansen til transistor 1	22
11	Impedansen til transistor 2	22
12	Biaseringsspenninger som funksjon av demping inkludert approksimasjoner	23
13	Utgangspunkt for kontrollkrets	24
14	Simuleringsresultat av kontrollnettverkets utgangsspenninger	25
15	Simuleringsresultat av kontrollnettverkets strømtrekk	25
16	IV-kurver for transistor	28
17	Simuleringsresultat for DC-feed-spole	29
18	Resultat av S-parametersimulering av transistor	30
19	Resultat av gain-simulering av trinn 2 med ideelle komponenter	31
20	Resultat av støysimulering av trinn 2 med ideelle komponenter	31
21	Layout til fire ulike spoler	33
22	Måleutstyret	34
23	Line-komponent	35
24	Reflect-komponent	35
25	Den andre reflect-komponenten	35
26	Match-komponent	35
27	Kalibreringsstrukturer i layout	35
28	Resultat etter kalibrering	36
29	Utlegg av forsterkertrinn 1	38
30	Utlegg av forsterkertrinn 2	39
31	Komplett utlegg av kretsen	40
32	Den ferdigproduserte kretsen	41
33	Demping vs. kontrollspenninger	43
34	Resultat av gain-simulering av trinn 2 med reelle komponenter	45
35	Resultat av støysimulering av trinn 2 med reelle komponenter	46
36	Resultat av gain-simulering av den totale forsterkeren med det nye trinnet innsatt	47
37	Resultat av gain-simulering for å finne båndbredden til forsterkeren	48
38	Resultat av simulering av S22	48
39	Resultat av støysimulering av den totale forsterkeren med det nye trinnet innsatt	49

40	Resultat av stabilitetssimulering av den totale forsterkeren med det nye trinnet innsatt	50
41	Resultat av effektsimulering av den totale forsterkeren med det nye trinnet innsatt	51
42	Strømtrekk ved maksimal inngangseffekt for total forsterker	52
43	Simuleringsoppsett for å finne transistorimpedans	58
44	Simuleringsoppsett av kontrollnettverk	59
45	Simuleringsoppsett for å finne IV-kurver	60
46	Simuleringsresultat av transistor med bias-spenninger påtrykt	60
47	Simuleringsoppsett for spoler	61
48	Simuleringsoppsett for å finne S-parameter	61
49	Oppsett for simulering av strømtrekk	62
50	Oppsett for måleresultater	63
51	Oppsett for simulering av spoler	63
52	Den opprinnelige lågstøyforsterkeren	65
53	Dempeledd med reelle komponenter	66
54	Ferdig dempeledd med kontrollnettverk	67
55	Den opprinnelige lågstøyforsterkeren med dempeledd innsatt	68
56	Forsterkertrinn 2 med ideelle komponenter	69
57	Forsterkertrinn 2 med reelle komponenter	70
58	Den totale forsterkeren med det nye forsterkertrinnet innsatt	71
59	Den totale forsterkeren med det nye forsterkertrinnet innsatt	72
60	S11 for spole 1	73
61	S22 for spole 1	74
62	S12 for spole 1	74
63	S11 for spole 2	75
64	S22 for spole 2	76
65	S12 for spole 2	76
66	S11 for spole 3	77
67	S22 for spole 3	78
68	S12 for spole 3	78
69	S11 for spole 4	79
70	S22 for spole 4	80
71	S12 for spole 4	80

Tabeller

1	Oppsummering av ytelsen til lågstøyforsterkeren	12
2	Teoretiske motstandsverdier for dempeledd	18
3	Egenskaper for dempeledd med kontrollkrets innsatt	42
4	Egenskaper for dempeledd med kontrollkrets innsatt forts.	42
5	Egenskaper for lågstøyforsterker med dempeledd innsatt	44
6	Egenskaper for lågstøyforsterker med dempeledd innsatt forts.	44
7	Oppsummering av ytelsen til lågstøyforsterkeren	52
8	Egenskaper for ny lågstøyforsterker med dempeledd innsatt	53
9	Egenskaper for lågstøyforsterker med dempeledd innsatt forts.	53

1 Innledning

1.1 Bakgrunn

Etter kvart som høgare frekvenser tas i bruk i nye trådløse tjenester antas bruken av GaAs MMIC-teknologi å øke, og kunnskapen om design av utstyrsspesifikke komponenter vil bli etterspurt. MMIC-kretser blir benytta i dei fleste applikasjoner som involverer å sende og motta mikrobølgesignal. Eksempel på dette spenner frå mobiltelefoni, trådløse nettverk (WLAN) og GPS som opererer i låg-gigahertz-enden til jordobservasjons-radiometre som opererer ved fleire hundre GHz. MMIC-kretser blir brukt i kommunikasjonsindustrien innenfor optisk-fiber-kommunikasjon, satelittkommunikasjon og punkt-til-punkt-linker. Dei blir også brukt i bilindustrien til blandt anna kjøretøyidentifikasjon og i vegprisingssystem. GaAs MMIC-teknologi har god ytelse både i lågstøyforsterkere, effektforsterkere og i antenneswitcher. Derfor benyttes teknologien i stadig større grad i komponenter som ligg nær antenna i ein radioenhet.

Lågstøyforsterkere er nødvendige i mottakersystem for å forsterke opp svært små signal frå antenna uten å bidra med for mykje støy. Dei blir ofte plassert svært nær antenna. Det første forsterkertrinnet i systemet dominerer støybidraget til det komplette systemet og må konstrueres til å ha eit lågt støytal, samtidig som det har høgt signal-gain. pHEMT-transistorenes gode støy- og forsterkingsegenskaper ved høge frekvenser gjer dei svært populære til bruk i mikrobølge lågstøyforsterkere.

1.2 Oppgåva

I denne masteroppgåva skal det lages utlegg av lågstøyforsterkeren konstruert i prosjekttoppgåva slik at denne skal kunne sendes til produksjon. Ein viktig del av oppgåva er derfor å sette seg inn i TriQuints MMIC-prosess for pHEMT. Egenskaper ved prosessen må tas hensyn til ved plassering av komponenter og ledere. Demepeleddet som opprinnelig var ein del av prosjekttoppgåva skal konstrueres. Det andre forsterkertrinnet i lågstøyforsterkeren skal konstrueres på nytt med anrikningstype pHEMT-transistor og bedre avkoplingsspoler for å oppnå høgare gain for den komplette forsterkeren. I dette arbeidet må det også tas hensyn til TriQuints MMIC-prosess når ein dimensjonerer komponenter og ledere. Agilent's Advanced Design System (ADS) skal brukes som hjelpemiddel for simulering og optimalisering. Verktøy og forhåndsskrivne funksjoner i programvaren må læres og forstås.

Kapittel 2 vil ta for seg det viktigste av teorien bak MMIC-teknologien, S-parametre, støy, stabilitet, bruken av Smith-diagram, transistorteknologien som vart brukt og målefeil og kalibrering ved bruk av nettverksanalysator. Kapittel 3 vil oppsummere egenskapene til den opprinnelige lågstøyforsterkeren. Kapittel 4 vil beskrive arbeidet med utlegget for den opprinnelige lågstøyforsterkeren og dei hensyna som vart tatt ved plasseringa av dei ulike komponentene på chipen. Kapittel 5 tar for seg konstruksjonen av dempeleddet

frå kalkulering av motstandsverdier til kompensering og bruk av transistorer som motstander. Kapittel 6 tar for seg konstruksjonen av det nye forsterkertrinnet. Kapittel 7 tar for seg arbeidet med målingene av passive MMIC-komponenter. Kapittel 8 vil oppsummere resultata av alt arbeidet, inkludert ferdig layout, ytelsen til det nye forsterkertrinnet, egenskapene til dempeleddet, ytelsen til den opprinnelige forsterkeren med dempeleddet innsatt, ytelsen til den nye forsterkeren med dempeleddet innsatt og resultata frå målingene av passive MMIC-komponenter.

2 Bakgrunnsteori

2.1 MMIC

MMIC står for Monolithic Microwave Integrated Circuits og er ein type kretser som opererer ved mikrobølgefrequensar, det vil sei frå 300 MHz til rundt 300 GHz. I MMIC-teknologi kan ulike materialar brukast som halvledersubstrat. Nokre av dei vanlegaste materiala er Gallium Arsenid (GaAs), Polysilisium (Si), høg-resistivt silisium, Indium Fosfid (InP) og Silisium Karbid (SiC). I MMIC-kretser blir dei aktive og dei passive mikrobølgekomponentane produserte på det same halvledersubstratet. Dei blir ofte matcha til 50Ω slik at dei lettare kan brukast saman med andre MMIC-kretser.

MMIC-teknologien er veldig kostnadseffektiv for masseproduksjon. MMIC-kretser er små og lette, noko som gjer dei ideelle til mobilt bruk. Teknologien er svært påliteleg. Mange MMIC-prosesser er så pålitelege at dei kvalifiserer for bruk i rommet.[2]

Passive komponentar tar opp 80 % av chip-arealet og står for 70 % av kostnadane i forbindelse med produksjon av MMIC-kretser. Passive komponentar av høg kvalitet er nødvendig for å redusere forvrengning og effektforbruk, og for å forbedre den generelle ytelsen til systemet.

2.1.1 Transmisjonslinjer

Siden det designes for frekvensar i RF- og mikrobølgeområdet kan distansen mellom komponentar vere ein betydelig andel av ein bølgelengde. Alle spennings langs ei metallinje er ein funksjon av amplitude og fase. Alle metallkoplingar må derfor behandlast som transmisjonslinjer.

MMIC benytter multilag strip-, mikrostrip- og koplanar bølgeleder-transmisjonslinjer. Mikrostriplinjer er den vanlegaste typen transmisjonslinjer i MMIC. Ei mikrostriplinje består av eit metallspor på eit dielektrisk substrat med eit jordplan under. Det elektriske feltet ligg hovudsakleg under metallsporet, men det strekker seg også utafor endene til metallinjene.

Det som hovudsakleg bestemmer karakteristikkane til ei mikrostrip transmisjonslinje er forholdet mellom breidda til metallsporet og høgden til det dielektriske laget. Ei metallinje der breidda til linja er av same størrelse som dybden til substratet under vil ha eit meir parallelt elektrisk felt under metallsporet. Ei smalare metallinje har elektriske feltlinjer som ligg tettare. Tapet i transmisjonslinjene består av dielektrisk tap i halvledersubstratet og i dei dielektriske laga, samt ledningstap i dei tynne transmisjonslinjene.

Det elektriske og magnetiske feltet til ei bølge som forplanter seg langs ei linje ligg både i substratet og i lufta. Siden forplantningshastigheten i dei to mediuma er ulike kan ikkje ein enkelt TEM-modus opprettholdes. Forplantningsmodusar er ein såkalt kvasi-TEM-modus. Denne kan sjåast på som eit reint TEM-modus som forplantes i eit homogent

dielektrisitetsmateriale der den effektive relative dielektrisitetskonstanten ξ_{eff} har ein verdi som ligg mellom verdien til den relative dielektrisitetskonstanten til substratet ξ_r og verdien i luft.

2.1.2 Kondensatorer

Det finnes tre ulike typer kondensatorer i MMIC: interdigitale kondensatorer, overlay-kondensatorer og MIM-kondensatorer.

MIM står for metal-insulator-metal og kondensatorer av denne type kan ta verdier frå 0.1 til 50 pF. [3] Det er denne typen kondensatorer som er støtta i den brukte foundryen.

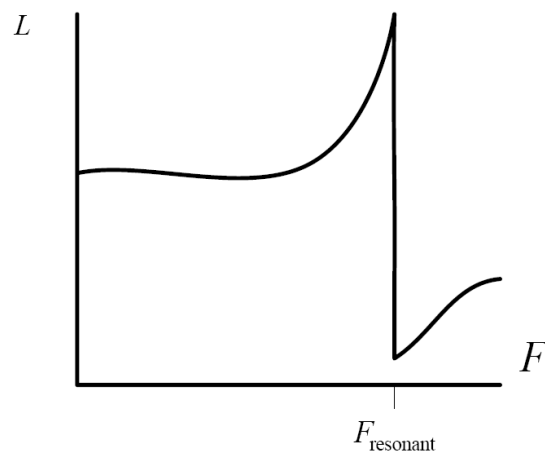
2.1.3 Spoler

Parametre å ta hensyn til i forhold til spoler er induktiviteten, kvalitetsfaktoren (Q-faktoren) og den parasittiske resonansfrekvensen.

Kvalitetsfaktoren Q er definert som forholdet mellom forskjellen på den magnetiske og den elektriske energien lagra i spolen og gjennomsnittet av effekten som forbrukes i ein duty-cycle.

$$Q = \frac{2\omega(\bar{W}_m - \bar{W}_e)}{P_{diss}} \quad (1)$$

Dersom Q-faktoren i 1 er større enn null er spolen induktiv og dersom Q-faktoren er mindre enn null er spolen kapasitiv. Ved $Q = 0$ er vi på resonansfrekvensen til spolen. Induktiviteten til ein generell spole som funksjon av frekvensen er vist i figur 1.



Figur 1: Induktiviteten til ein generell spole

2.1.4 Motstander

Det fins to typer motstander i MMIC-teknologi: mesa-motstander og tynn-film-motstander. Mesa-motstander lages av dopa områder som er isolerte frå substratet. For å få ulike motstandsverdier endrer ein dopinga og dimensjonene til motstanden. Tynn-film-motstander konstrueres ved hjelp av ein sputtering-prosess der ein tar i bruk høg-resistive metaller eller sammensetninger.

2.1.5 VIA-hol

VIA-hol er hol i det dielektriske substratet som fylles med metall. Dei brukes for å kople sammen dei ulike signal-laga og for å kople komponenter til jord. VIA-hol består av pader og vertikale staver. Dei blir forma enten ved drilling eler ved etsing.

2.2 Transistorteknologi

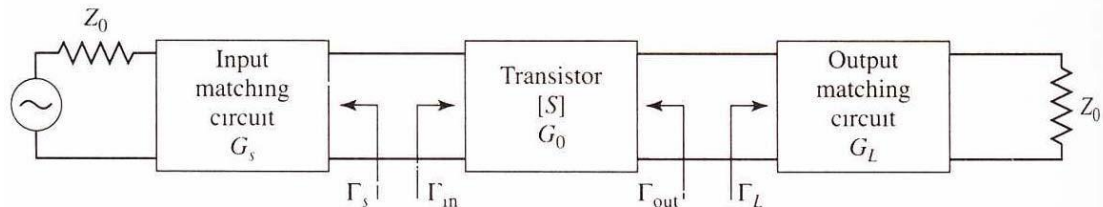
Krava til transistoren som skulle brukes i lågstøyforsterkeren var at den skulle ha betydelig gain ved høge frekvenser samtidig som den skulle ha lite støy. Jo raskare den maksimale elektronhastigheten er og jo høgare elektronmobilitet ein har, desto raskare kan elektrona reagere på det høgfrekvente signalet som blir påtrykt transistoren.[2] Ved å holde kollisjonsraten mellom ladningsberarane og gitteratoma i halvledermaterialet i transistoren lågt sikrer ein også at det genereres lite støy i transistoren.

Transistoren som er brukt i lågstøyforsterkeren er en såkalt pHEMT. HEMT står for high electron mobility transistor og er ein felteffekttransistor som opererer på ein liknande måte som MESFET-transistorer. Kanalen i ein HEMT er konstruert ved hjelp av ein forbindelse av to ulike halvledermaterialer, ein såkalt heteroforbindelse. Dei to materiala er vanlegvis GaAs og AlGaAs. Dei frie elektrona samles svært tett inntil heteroforbindelsen og former noko som kalles ein todimensjonal elektrongass. Denne elektrongassen held seg borte frå gitteratoma slik at elektrona ikkje kolliderer med dei. Dette gir elektrona høgare mobilitet. Siden elektrona sjeldnare kolliderer med ureinhetene som genererte dei er støytalet til ein HEMT vesentlig lågare enn for vanlege FET-transistorer.

pHEMT står for Pseudomorphic HEMT. I ein pHEMT er tjukkelsen til det andre halvledermaterialet i forbindelsen, vanlegvis InGaAs, svært tynt. Siden dette laget er så tynt kan det strekkes slik at det matcher gitterkonstanten til det omliggande halvledermaterialet, og det dannes eit pseudomorfisk lag. På denne måten oppnås dei forbedra elektronmobilitetsegenskapene til InGaAs samtidig som den totale MMIC-kretsen kan produseres på eit GaAs-substrat.

2.3 Mikrobølge forsterkerkrets

Figur 2 viser eit bilde av ein generell forsterkerkrets. Ein eit-trinns mikrobølgeforsterker kan modelleres som ein krets bestående av ein transistor med tilpasningsnettverk på inngang og utgang. Tilpasningsnettverka har som oppgåve å transformere inngangs- og utgangsimpedansen Z_0 til kilde- og lastimpedansen Z_S og Z_L .



Figur 2: Ein generell forsterkerkrets

2.4 S-parameter

Den såkalte scattering matrix, eller S-matrisen gir ein komplett beskrivelse av eit nettverk ved å relatere dei innkommende spenningsbølgene ved portene til nettverket til dei spenningsbølgene som blir reflektert frå portene. Denne matrisen er spesielt nyttig ved høge frekvenser der det er vanskelig å måle totale strømmar og spenningar. Eit element i S-matrisen er gitt ved:

$$S_{ij} = \frac{V_i^-}{V_j^+}$$

Denne formelen sier at S_{ij} blir funnet ved å drive port j med ein innkommende bølge med spenning V_j^+ og måle den reflekterte bølgeamplituden V_i^- som kjem ut frå port i .

2.5 Støy

Ved høge frekvenser, dvs. frekvenser over $\frac{1}{f}$ -frekvensen, er støyen i ein device med tre terminaler dominert av termisk støy, også kalt Johnson-støy, og shot-støy.[3] Den termiske støyen skyldes tilfeldig bevegelse av ladningsbærere. Termisk støy genereres i alle passive komponenter som har tap.

Dersom eit signal går gjennom fleire ulike komponenter kopla i kaskade vil dei første trinna ha mest å sei på det totale støytalet. Friis' formel gir støytalet til det totale systemet som funksjon av støyen og gainet til dei enkeltstående trinna.[1]

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots$$

2.6 Støy- og Gainsirkler

Siden det generelt sett ikkje er mulig å oppnå både minimal støy og maksimalt gain i ein forsterker må det gjeres eit kompromiss. For å gjere ei avveing mellom støy og gain kan ein tegne støy- og gainsirkler i eit smith-diagram. Eit konstant støytal definerer sirkler med sentrum i

$$C_f = \frac{\Gamma_{opt}}{N + 1}$$

og med radius

$$R_f = \frac{\sqrt{N(N + 1 - |\Gamma_{opt}|^2)}}{N + 1}$$

der N er definert som

$$N = \frac{F - F_{min}}{4R_N/Z_0} \cdot [1]$$

Eit punkt på ein støysirkel representerer ein Γ_S som gir støy tilsvarende støyfaktoren N som vart brukt til å definere sirkelen. Når ein designer for lågast mulig støy vil det vere i inngangsnettverket ein kan gjere avveinga mellom støy og gain. Sirkler for konstant gain har sentrum i

$$C_S = \frac{g_S S_{11}^*}{1 - (1 - g_S) |S_{11}|^2}$$

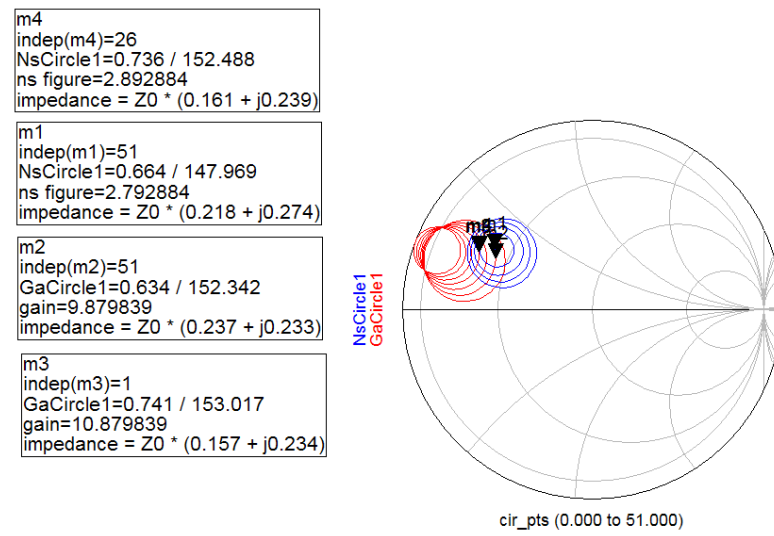
og har radius

$$R_S = \frac{\sqrt{1 - g_S(1 - |S_{11}|^2)}}{1 - (1 - g_S) |S_{11}|^2},$$

der

$$g_S = \frac{G_S}{G_{S_{max}}} \cdot [1]$$

I uttrykket for g_S er G_S gainet sirkelen representerer og $G_{S_{max}}$ gainet som oppnås med konjugert tilpassing på inngangen. ADS har ferdiglaga funksjoner for støy- og gain-sirkler. Eit eksempel på slike sirkler er vist i figur 3.



Figur 3: Støy- og gainsirkler i eit smith-diagram

2.7 Stabilitetsfaktor

For at kretsen skal vere ubetinga stabil, dvs. stabil for alle mulige kilde- og lastimpedansar, held det at Rollets stabilitetsfaktor K er større enn 1 og at stabilitetsmålet b er positivt. K er definert som

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2 |S_{12}S_{21}|}$$

og b er definert som

$$b = 1 + |S_{11}|^2 - |S_{22}|^2 - |S_{11}S_{22} - S_{12}S_{21}|^2 \cdot [1]$$

2.8 Målefeil og kalibrering

Eit perfekt målesystem har uendelig dynamisk område, uendelig isolasjon, uendelig direktivitet, ingen mistilpassing og flat frekvensrespons. Praktiske målesystem er ikkje ideelle og vil derfor introdusere målefeil. Når ein benytter ein automatisk nettverksanalysator er det tre hovedyper målefeil ein må ta hensyn til:

1. Ein har tilfeldige feil som er ikkje-repeterbare. Denne typen feil kan reduseres ved å gjere mange målingar og ta snittet av dei. Tilfeldige feil kan ikkje kalibreres bort.
2. Ein har systematiske feil som er repeterbare avvik som oppstår på grunn av ufullstendigheter i analysatoren og i testoppsettet. Desse feila kan kalibreres bort. Ein har

tre ulike typer systematiske feil. Direktivitetsfeil er feil som skyldes endelig direktivitet i testsettet, og andre former for lekkasje av innfallende signal over til testporten. Frekvensresponsfeil er feil som skyldes amplitude- og fasefeil i kopler, testkabler og fysisk ulik test- og referansekanal, noko som gjer at signalnivå og fase endres med frekvensen. Kildefeil er feil som oppstår fordi me frå DUT (Device Under Test) mot kilden ikkje ser eksakt 50Ω . Dette vil mellom anna føre til nivåvariasjon i innfallende signal på DUT.

3. Den siste hovedtypen av målefeil er drift-feil. Denne typen feil oppstår når egenskapene til målesystemet endrer seg etter at kalibreringen er gjennomført. Ein typisk kilde til slike feil er temperaturendringer. Ein måte å redusere denne typen feil på er å gjennomføre gjentatte kalibreringer.

3 Oppsummering av LNA

I prosjektoppgåva vart det laga eit design av ein to-trinns 20 GHz lågstøyfosterker i GaAs MMIC-teknologi. Opprinnelig var tanken å lage ein lågstøyforsterker med gain-kontroll. Det vart desverre ikkje tid til å konstruere eit dempeledd under arbeidet med prosjektoppgåva. Konstruksjonen av dempeleddet vart i staden ein del av masteroppgåva. Her følger ein rask oppsummering av arbeidet i prosjektoppgåva.

3.1 Val av transistor

Det første steget i konstruksjonen av lågstøyforsterkeren var å velge teknologi. Naturlig nok var det hensynet til støyen som veide tyngst. Som nevnt i seksjon 2.2 vil kapasitanser i transistoren ved høge frekvenser effektivt kople støyen som genereres internt i devicen til inngangen og utgangen. Det var altså viktig å velge ein transistor med låg kapasitans og låg intern resistans. pHEMT var det naturlige valget. Denne transistortypen har svært låg intern resistans siden ladningsberarane beveger seg i ein kanal fysisk separert frå dei ureinhetene som genererte dei. Den har også ein gate med låg resistans og låg kapasitans.[3]

3.2 Design med ideelle komponenter

Dei to forsterkertrinna vart først konstruerte ved hjelp av ideelle komponenter. Det første forsterkertrinnet vart konstruert med fokus på kravet til lite støy. Utgangspunktet var å biasere transistoren i trinn 1 slik at I_d vart omlag 20% av I_{dss} , altså maksstrøm gjennom transistoren. Dette utgangspunktet var basert på eksisterende teori på design av lågstøyforsterkere.[3] Tanken var også å bruke eit tilpasningsnettverk på inngangen til transistoren som var optimalisert for lite støy.

Eit av problema med å designe forsterkertrinn ved 20 GHz er at det ved slike frekvenser er vanskelig å oppnå betydelig gain. Det vart antatt at det var eit poeng å få gainet i trinn 1 relativt høgt siden det samtidig vart antatt at trinn 2 ville innføre ein del støy. I følge Friis' formel vil høgt gain i trinn 1 redusere støybidraget frå trinn 2 når dei to trinna er kaskadekopla.[1] Arbeidspunktet vart ikkje plassert i henhold til utgangspunktet for konstruksjonen. På grunn av dei gode støyegenskapene til pHEMT-transistorene vart arbeidspunktet vald slik at I_{ds} vart omlag 50% av I_{dss} . Dette plasserer arbeidspunktet midt i IV-karakteristikken og sikrer dermed maksimal lineær utgangseffekt.

I valet av tilpasningsnettverk vart også behovet for gain tatt med når komponentene vart vald. Under analyse ved bruk av støysirkler i Smith-diagram vart det oppdaga at ein kunne øke gainet til trinn 1 med 1 dB ved å tillate at støytalet økte med 0,1 dB. Tilpasningsnettverket på inngangen til transistoren i trinn 1 vart derfor eit kompromiss mellom støytalet og gain.

Utgangspunktet før designet av trinn 2 var å lage dette slik at det tålte meir effekt enn trinn 1. Trinn 1 vil forsterke opp signalet, og dersom trinn 2 ikkje takler vesentlig meir effekt på inngangen vil dette trinnet begrense den maksimale inngangseffekten den komplette forsterkeren kan tåle. Tanken var å oppnå dette ved å oppskalere transistoren slik at den takla meir strøm. Dette var vanskelig å få til uten å miste gain. Trinn 2 vart derfor konstruert med samme transistordimensjoner som trinn 1. Arbeidspunktet vart også valgt til å vere det samme. Trinn 2 vart tilpassa for maks gain på både inngang og utgang. Eit resultat av alt dette var at trinn 2 ikkje fekk bedre effekthåndteringsegenskaper enn trinn 1 og derfor vart den begrensende faktoren i forhold til maksimal inngangseffekt for den totale forsterkeren.

3.3 Reelle komponenter

Etter at dei to forsterkertrinna var konstruerte ved hjelp av ideelle komponenter vart reelle komponenter sett inn. Det var eit poeng å bytte ut flest mulig komponenter i kretsen med transmisjonslinjer. Fordelen med linjer som tilpasningselement er at dei har mindre tap. Kondensatorene som vart brukt i tilpasningsnettverka var av ein slik verdi at linjene ville blitt alt for lange. Lange linjer medfører betydelig fasegang og stort bruk av chip-areal. Dei vart derfor bytta ut med MIM-kondensatorer. Kondensatorer brukt som DC-blokk kunne naturleg nok ikkje byttes ut med linjer. Spolene brukt til DC-innføring er av ein slik størrelse at linjene ville blitt for lange. Dei vart derfor bytta ut med spiral-spoler. Alle spolene i tilpasningsnettverka vart først implementert med spiralspoler før dei vart bytta ut med transmisjonslinjer. Simuleringer viste ein hårfin forbedring av ytelse både gain- og støymessig ved innføring av transmisjonslinjer i staden for spiral-spoler.[4] På grunn av at den totale forsterkerkretsen var potensielt ustabil ved enkelte frekvenser vart resistansen internt i kretsen økt ved å gjere ei av linjene smalare i tilpasningsnettverket på inngangen. Dette sikra stabilitet ved alle frekvenser.

3.4 Oppsummering

Det endelige designet av lågstøyforsterkeren er vist i figur 52 i appendiks B. Ein oppsummering av ytelsen til forsterkeren er vist i tabell 1.

Teknologi	pHEMT
Gain for trinn 1 ved senterfrekvens	8,97 dB
Gain for trinn 2 ved senterfrekvens	10,12 dB
Gain for total krets ved senterfrekvens	19.06 dB
Støytalet for trinn 1 ved senterfrekvens	3,04 dB
Støytalet for trinn 2 ved senterfrekvens	3,80 dB
Støytalet for total krets ved senterfrekvens	3.42 dB
1dB-kopmresjionspunkt	-4 dBm
Båndbredde ved maks 1 dB rippel	800 MHz
Maksimalt strømtrekk	98 mA
Forsyningsspenning	3.0 V
Systemimpedans	50 Ω
Stabilitet	Ubetinga stabil

Tabell 1: Oppsummering av ytelsen til lågstøyforsterkeren

4 Utlegg

Det skulle lages utlegg av designet av lågstøyforsterkeren. Dette utlegget ville så bli sendt til produksjon. Når kretsen kom tilbake frå fabrikkjen skulle den måles på. På denne måten kunne ein samanlikne simuleringsresultata av designet av kretsen med måleresultata frå den fysiske chipen. Dette ville vise kor gode simuleringsresultata var ved 20 GHz.

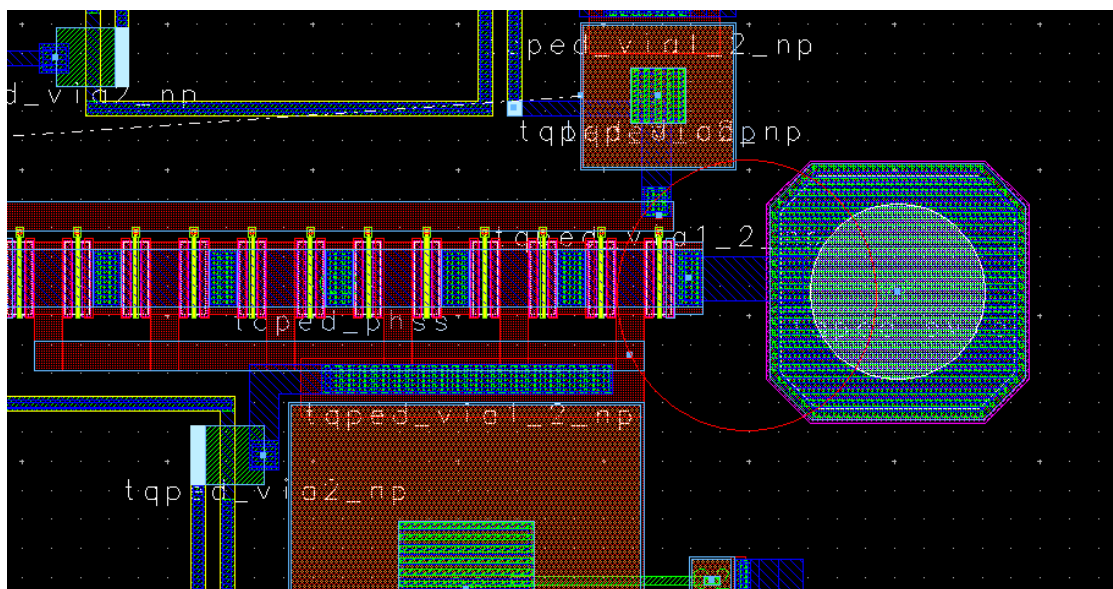
Utlegget skulle deles i tre: eine delen skulle inneholde kun det første trinnet, den andre delen skulle inneholde det andre trinnet og den siste delen skulle inneholde den totale forsterkeren. Dette blei gjort for å kunne måle på kvart trinn individuelt. Dersom eit av trinna for eksempel var ustabil kunne ein likevel få gjort målinger på det andre trinnet.

Til å lage utlegget vart layout-delen av ADS benytta.

4.1 Konstruksjonshensyn

På grunn av den høge frekvensen kretsen skulle fungere ved måtte lange linjer mellom komponentene unngås siden linjer vil skape uønska induktans og resultere i høgare fasegang.

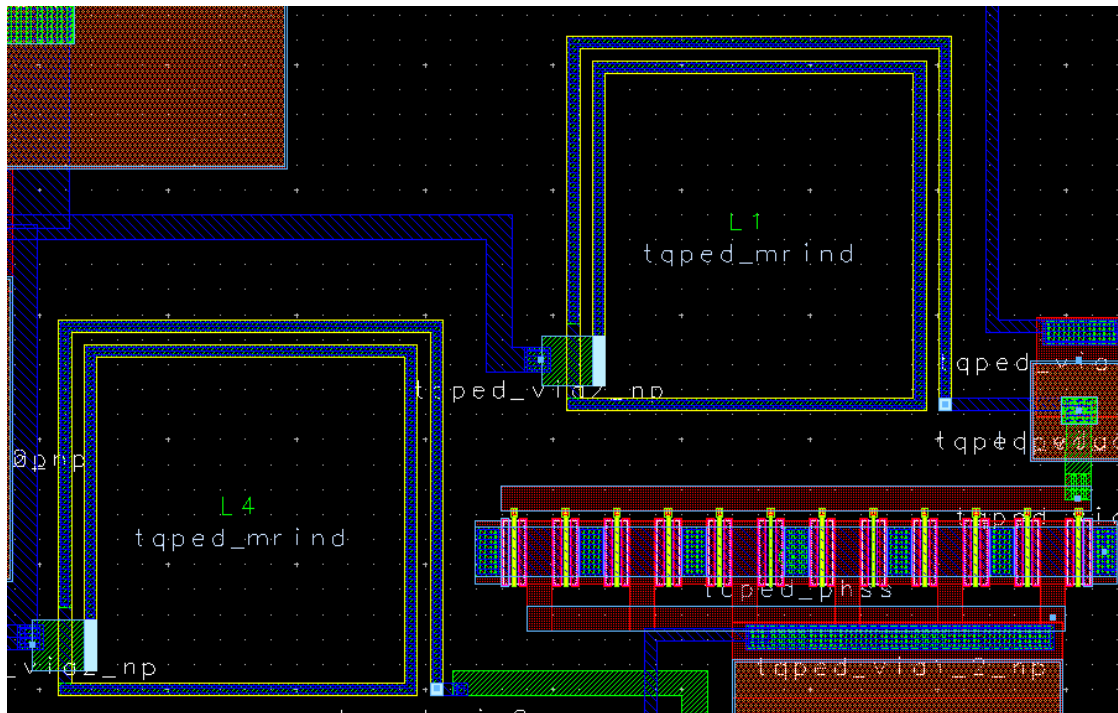
I simuleringer gjort under designet av forsterkeren viste resultata at induktans i serie med source på transistorene medførte vesentlig mindre gain. Det burde derfor ikkje gå ei lang linje mellom source på transistorene og VIA-holet som kopler transistoren til jordplanet siden lange linjer medfører ekstra induktans. Figur 4 viser transistoren i forsterkertrinn 2 med linje frå source-terminalen til VIA-holet som går til jordplanet.



Figur 4: Kopling mellom transistor og VIA-hol

Som figur 4 viser er linja mellom source-terminalen på transistoren og VIA-holet til jord gjort så kort som overhode mulig.

Spolene som skal brukes som DC-innføring bør ikkje stå for langt frå resten av kretsen. Dette kjem av at det er bedre å ha ei lang linje etter DC-feed-spolen enn før, sjølv om ein skulle tru at rekkefølgen på to komponenter i serie er uviktig. RF-signalet ser mot DC-innføringsspolen ein høg impedans, noko som nesten vil tilsvare ein åpen krets. Dersom det kjem ein lang linje før denne spolen vil denne fungere som ein transmisjonslinje og vil transformere den åpne kretsen som RF-signalet ser til ein annan plass i Smith-diagrammet. Dersom den lange linja kjem etter spolen vil den ikkje påvirke kva impedans RF-signalet ser nevneverdig.

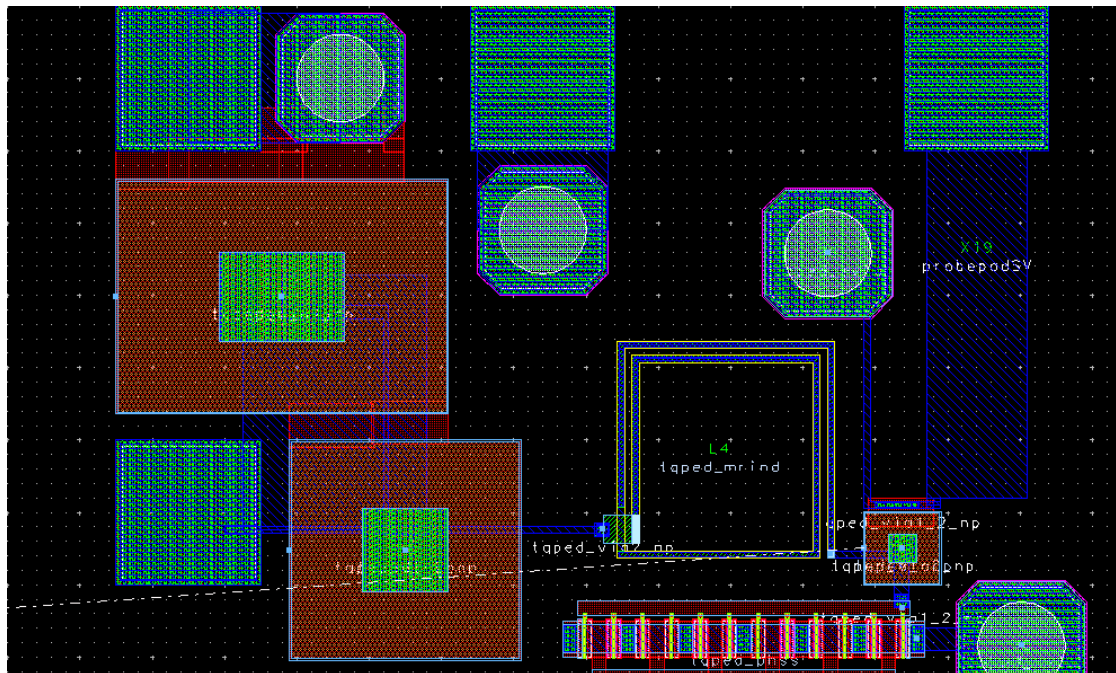


Figur 5: DC-feed-spoler brukt mellom V_D og transistorer

Figur 5 viser DC-feed-spolene (L1 og L4) som står mellom V_D og transistoren i utlegget til den totale forsterkeren. Figur 5 viser korleis spolene er plasserte så nærre resten av kretsen som mulig. Størrelsen til desse spolene gjer plasseringa i kretsen vanskelig og det er vrient å unngå ein linjestubb mellom spoler av denne størrelsen og komponentene dei er kopla til.

Kretsen i designet av lågstøyforsterkeren er simulert ved hjelp av ideelle spenningskilder. I realiteten oppstår det induktans og kapasitans i linja til paden og vidare i ledningene opp til spenningskilden. Denne vil representere ein ukjent impedans, og siden DC-innføringsspolen ikkje er uendelig stor vil dette påvirke S-parametrene til transistoren.

Dette vil endre egenskapene til forsterkeren. Ved å bruke kondensatorer i parallell mellom DC-innføringspadene og jord kompenserer ein for desse ulinearitetene ved at RF-signalet etter DC-innføringsspolen ser ein kortslutning til jord. Dette vil ligne meir på simulering-soppsettet der ein bruker ideelle spenningskilder med 0Ω til jord. Figur 6 viser korleis det ledige chip-arealet i utlegget til forsterkertrinn 2 vart brukt til å lage kapasitans mellom DC-innføringa og jord.



Figur 6: Kompenserende kapasitans mellom DC-pad og jord

Linjer bør plasseres med ein avstand mellom seg på minst ei substrathøgde eller tre sporbreidder for å få minimal kopling mellom linjene. Dette kjem av måten dei elektriske feltlinjene rundt linja ligg i forhold til substratet og jordplanet under.

5 Dempeledd

5.1 Innledning

Lågstøyforsterkeren skulle ha gain-kontroll. Det vart bestemt at dette skulle implementeres ved hjelp av eit dempeledd mellom dei to forsterkertrinna. Dempeleddet vil redusere gainet og øke støyen til forsterkeren. Som nevnt i seksjon 3.3 vil forsterkertrinn 2 begrense maksimal inngangseffekt forsterkeren kan tåle. Ved å sette inn eit dempeledd vil derfor maksimal inngangseffekt påtrykt forsterkeren øke siden signalnivået frå forsterkertrinn 1 vil reduseres.

5.2 Alternativ til løsninger

Det er ulike måter eit dempeledd kan lages på. Den enklaste måten er å ikkje lage eit ekstra ledd i det heile tatt, men å variere forsterkinga til eit av forsterkertrinna ved å variere biasspenningen på transistoren. Dette kan skape dårlig tilpasning på inngang og utgang og vart vurdert som eit alternativ dersom andre implementasjonar ikkje fungerte.

Ein annan løysning er å bruke eit motstandsnettverk som dempeledd, enten eit π -dempeledd eller eit T-dempeledd. For å oppnå god tilpasning på inngang og utgang, samtidig som dempeleddet demper signalet ein bestemt verdi, benyttes ein viss kombinasjon av motstandsverdier. Nøyaktighet i motstandsverdiene antas nødvendig for å oppnå ønska demping og god tilpasning.

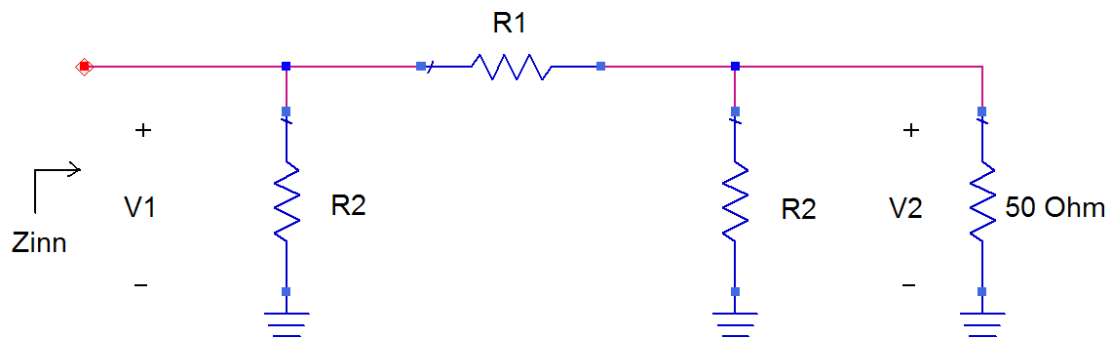
Motstandene i eit slikt dempeledd kan realiseres på to måter. Ein kan bruke transistorer som motstander og variere resistansen ved å variere bias-spenningen. Ein kan også bruke svitsja motstander. Ved å sette fleire motstander i parallell og la kvar motstand ha ein svitsje-transistor i serie kan ein bruke ulike kombinasjonar av motstandene til å oppnå dei verdiene ein ønsker. Sistnevnte løysning var i utgangspunktet uønska siden det vart antatt at det ville vere vanskelig å oppnå motstandsverdier som var nøyaktige nok samtidig som ein benytta eit fornuftig antall motstander. Dersom ein bruker transistorer som motstander kan ein i prinsippet oppnå nøyaktige resistansverdier i transistorane ved å benytte riktige bias-spenningar. Denne løysningen vart benytta i designet.

Neste trinn var å velge mellom π -dempeledd og T-dempeledd. Siden det vart beslutta å bruke transistorer som motstander ville det vere enklare å konstruere eit π -dempeledd. Grunnen til dette er at ein i eit π -dempeledd har to motstander kopla til jord. Desse er enkle å biasere. Transistoren som skal virke som serie-motstanden på toppen vil kreve ein stor spole kopla til source for å oppnå DC-jord her, noko som er nødvendig for å forspenne transistoren riktig. I eit T-dempeledd vil ein ha to av desse seriemotstandene og derfor må ein bruke to store spoler, i motsetning til for eit π -dempeledd der det kun er ein slik serie-motstand og ein derfor slepp unna med kun ein spole.

5.3 Konstruksjon av dempeledd

5.3.1 Kalkulering av motstandsverdier

Eit enkelt π -dempeledd er vist i figur 7.



Figur 7: Figur av enkelt pi-dempeledd

Det ønska dempeleddet skal ha god tilpasning både på inngang og utgang. Impedansen sett på inngangen og på utgangen må altså vere 50Ω . Dette gir ein likning for R_1 som funksjon av R_2 :

$$\begin{aligned}
 Z_{inn} &= R_2 \parallel [R_1 + (R_2 \parallel 50)] = R_2 \parallel \left[R_1 + \frac{50R_2}{R_2 + 50} \right] \\
 &= \frac{R_1 R_2 + \frac{50R_2^2}{R_2 + 50}}{R_1 + R_2 + \frac{50R_2}{R_2 + 50}} = \frac{R_1 R_2^2 + 50R_1 R_2 + 50R_2^2}{R_1 R_2 + 50R_1 + 50R_2 + R_2^2 + 50R_2} = 50 \\
 &\implies R_1 = \frac{5000R_2}{R_2^2 - 2500} \tag{2}
 \end{aligned}$$

For å finne forsterkinga/dempinga G utledes overføringsfunksjonen til dempeleddet:

$$G = \frac{V_2}{V_1} = \frac{R_2 \parallel 50}{R_1 + (R_2 \parallel 50)} = \frac{\frac{50R_2}{50+R_2}}{R_1 + \frac{50R_2}{50+R_2}} = \frac{50R_2}{50R_1 + R_1 R_2 + 50R_2}$$

Denne likninga omformes til eit uttrykk for R_1 :

$$50R_1 G + R_1 R_2 G + 50R_2 G = 50R_2$$

$$\implies R_1 = \frac{50R_2(1-G)}{G(50+R_2)} \quad (3)$$

Likning 2 og likning 3 kombineres til ein tredjegradslikning:

$$50(1-G)R_2^3 - 5000GR_2^2 - [50(1-G)2500 + 50 \cdot 5000G]R_2 = 0 \quad (4)$$

Ved å angi ønska demping G kan ein ut frå likning 4 finne verdien til R_2 . Likning 4 vil gi tre løysningar der to av verdiene er negative. Den positive verdien blir brukt. Deretter kan ein finne verdien til R_1 ved å benytte enten likning 2 eller likning 3.

Likning 2, 3 og 4 vart brukt for å finne teoretiske verdier for motstandene i figur 7. Resultatet er vist i tabell 2.

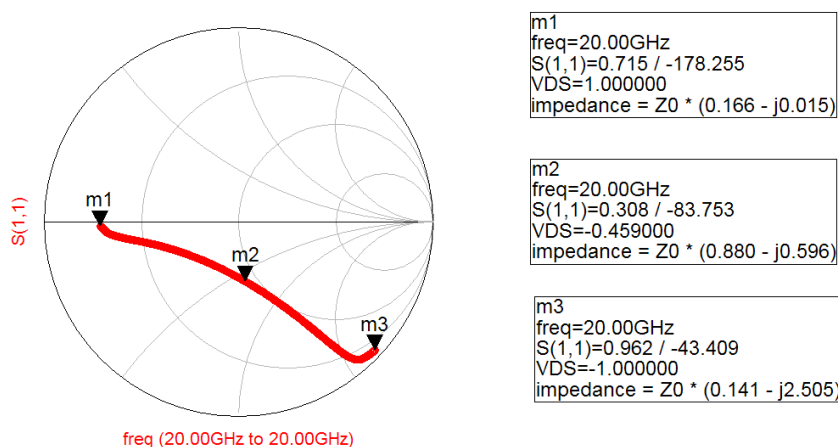
demping [dB]	G	R_1 [Ω]	R_2 [Ω]
1	0,89	6	870
2	0,79	12	436
3	0,71	18	292
4	0,63	24	220
5	0,56	30	178
6	0,5	37	150
7	0,45	45	130
8	0,4	53	116
9	0,35	62	105
10	0,32	71	96

Tabell 2: Teoretiske motstandsverdier for dempeledd

5.3.2 Val av transistortype

Ein transistor har både resistans og reaktans. Når ein varierer bias-spenningen til transistoren vil både resistansen og reaktansen endre seg. Ein ønsker at impedansen til transistoren ved varierende bias-spenning skal ha så liten imaginærdel som mulig. Med andre ord ønsker ein at impedansverdien til transistoren ved variasjon av bias-spenning skal vandre frå den eine sida av Smith-diagrammet til den andre uten å droppe eller stige i diagrammet.

Transistorer vart simulerte for å finne beste transistortype. Eit eksempel på impedansen til ein ukompensert transistor plotta i eit Smith-diagram ved varierende biaseringsspenning er vist i fig 8.



Figur 8: Impedans til ukompensert transistor ved varierende bias-spenning

Depleksjonstype-transistoren viste seg å vere det beste valget siden dei vandra vesentlig mindre i Smith-diagrammet, samtidig som dei hadde høgare av-motstand og lågare på-mostand samanlikna med anrikningstype-transistorer.

5.3.3 Kompensering av transistorene

Reaktansverdien til transistoren kan kompenseres for ved hjelp av spoler i serie og parallell. Når ein varierer bias-spenningen frå den spenningen som skruur transistoren heilt på til den spenningen som skruur den heilt av, ønsker ein at transistorimpedansen skal bevege seg langs ei rett linje i Smith-diagrammet slik at reaktansverdien er så liten som mulig. Dette er umulig å oppnå for heile spennet av impedansverdier. Dei teoretiske verdiene til motstandene som skal brukes i dempeleddet varierer innanfor avgrensa områder. Dette er vist i tabell 2. R_1 varierer frå 6 Ω til 71 Ω mens R_2 varierer frå 96 Ω til 870 Ω .

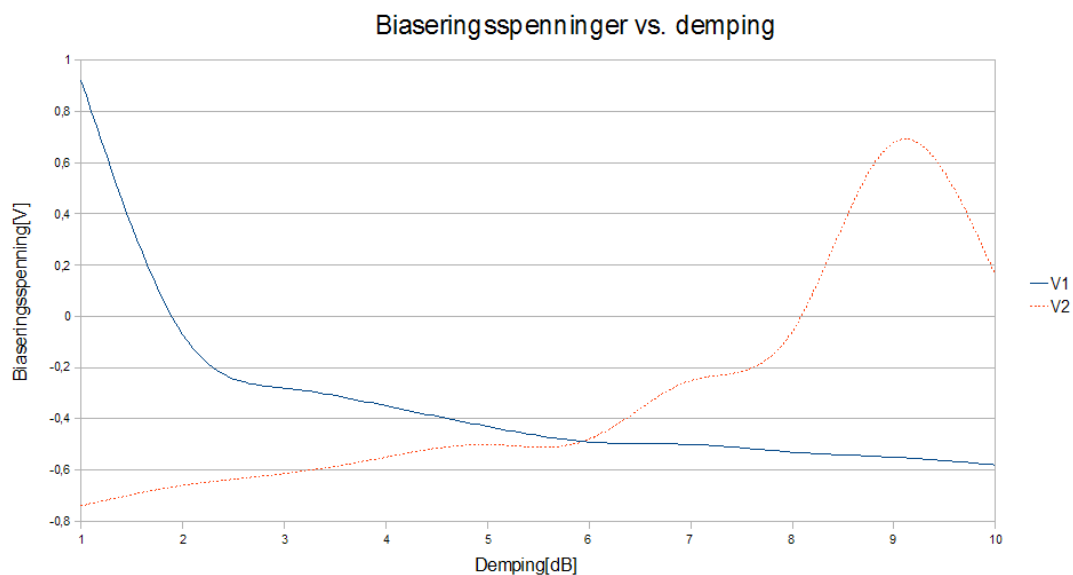
Det viste seg under transistorsimuleringene at 870 Ω er umulig å oppnå ved bruk av kun ein transistor. Ved å sette 2 dB som lågaste dempeverdi sank kravet til høgste motstandsverdi for R_2 til 436 Ω . Det vart antatt at 1 dB demping likevel kunne oppnås ved å tillate feiltilpassning på inngang og utgang. Siden minste motstandsverdi for R_2 var 96 Ω vart det sett inn ein fast motstand på 95 Ω . Den skulle gjere det enklare å nå dei største motstandsverdiene uten å få store reaktansverdier. Valet av fast motstandsverdi var litt uheldig siden av-motstanden i ein transistor ligg rundt 2 Ω . Verdien burde vært under 94 Ω , men siden mykje arbeid vart gjort med ein 95 Ω motstand vart denne ståande siden det ville vært svært arbeidskrevende å bytte den ut.

Det er mulig å kompensere transistorene slik at dei har minimale reaktansverdier innanfor visse spenn av motstandsverdier. For å finne eit utgangspunkt for verdien til spolene i serie og parallell vart transistoren biasert slik at den låg omtrent midt i Smith-diagrammet. Her

vil impedansen ha ein stor imaginærdel. Så vart Smith-diagrammet brukt for å finne dei komponentverdiene som ville omgjere impedansen til ein rein resistans. Med dette som utgangspunkt vart tune-funksjonen i ADS brukt til forme kurva for impedansens variasjon ved varierende biaseringsspenning slik at transistoren vart godt kompensert for alle dei impedansverdiene den skulle realisere. Eit simuleringsoppsett for å finne impedansen til transistoren med spoler innsatt er vist i fig 43 i appendiks A. Spolen i serie med transistoren som skulle representere R_1 i figur 7 vart så liten at den til slutt hadde lite innvirkning på kompenseringa og vart fjerna heilt. Spolen i serie med transistoren som skulle representere R_2 i figur 7 vart av ein slik størrelse at den kunne byttes ut med ein transmisjonslinje. Eit design av dempeleddet med reelle komponenter er vist i figur 53 i appendiks B. Grunnen til at ein har plassert ein DC-innføringsspole mellom spenningskilden og gate på topptransistoren (R1) er fordi ein vil unngå at RF-signalet endrer arbeidspunktet til transistoren. Om gate hadde vert jorda ville RF-signalet lada opp gate og dette ville endra gate-source-spenninga. Ein DC-innføringsspole kopla til gate vil motsette seg dette og sørge for at arbeidspunktet er stabilt med varierende spenning på source.

5.4 Konstruksjon av kontrollnettverk

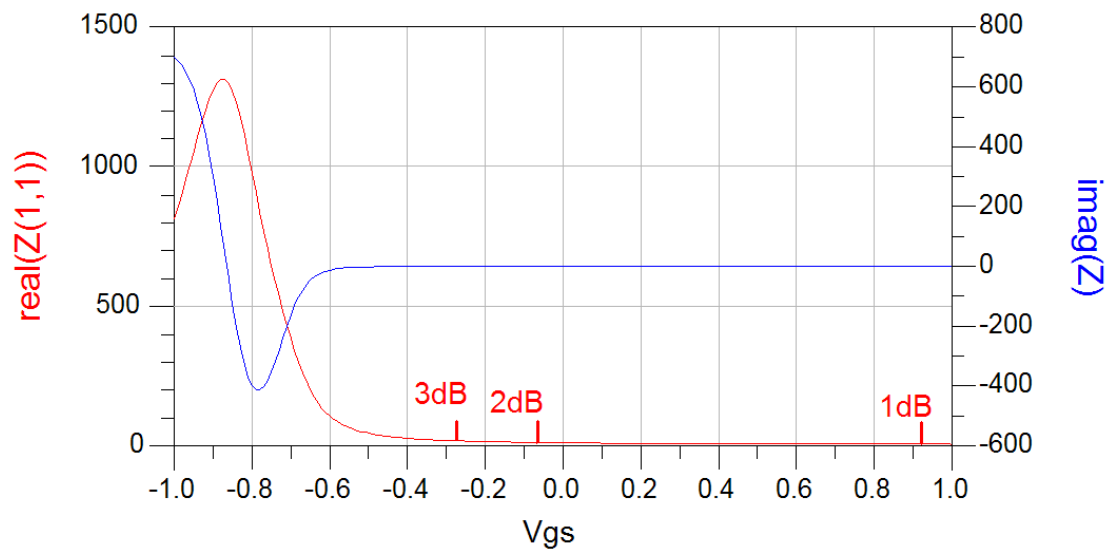
For å oppnå ønska demping i dempeleddet må dei tre transistorane i figur 53 biaseres riktig slik at dei får ønska resistansverdi. Til dette brukes to biaseringsspenninger. Ein ønsker å kontrollere dempinga til kretsen ved hjelp av kun ei spenning. For å oppnå dette må det konstrueres eit kontrollnettverk der ei enkelt spenning genererer dei to biaseringsspenningane. Etter at dempeleddet var konstruert med reelle komponenter vart det simulert med ulike biaseringsspenninger for å finne dei spenningane som ga ønska demping. Biaseringsspenningane vart plotta som funksjon av demping for å sjå forholdet mellom dei. Resultatet er vist i figur 9.



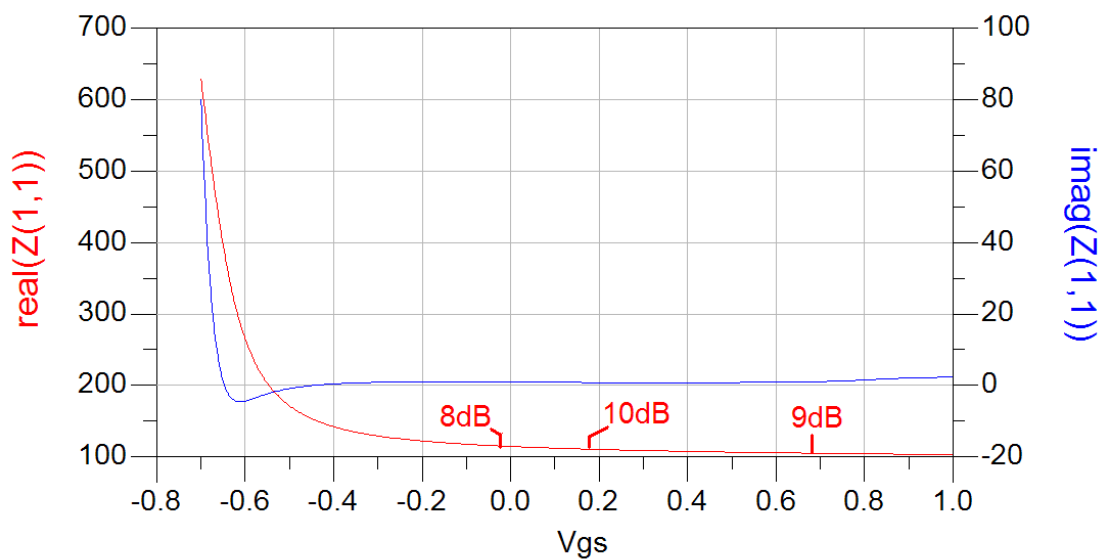
Figur 9: Biaseringsspenninger som funksjon av demping

I figur 9 er V_1 spenningen som biaserer transistor 1 (Q5 i figur 53) og V_2 spenningen som biaserer transistor 2 (Q1 og Q4 i figur 53). Transistor 1 og 2 skal fungere som henholdsvis R_1 og R_2 i figur 7. Som vist i figur 9 krysser dei to biaseringsspenningene V_1 og V_2 ved omlag 6 dB demping. Ved låg demping varierer V_2 ganske lineært som funksjon av demping, mens V_2 for høge dempeverdier skyter i været for så å reduseres litt for den siste dempeverdien, 10 dB. V_1 varierer litt på samme måte, men har sitt lineære område ved høge dempeverdier. For låg demping skyter V_1 i været nesten eksponensielt. Det ser i utgangspunktet vanskelig ut å konstruere eit nettverk som genererer desse to spenningene ut frå ein kontrollspenning. Løysinga ligg i å vurdere nødvendigheten av nøyaktighet.

Dei to separate transistorimpedansene vart plotta for å sjå korleis impedansen endra seg som funksjon av biaseringsspenning. Dette er vist i figur 10 og figur 11. Her er reaktansen, altså imaginærdelen til impedansen, tatt med for å vise korleis spolene i serie og parallell med transistorane kompenserer for reaktansen ved ulike biaseringsspenninger.



Figur 10: Impedansen til transistor 1

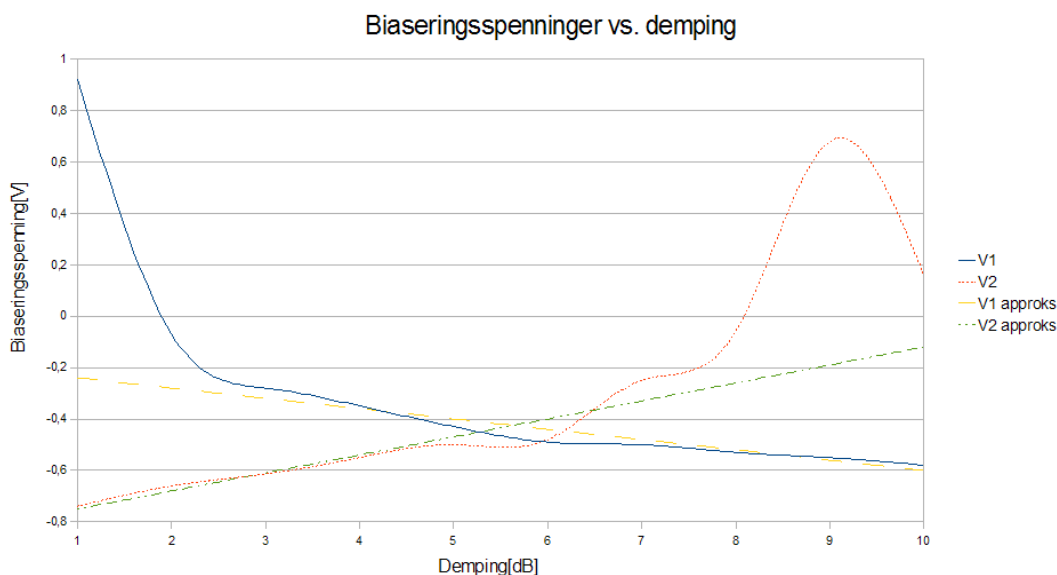


Figur 11: Impedansen til transistor 2

I figur 10 og 11 er det tatt med markører for å vise ulike dempeverdi og tilhørende spenninger. Dersom ein tar ein titt på impedansen til transistor 1, som er vist i figur 10, ser ein at realdelen av denne, altså resistansen, varierer svært lite i eit stort spenningspenn frå omlag -0.4 V til 1.0 V. Dette betyr igjen at nøyaktigheten til biaseringsspenningen er lite kritisk i dette området. På samme måte er nøyaktigheten til biaseringsspenningen

påtrykt transistor 2 lite kritisk ved høge dempeverdier. Dette ser vi ut frå figur 11. I figur 11 ser ein at biaseringsspenningen faktisk må senkes for å gå frå 9 dB demping til 10 dB demping. Dersom ein antar at nøyaktigheten til biaseringsspenningene i desse områda ikkje er kritisk for ytelsen til dempeleddet, kan ein approksimere V_1 og V_2 ved hjelp av rette linjer.

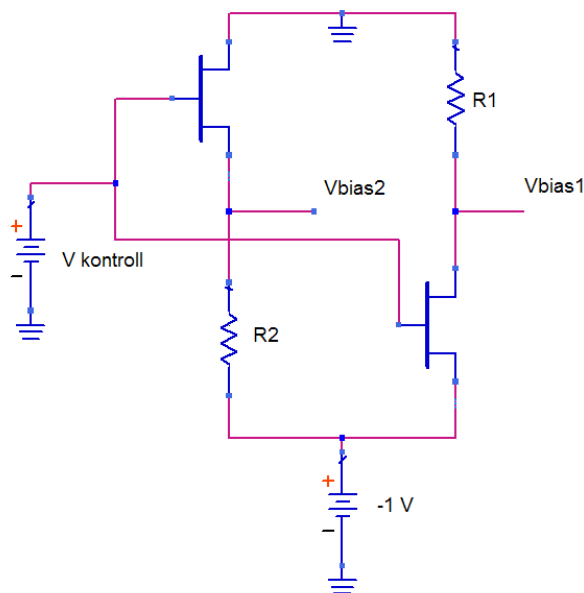
For V_1 er spenningene som genererer mellom 3 og 10 dB demping avhengige av ein viss nøyaktighet for å produsere riktige dempeverdier. For V_2 er spenningene som genererer mellom 1 og 7 dB demping viktige å få presise. Grunnen til dette er at resistansen til transistor 1 og 2 innanfor desse dempeverdiene vil variere raskt bort frå ønska verdi dersom V_1 og V_2 varierer litt. Dette kan sjås ut frå den eksponentielle formen grafen for realdelen av impedansen til transistor 1 og 2 får for dei omtalte spenningsverdiene. Ein kan ut frå dei kritiske spenningsverdiene approksimere to rette linjer. Likningene for dei to linjene er $V_1 = -0.04x - 0.2$ og $V_2 = 0.07x - 0.82$. Figur 12 viser dei to rette linjene innsatt i plottet for kontrollspenningene V_1 og V_2 .



Figur 12: Biaseringsspenninger som funksjon av demping inkludert approksimasjoner

Kontrollkretsen må ut frå ein enkelt spenning generere to spenninger som krysser kvarandre. Spenningene skal vere nokon lunde lineære innanfor kontrollområdet, det vil sei innanfor det spennet av spenninger som trengs for å oppnå dei ønska dempeverdiene. Dersom ein set ein transistor i serie med ein motstand og varierer biasspenningen til transistoren vil ein ha ein spenningsdeler der spenningen i noden mellom motstanden og transistoren varierer med varierende bias-spenning. Hvis ein lager ein andre grein der rekkefølgen er snudd om vil spenningen i noden mellom transistoren og motstanden variere motsatt i forhold til i den første greina. Ein vil då kunne oppnå to spenninger som

krysser kvarandre. Som vist av dei rette linjene i figur 12 ønsker ein å generere spenninger mellom 0 V og -0.8 V. Eit utgangspunkt vil derfor vere å la begge greinene vere kopla til ein -1 V spenningskilde på den eine sida og til jord på den andre. Ein enkel teikning av utgangspunktet for kontrollkretsen er vist i figur 13.

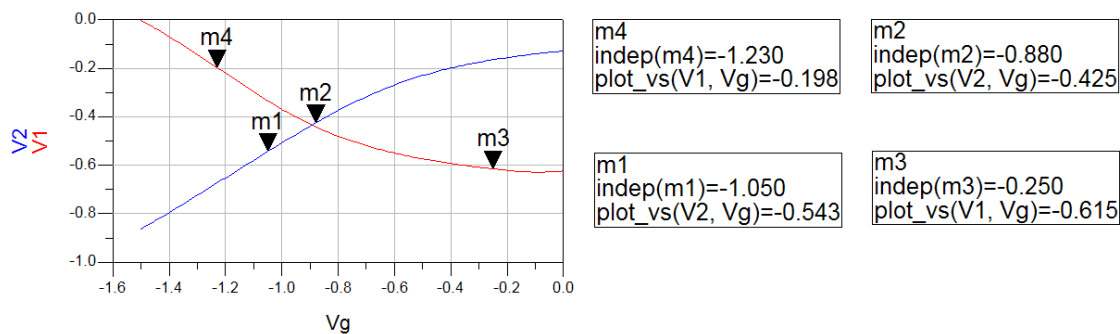


Figur 13: Utgangspunkt for kontrollkrets

Dersom transistorene i figur 13 er av samme type og har samme dimnsjoner vil dei skru seg på og varierer nokon lunde likt når dei påtrykkes den samme kontrollspenningen. Dei vil ikkje oppføre seg heilt likt på grunn av at dei forskjellige plasseringene i kretsen vil gi dei to transistorene ulike forspenningsforhold. Når kontrollspenninga $V_{kontroll}$ sveipes over eit spenn av spenninger kan V_{bias1} og V_{bias2} plottes som funksjon av $V_{kontroll}$. V_{bias1} og V_{bias2} vil variere ulikt. Den eine spenninga vil starte høg for så å falle når kontrollspenninga endres. Den andre spenninga vil i det samme kontrollspenningsområdet oppføre seg motsatt; den vil starte låg for så å stige. Utfordringa ligg i å få V_{bias1} og V_{bias2} nokon lunde lineære med varierende $V_{kontroll}$ innanfor eit område av kontrollspenninger, samtidig som dei gir ut riktige bias-spenninger.

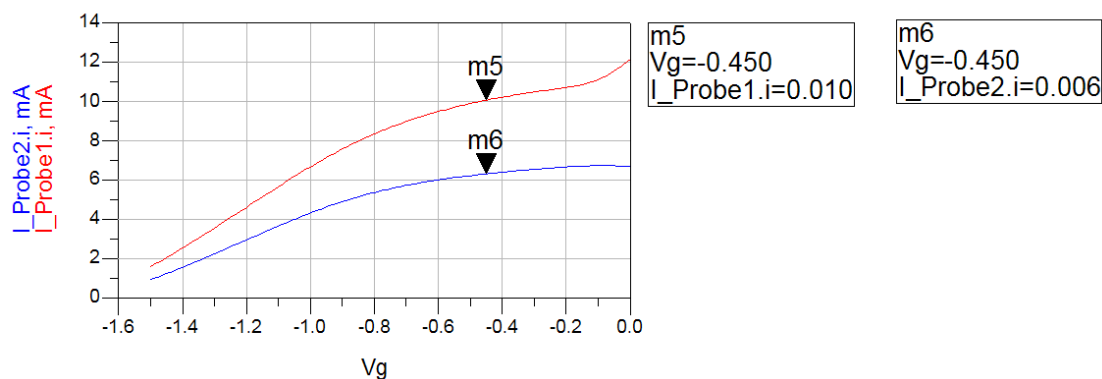
Parametra i kretsen i figur 13 som endrer formen til V_{bias1} og V_{bias2} når $V_{kontroll}$ varierer er transistordimensjonene og størrelsen til motstandene. For å få endå meir kontroll over formen til biaseringsspenningene kan ein bytte ut jord-koplinga på toppen av figur 13 med spenningskilder. Det ideelle er å ha denne noden kopla til jord, men det skulle vise seg at den eine greina måtte "løftes" litt for å oppnå ønska form. Kretsen i figur 13 med spenningskilder i staden for jordtilkoplinga øverst vart simulert i ADS. Tune-funksjonen vart brukt til å finjustere transistordimensjonene og motstandsverdiene. Strømmen gjen-

nom kresten vart også målt. Simuleringsoppsettet er vist i figur 44 i appendiks A. V_g i simuleringsoppsettet og simuleringsresultata er den $V_{kontroll}$ som er omtalt i teksten. Komponentverdiene i kretsen er dei endelige komponentverdiene til designet. Simuleringsresultatet for kretsen over eit utvalgt område av kontrollspenninger er vist i figur 14.



Figur 14: Simuleringsresultat av kontrollnettverkets utgangsspenninger

Simuleringsresultatet av strømtrekket til kretsen er vist i figur 15.



Figur 15: Simuleringsresultat av kontrollnettverkets strømtrekk

Grunnen til at markørene i figur 15 er sett til $V_g = -0.45$ V er at dette er den biasspenningen som medfører høgast strøm gjennom transistorane. Denne V_g tilsvarer 10 dB demping.

Første utkast av kretsen hadde eit høgt strømtrekk. Den trakk tilsammen 80 mA ved maks belastning. Løsningen på dette problemet var å skalere ned transistordimensjonane, samtidig som ein økte motstandsverdiene tilsvarende. Ved å halvere transistorlengden eller antall gate-fingre vil resistansen dobles. Dersom ein også doblar motstandsverdien vil forholdet mellom dei vere det same. Ein mindre transistor vil føre mindre strøm

ved samme bias-spenning. Ein vil derfor produsere akkurat dei samme bias-spenningene samtidig som strømforkbruket går ned.

Å treffe på begge bias-spenningene er vanskelig uansett kor godt ein klarer å forme kurvene i figur 14 etter kurvene i figur 9. Utgangspunktet var å finne kontrollspenningene som gav dempeverdier frå 1 til 10 dB med steg på 1 dB, det vil sei 10 verdier. Første steg var å lage ein tabell der ein ut frå linkningene for dei approksimerte linjene i figur 12 fann ein verdi for både V_1 og V_2 for kvar dempeverdi. Neste steg var å velge verdiene til $V_{kontroll}$ ut frå simuleringsresultata vist i figur 14 slik at ein oppnådde verdiene i tabellen for V_1 og V_2 . Siden forholdet mellom V_1 og V_2 aldri er heilt perfekt må ein ta utgangspunkt i enten V_1 eller V_2 når ein skal bestemme $V_{kontroll}$. Her kjem kravet til nøyaktighet inn igjen.

Simuleringsresultatet av kretsen i figur 44 er vist i figur 14. Markører vart brukt for å finne V_g for ulike verdier av V_1 og V_2 . Der nøyaktigheten til V_1 var viktig vart verdien til V_1 brukt for å finne V_g . Dette vart gjort ved å flytte på markøren på kurva til V_1 heilt til denne verdien var riktig i forhold til den teoretiske verdien, for så å lese av V_g . Der nøyaktigheten til V_2 var viktigst vart denne brukt for å finne V_g . Desse avlesningene av resultatene i figur 14 vart så brukt som eit utgangspunkt då kontrollkretsen vart sett inn i dempeleddet. Med kontrollkretsen innsatt kunne ein bruke tune-funksjonen i ADS til å finjustere V_g heilt til ein oppnådde riktig dempeverdi. Dette er vist i tabell 3 i seksjon 8.2.1. Egenskapene til dempeleddet er oppsummert i tabell 4 i seksjon 8.2.1.

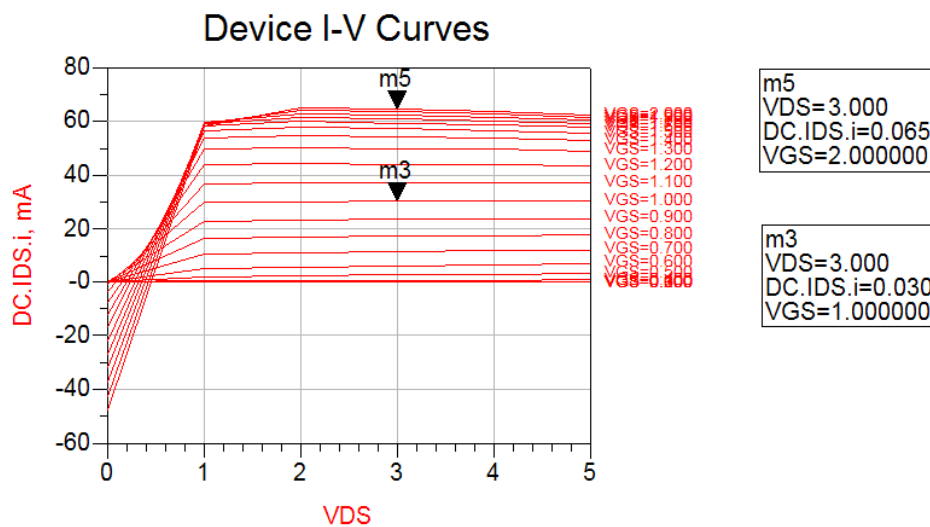
6 Redesign av trinn 2

Under arbeidet med lågstøyforsterkeren høsten 07 kom det fram at deplesjonstype-transistorer har bedre støyegenskaper enn anrikningstype-transistorer, men at sistnevnte type transistorer gir meir gain ved samme bias-spenning. Når to forsterkertrinn koples i kaskade vil støybidraget frå det første trinnet ifølge Friis' formel vere mest kritisk i forhold til den totale støyen så lenge gainet til dette trinnet er tilstrekkelig. Støyen som det andre trinnet bidrar med vil ha mindre å sei. For å sjekke gyldigheten til Friis' formel kan egenskapene til designet av lågstøyforsterkeren undersøkes. Forsterkertrinn 1 hadde som nevnt i seksjon 3.4 8,97 dB gain og 3,04 dB støytalet. Forsterkertrinn 2 hadde 10,12 dB gain og 3,80 dB støytalet. Innsatt i Friis' formel skulle den totale forsterkeren ha eit støytalet på 3,35 dB. Simuleringsresultata viste at støytalet var 3,42 dB. Dette viser at Friis' formel gir eit godt estimat av den totale støyen til eit system sammensatt av fleire komponenter kopla i kaskade.

Dersom ein bruker Friis' formel, og bestemmer seg for at det totale systemets støytalet ikkje skal overstige 4 dB, kan ein rekne ut det maksimale støytalet det andre forsterkertrinnet kan bidra med. Med utgangspunkt i det første forsterkertrinnets støy og gain vart det funne at forsterkertrinn 2 kan bidra med omlag 9,5 dB støytalet uten at det totale støytalet overstiger 4 dB. Forsterkertrinn 2 vart derfor konstruert for å oppnå så mykje gain som mulig uten at støytalet skulle overstige 9,5 dB.

6.1 Arbeidspunkt og transistordimensjoner

Ein designGuide i ADS vart benytta for å finne arbeidspunktet til transistoren. Simuleringsoppsettet er vist i figur 45 i appendiks A. Det var eit ønske at bias-strømmen gjennom transistoren ikkje skulle overstige bias-strømmen til trinn 1. Den opprinnelige lågstøyforsterkeren hadde eit noko høgt strømförbruk. Ein ville derfor ikkje at det nye forsterkertrinnet skulle bidra til ytterligere strømtrekk. Trinn 2 vart opprinnelig konstruert med samme bias-strøm som trinn 1. Ein bias-strøm på omlag 30 mA var derfor ønskelig. Som for designet av trinn 1 var det ønskelig å plassere arbeidspunktet midt i IV-karakteristikken for å sikre maksimal lineær utgangseffekt. På grunnlag av desse betingelsene vart dimensjonene til transistoren funne. For å få ein maksimal bias-strøm på omlag 60 mA måtte transistoren vere 25 μm lang og ha 4 gate-fingre. Drain-spenningen skulle vere den samme som for det første designet, nemlig 3 V. Ved å simulere det ferdige oppsettet i figur 45 vart det generert IV-kurver for transistoren. Desse er vist i figur 16.



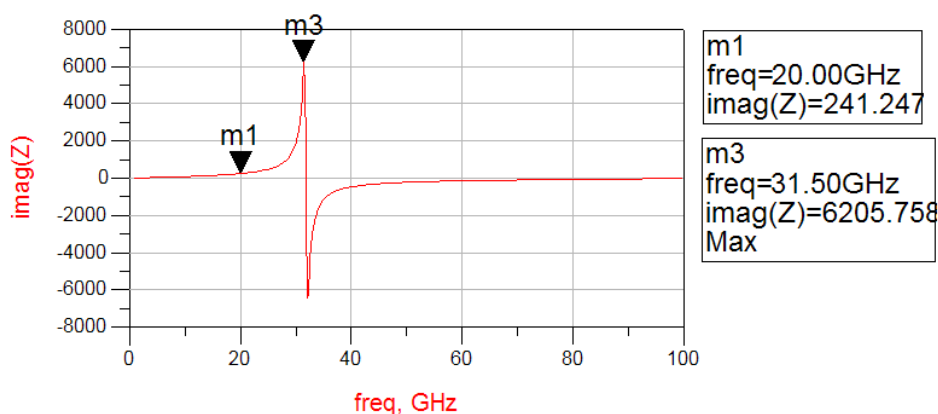
Figur 16: IV-kurver for transistor

Ein ser i figur 16 at maksimal strøm gjennom transistoren er omlag 60 mA. Å sette Vgs til 1 V resulterte i ein bias-strøm på 30 mA. Dette er også vist i figur 46 i appendiks A der transistoren er simulert med riktige bias-spenninger og DC-annotations under simuleringmenyen i ADS er brukt for å vise DC-strømmer.

6.2 S-parametre

S-matrisen gir en komplett beskrivelse av eit nettverk ved å relatere dei innkommende spenningsbølgene ved portene til nettverket til dei spenningsbølgene som blir refektert frå portene. S-parametrene til transistoren vil derfor beskrive transistoren og kan blant anna brukes for å designe passende tilpasningsnettverk. Under arbeidet med lågstøyforsterkeren vart det funne at ulike størrelser på DC-innføringsspolene resulterte i at transistoren oppførte seg ulikt og at S-parametrene endra seg. Det ideelle er ein uendelig stor spole. Dette er umulig i praksis. DC-innføringsspolen brukt i designet av lågstøyforsterkeren konstruert i prosjektarbeidet kunne vert større. Denne vart derfor konstruert på nytt. Det som begrenser størrelsen til reelle spoler er først og fremst spolens resonansfrekvens. Denne må holdes godt over senterfrekvensen til forsterkeren. Eit anna moment ein må ta i betraktning er fasegangen gjennom spolen. Dersom det er for mange viklinger i spolen vil fasegangen bli så stor at dei elektriske felta kan begynne å kansellere kvarandre. Fasegangen bør derfor holdes låg, det vil sei under 90 grader. Lederbredden i spolene er

eit anna viktig moment. Ein kan grovt sett anta at maksimal strøm gjennom DC-feed spolen i trinn 2 vil vere halvparten av maksimalt strømtrekk for den totale forsterkeren, altså rundt 50 mA. 5 μm lederbredde vil ifølge TriQuints MMIC-prosess[5] vere eit trygt val dersom ein vel å lage spolene i metall 2. Ein ny DC-feed-spole vart laga for det nye designet av trinn 2. Simuleringsoppsettet for spolen er vist i figur 47 i appendiks A. Eit simuleringsresultat av denne spolen er vist i figur 17.

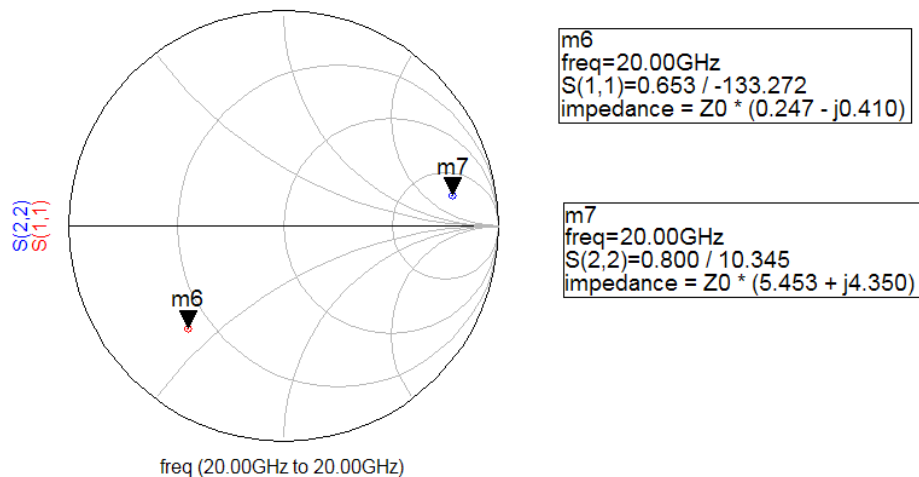


Figur 17: Simuleringsresultat for DC-feed-spole

Som vist i figur 17 er imaginærverdien til impedansen til spolen simulert i figur 47 omlag 241 ved 20 GHz. Dette tilsvarer en spoleverdi på omlag 1,9 nH. Figur 17 viser også at resonansfrekvensen til spolen er omlag 31,5 GHz. Denne spolen vart brukt vidare i arbeidet.

Som nevnt bruker ein som ofte S-parametra som eit utgangspunkt når ein skal konstruere tilpasningsnettverka på inngangen og utgangen av forsterkertrinnet, og ulike DC-innføringsspoler endrer S-parametra til transistoren. S-parametra vart derfor simulert med DC-innføringsspolene innsatt. Eit anna moment som endrer S-parametra til transistoren er måten source koples til jord. Dette må gjeres ved hjelp av eit VIA-hol. Eit VIA-hol har induktans, og dette vil endre egenskapene til transistoren. Induktans i serie med source er ein god måte å stabilisere en transistor på samtidig som det reduserer støyen, men det fører til at gainet til transistoren også reduseres. Grunnen til at både støytalet og gainet går ned ved å plassere ein liten induktans i serie med source er at ein øker den reelle delen av HEMT-impedansen. Dette vil bringe S_{11}^* og Γ_{inn} nærare kvarandre.[2] Simuleringsoppsettet for S-parametra er vist i figur 48 i appendiks A. Resultatet av S-parametersimuleringen av transistoren med reelle DC-feed-spoler og VIA-hol innsatt er

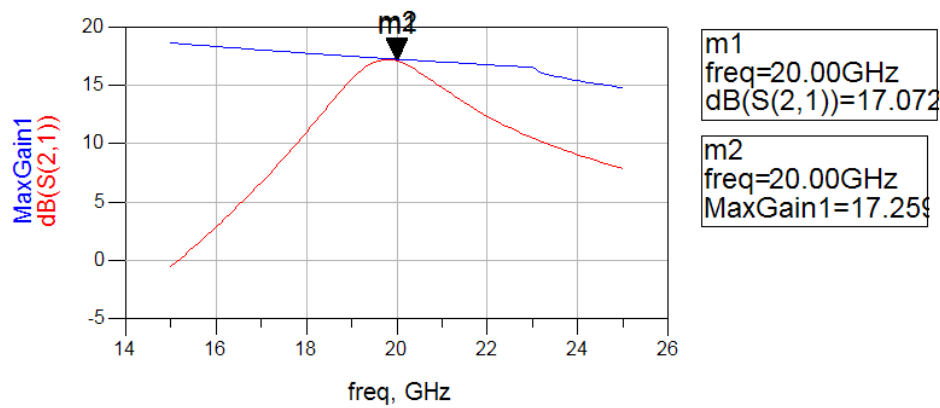
vist i figur 18.



Figur 18: Resultat av S-parametersimulering av transistor

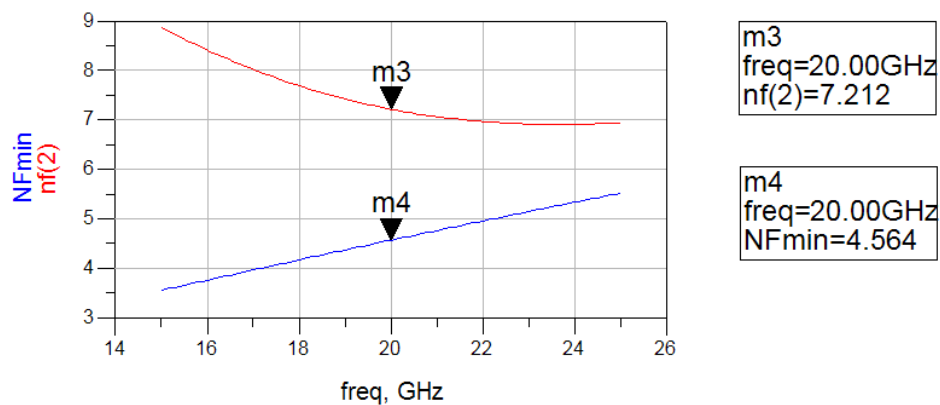
6.3 Tilpasningsnettverk

For å konstruere tilpasningsnettverka på inngang og utgang vart SmithChart-verktøyet i ADS benytta. Ved å bruke dette verktøyet kan ein konstruere tilpasningsnettverk enten med ideelle, sentrerte komponenter som spoler og kondensatorer, eller med transmisjon-slinjer. I dette designet vart tilpasningsnettverka først konstruerte ved hjelp av ideelle, sentrerte komponenter. Det oppsto eit problem med tilpasningsnettverket på utgangen. På grunn av plasseringen av S22 i Smith-diagrammet var det nødvendig å bruke svært små kondensatorverdier. Kondensatorer med verdier under 100 fF er vanskelige å lage i MMIC [3]. Det vart derfor satt inn fleire kondensatorer i serie for å oppnå ein kondensatorverdi som var liten nok. Forsterkertrinn 2 med ideelle komponenter i tilpasningsnettverka er vist i figur 56 i appendiks B. I kretsen i figur 56 er det køyrd optimalisering for å finne dei beste komponentverdiene. Figur 19 viser resultatet av ein gain-simulering av kretsen i figur 56.



Figur 19: Resultat av gain-simulering av trinn 2 med ideelle komponenter

Figur 19 viser at det nye forsterkertrinnet med ideelle komponenter har omlag 17 dB gain ved 20 GHz. Dette er vesentlig høgare enn det opprinnelige designet som ga 10,12 dB gain, riktig nok med reelle komponenter innsatt. Figur 20 viser resultatene av ein støysimulering av kretsen i figur 56.



Figur 20: Resultat av støysimulering av trinn 2 med ideelle komponenter

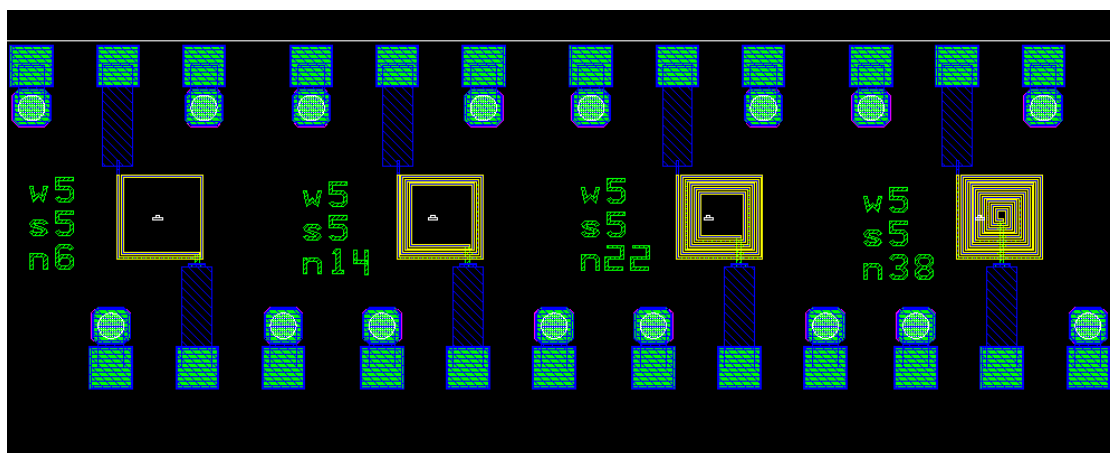
Figur 20 viser at forsterkertrinn 2 vil ha eit støytal på 7,21 dB som er betydelig høgare enn i det opprinnelige designet. Som nevnt i seksjon 6 vart det antatt at denne støyen ville bli undertrykt av gainet til det første forsterkertrinnet.

Siste steg i konstruksjonen av forsterkertrinn 2 var å bytte ut dei ideelle komponentene i tilpasningsnettverka med reelle komponenter frå TriQuints komponentbibliotek. Den første spolen i designet i figur 56 er av ein slik størrelse at den kan byttes ut med ein transmisjonslinje. Den andre spolen kan derimot ikkje byttes ut. Den resulterende transmisjonslinja ville blitt veldig lang. Denne er derfor realisert ved hjelp av ein spiral-spole. Dei ideelle kondensatorene vart bytta ut med MIM-kondensatorer. Det endelige designet av forsterkertrinn 2 med reelle komponenter er vist i figur 57 i appendiks B. Simuleringsresultata av kretsen er oppsummerte i seksjon 8.3.1.

7 Målinger

Kretsen til lågstøyforsterkeren som vart konstruert i prosjektarbeidet vart i februar sendt til produksjon. I mai kom kretsen tilbake, og det var no meininga at ein skulle måle på kretsen og samanlikne måleresultata med dei resultata ein oppnådde i simuleringene. Det oppstod desverre ein misforståelse angående dimensjonene til probepadene i layouten. Misforståelsen gjekk på avstanden mellom padene. Dei vart lagd med ein avstand på $200\ \mu\text{m}$ mellom sidekantene, mens det egentlig skulle vert $200\ \mu\text{m}$ mellom sentrum på padene. Probene på måleutstyret har fleire fingre som er montert med ein fast avstand mellom seg slik at det ikkje er mulig å bevege probefingrene i forhold til kvarandre. Dersom ein skulle ha målt på kretsen hadde ein trengt prober med ein avstand på $300\ \mu\text{m}$ mellom fingrene. Dette var desverre ikkje i lager hos leverandøren og leveringstida var fleire måneder. Det var derfor ikkje mulig å få målt på kretsen til lågstøyforsterkeren.

For å få lært litt om kalibrering og bruk av måleutstyret vart det målt på ulike passive komponenter som var lagt ut på ein annen chip. Det vart målt på fire ulike spoler, alle med samme ytterdiameter, men med ulikt antall viklinger. Layouten til spolene er vist i figur 21.



Figur 21: Layout til fire ulike spoler

Alle spolene hadde ein lederbredde og ein avstand mellom lederne på $5\ \mu\text{m}$. Alle spolene var $200\ \mu\text{m}$ lange og breie. Den første spolen hadde 6 viklinger, den andre 14, den tredje 22 og den fjerde 38. Dei fire spolene vart også simulerte i ADS slik at ein kunne samanlikne dei målte resultata med dei simulerte. På denne måten kunne ein gjere ein vurdering av korleis egenskapene til kretsen ville vert.

7.1 Måleutstyr

Til å gjennomføre målingene vart det brukt følgende utstyr:

HP 8510C nettverksanalysator
HP 83651B signalgenerator
HP 8517B S-parameter testsett
Cascade Microtech Summit 9000 probestasjon
Leica mikroskop

Figur 22 viser utstyret oppkopl.

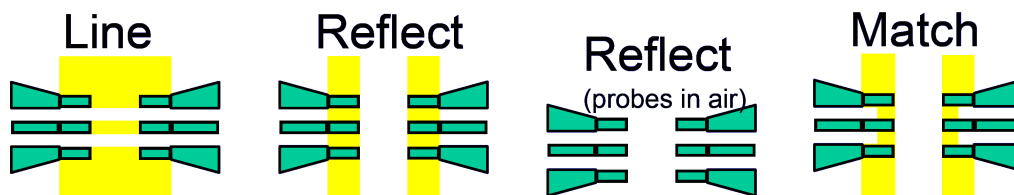


Figur 22: Måleutstyret

7.2 Kalibrering

Før ein begynner å måle må ein fjerne alle målefeil. Dei ulike typene målefeil er forklart i seksjon 2.8. Siden det skulle måles direkte på chipen måtte tapa i probene også kalibreres bort. Det fins ulike alternativ når ein skal kalibrere. Ein kan selvfølgelig velge å ikkje kalibrere i det heile. Dette er raskt og enkelt, men vil medføre dårlig nøyaktighet og blir svært sjelden praktisert. Ein kan bruke responskalibrering. Denne har låg nøyaktighet og blir kun brukt når hastighet går foran presisjon. Dersom ein treng høg nøyaktighet velger ein ein full 2-portskalibrering. Dette kalibreringsalternativet vart brukt før

målingene av spolene. Kalibreringsteknikken som vart brukt kalles Line-Reflect-Reflect-Match(LRRM). Denne teknikken er tilgjengelig i programmet WinCal. WinCal er ein software som brukes ved RF-målinger, både til kalibrering og til sjølve målingene. WinCal gjer kalibreringsprosedyren semi-automatisk, noko som sørger for høgare repeterbarhet og nøyaktighet.[6] For å flytte referansplanet til tuppen av probene trengs ulike kalibrerings-standarder. Med kalibreringsstandarder meines strukturer på chipen med kjente egenskaper. Strukturene som vart brukt i LRRM-kalibreringa er vist i figur 23 til 26.



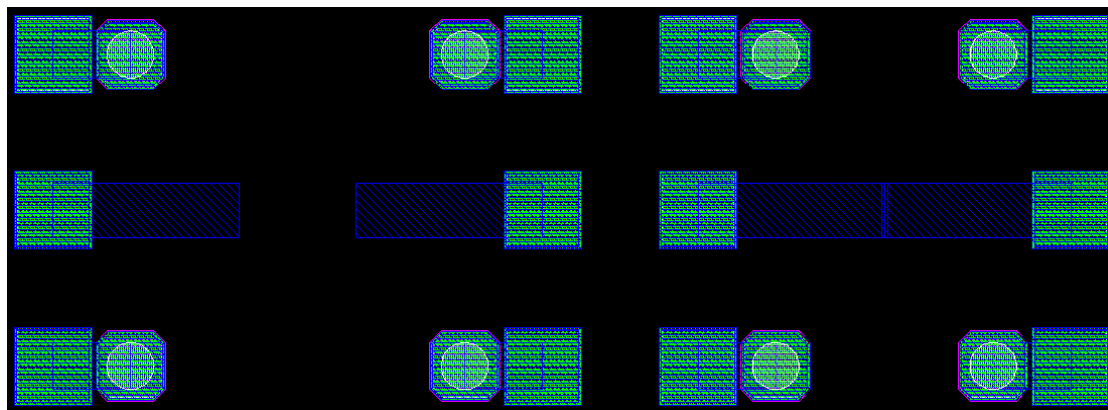
Figur 23: Line-komponent

Figur 24: Reflect-komponent

Figur 25: Den andre reflect-komponenten

Figur 26: Match-komponent

Som vist i figur 21 går det linjer inn til spolene. Disse linjene måtte kalibreres bort før ein begynte målingene. Måleutstyret tillater at ein setter på eit elektrisk delay. Denne forsinkelsen vil kompensere for den fasaforskyvinga som skjer langs linja og vil flytte referansplanet heilt fram til spolen. For å finne riktig forsinkelse vart det brukt test-strukturer som var lagt ut på samme chip som spolene. Teststrukturene er vist i figur 27.



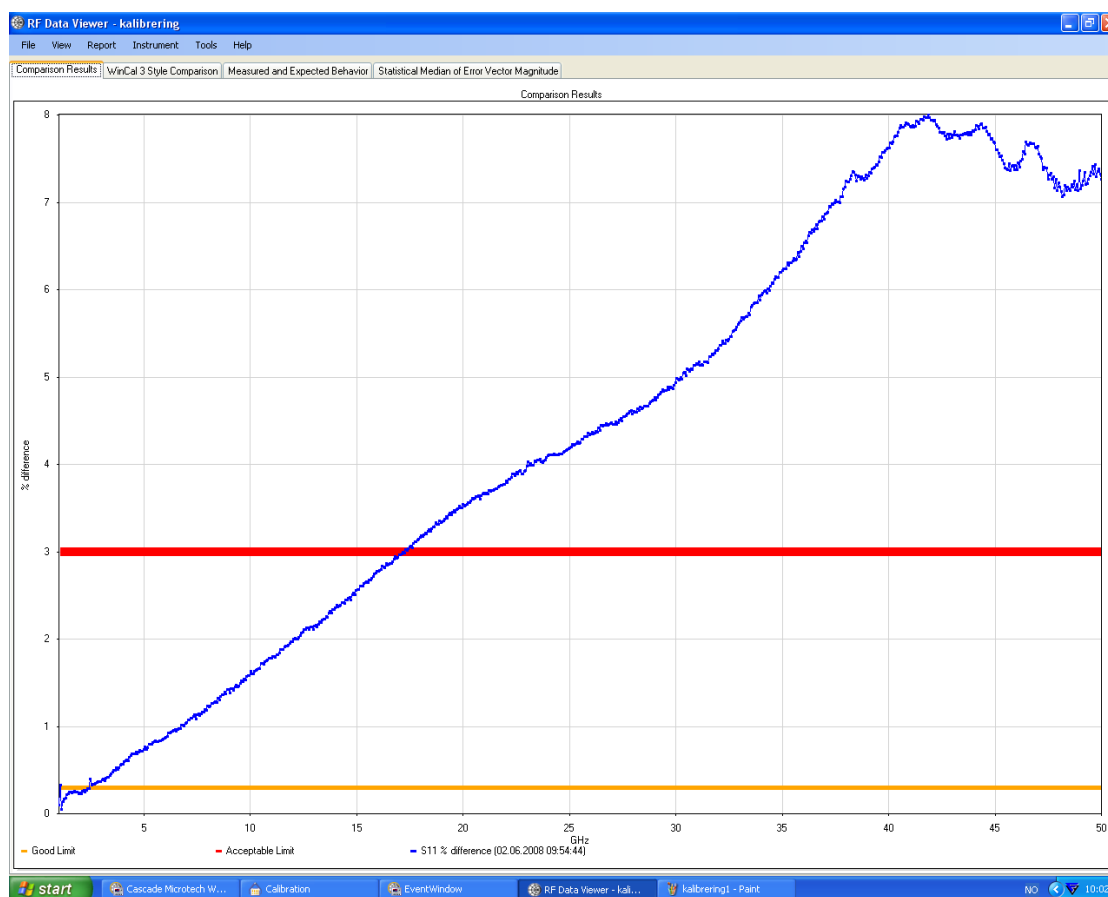
Figur 27: Kalibreringsstrukturer i layout

Det elektriske delayet måtte settes separat for alle parametra som skulle måles. For å sette delayet for S_{11} og S_{22} vart det benytta åpne linjer med samme lengde som linjene inn til spolene. Denne strukturen er vist til venstre i figur 27. Ved å observere S_{11} eller S_{22} i eit smith-chart i displayet på måleutstyret kunne ein justere forsinkelsen heilt til S_{11}/S_{22} såg ut som ein prikk heilt til høgre i smith-chartet. Dette vil kalibrere bort linja

siden ei åpen linje er ein uendelig last og derfor vil befinne seg på høg-impedanssida i Smith-chartet. For å finne tidsforsinkelsen for S12 og S21 vart det benytta ein struktur med to linjer av samme lengde som linjene inn til spolen, men kopla sammen. Dette er vist til høgre i figur 27. Ved å observere magnituden til S12/S21 kunne ein justere forsinkelsen heilt til magnituden låg som ei rett linje langs 0dB-linja. For S11 og S22 vart det satt på ein forsinkelse på 6,1 ps og for S12 og S21 vart den satt til 5 ps.

Målingene vart gjennomførte i Step Mode. Step Mode faselåser på kvar frekvens og gjer 32 målinger. Gjennomsnittet av desse målingene brukes. Alternativet ville vært Ramp Mode. Ramp sveiper gjennom alle frekvensene 32 ganger og gjer ein måling på kvar frekvens under sveipet. Dette tar kortere tid enn å stoppe opp på kvar frekvens slik som blir gjort i Step Mode.

Det vart kalibrert og målt frå 1 GHz til 50 GHz. Det viste seg vanskelig å oppnå akseptabel kalibrering. Eit skjermbilde av dei endelige kalibreringsresultata er vist i figur 28.



Figur 28: Resultat etter kalibrering

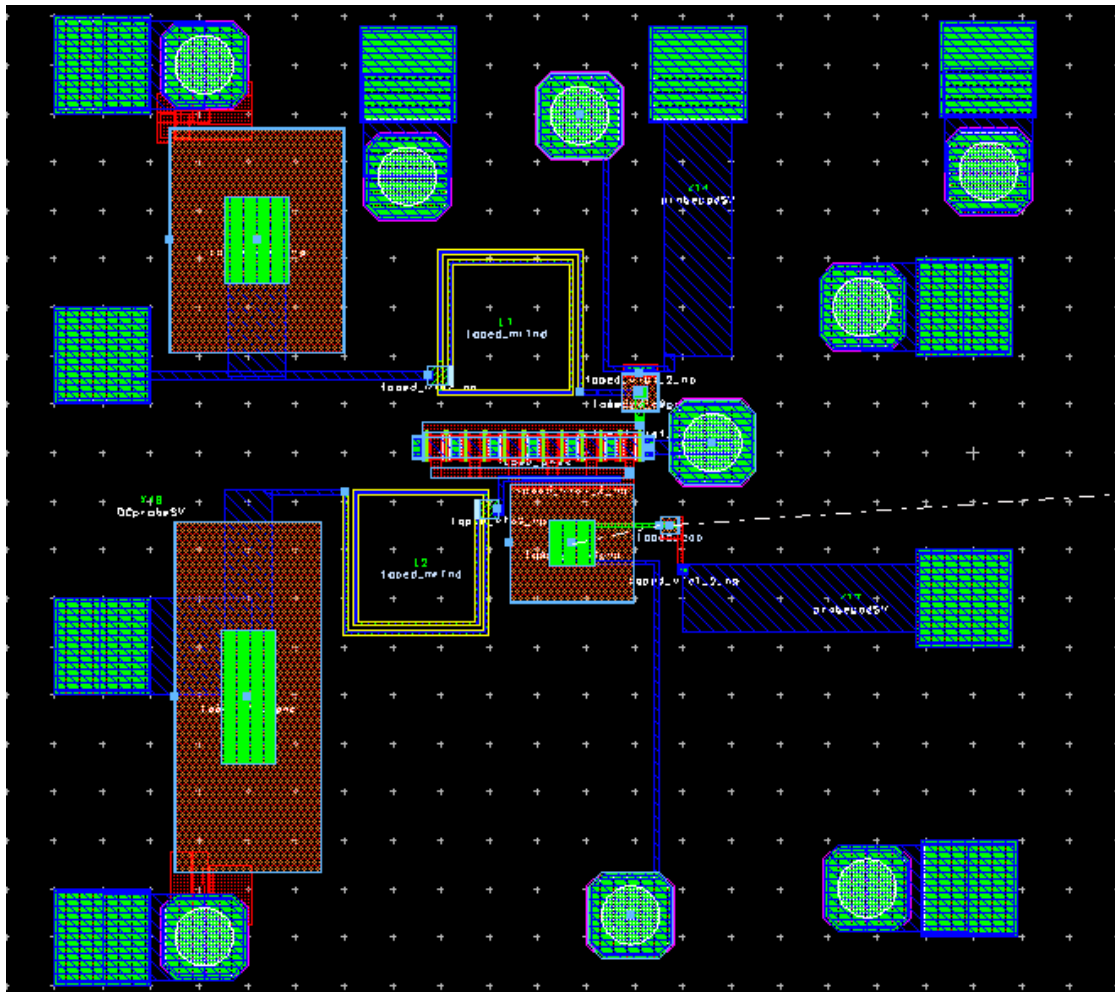
Som vist i figur 28 ga kalibreringa akseptable resultat opp til omlag 17 GHz. Ved senter-

frekvens var resultatene egentlig ikkje gode nok, men etter gjentatte kalibreringsforsøk uten bedre resultat vart det bestemt å gjennomføre målingene likevel. Då ein skulle kalibrere vart det først valgt å gjere dette i 801 punkter mellom frekvensytterpunkta. Å kalibrere på 801 punkter gjekk greit, men å overføre dataene frå målingene viste seg å bli vanskelig. Softwaren nekta å ta vare på måledataene med 801 punkter. Ein måtte derfor kalibrere og gjere målingene på nytt med 201 punkter mellom frekvensytterpunkta. Etter at målingene var gjennomførte vart måleresultata eksporterte til ei såkalla S2P-fil. I ADS kan denne måleinformasjonen så hentes frem ved hjelp av ein S2P-komponent og brukes som ein vanlig simulering. S2P-komponenten peker til den fila der måledataene er lagra. Figur 50 i appendiks A viser oppsettet i ADS. Alle spolene vart også simulerte i ADS. Oppsettet for ein slik simulering er vist i figur 51 i appendiks A. Måleresultata er vist i appendiks C og er oppsummert og diskutert i seksjon 8.4.

8 Resultat og diskusjon

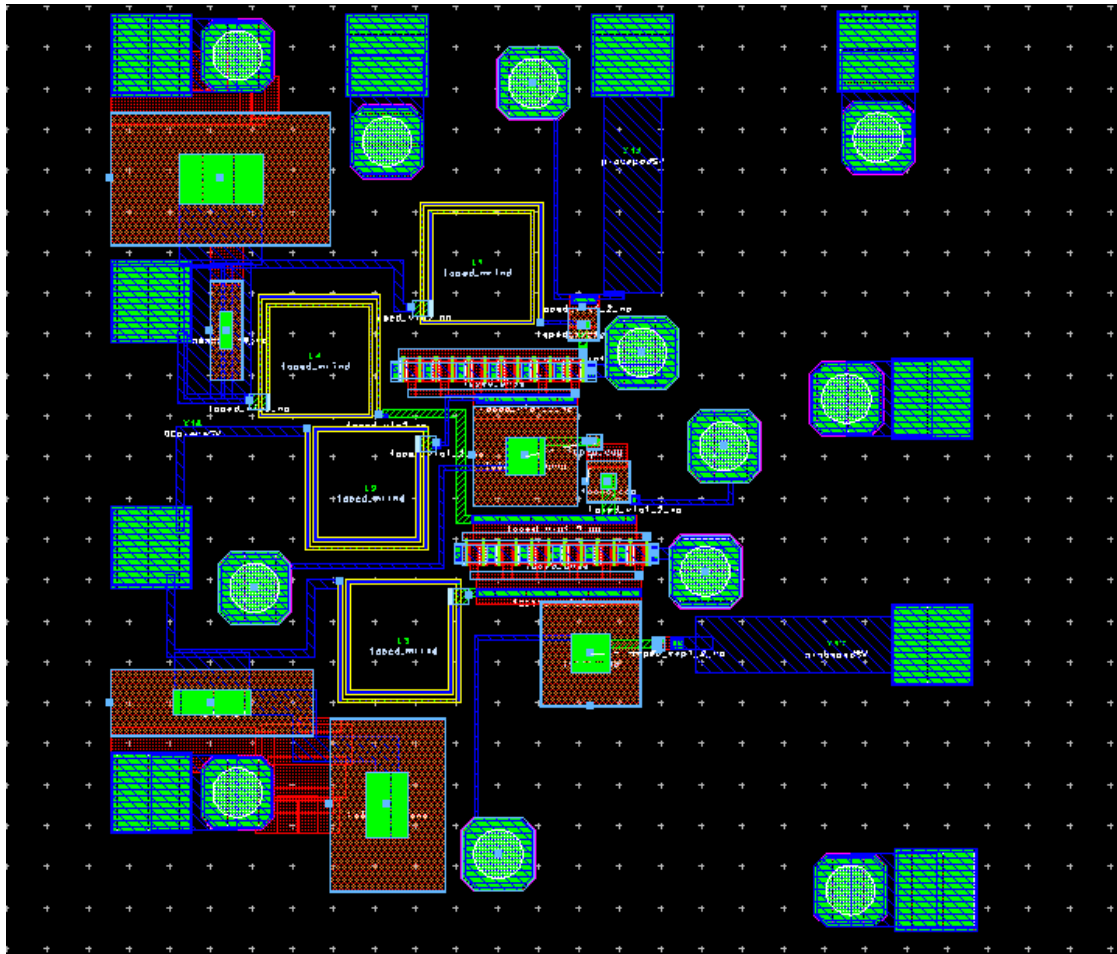
8.1 Utlegg

Utleget vart som nevnt i seksjon 4 delt opp i tre separate deler. Figur 29 viser forsterkertrinn 1.



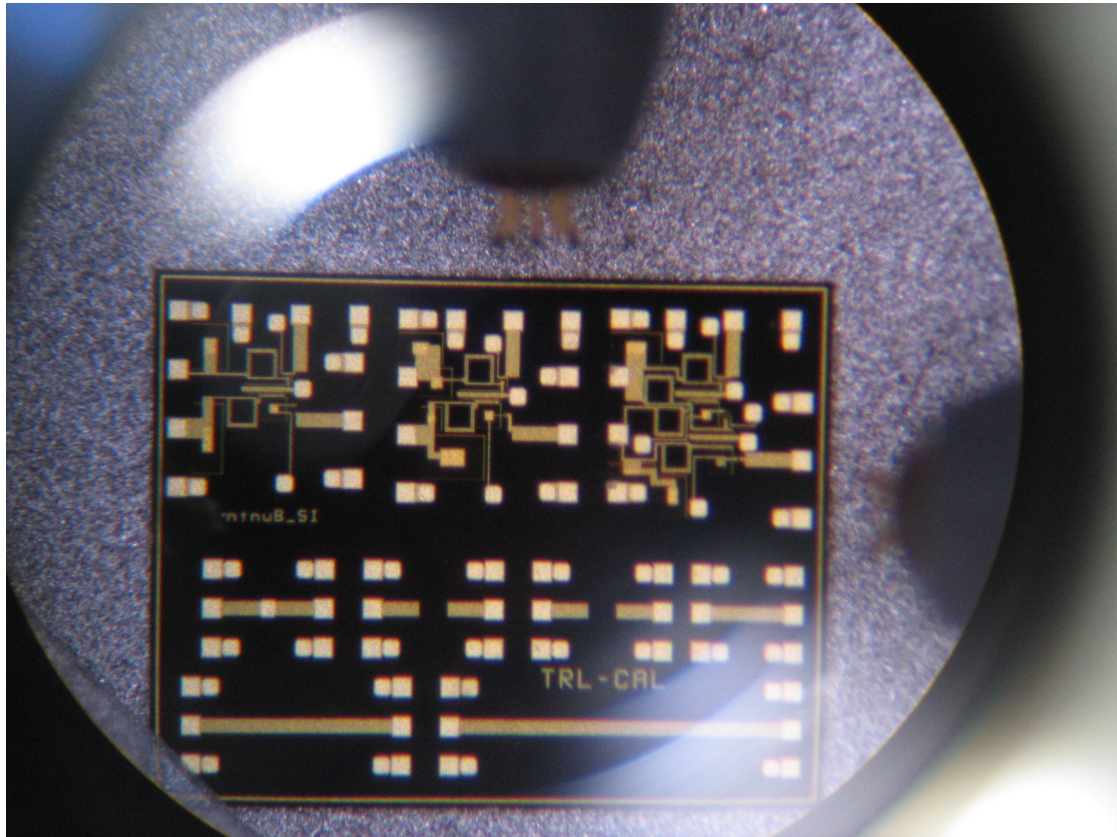
Figur 29: Utlegg av forsterkertrinn 1

Figur 31 viser utlegget til den totale forsterkeren der dei to forsterkertrinna er kpla sammen.



Figur 31: Komplet utlegg av kretsen

Som nevnt i seksjon 7 kunne ikkje den ferdigproduserte kretsen måles på. Eit bilde av den ferdigproduserte kretsen er likevel tatt med. Det er vist i figur 32.



Figur 32: Den ferdigproduserte kretsen

Bildet er tatt gjennom mikroskopet på probestasjonen. I figur 32 ser ein forsterkertrinn 1 heilt oppe til venstre, forsterkertrinn 2 oppe i midten og den totale forsterkeren oppe til høgre. Nederst på chipen vises ein del strukturer som blandt annet brukes til kalibrering før målinger. I ytterkantene kan ein skimte probene som brukes for å måle på kretsen.

8.2 Demepeledd

8.2.1 Demepeledd med kontrollnettverk innsatt

Demepeleddet med kontrollkretsen innsatt er vist i figur 54 i appendiks B. Resultatet etter at kontrollkretsen vart innsatt i demepeleddet og kontrollspenninga vart justert er vist i tabell 3 og tabell 4.

demping[dB]	V_1 [V]	V_2 [V]	$V_{kontroll}$ simulert[V]
1	-0,24	-0,75	-1,34
2	-0,28	-0,68	-1,24
3	-0,32	-0,61	-1,14
4	-0,36	-0,54	-1,05
5	-0,4	-0,47	-0,95
6	-0,44	-0,4	-0,88
7	-0,48	-0,33	-0,81
8	-0,52	-0,26	-0,7
9	-0,56	-0,19	-0,57
10	-0,6	-0,12	-0,37
11	-	-	-
12	-	-	-

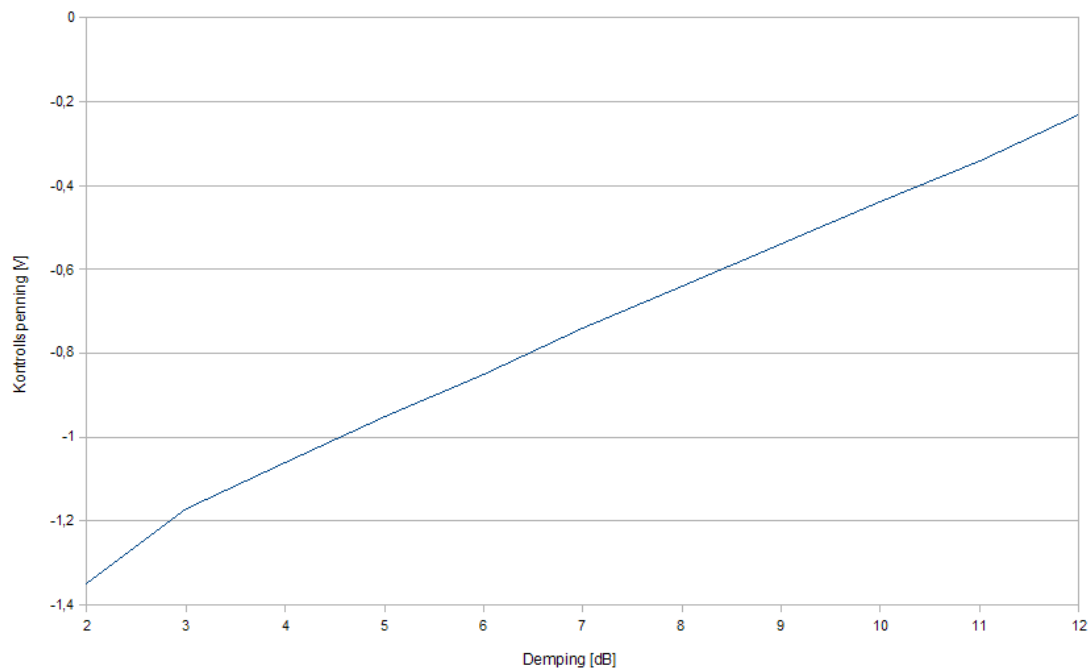
Tabell 3: Egenskaper for demepeledd med kontrollkrets innsatt

demping[dB]	$V_{kontroll}$ justert[V]	S11 [dB]	S22 [dB]
1	-	-	-
2	-1,35	-27,1	-33,0
3	-1,17	-30,5	-32,1
4	-1,06	-25,2	-25,0
5	-0,95	-24,9	-24,6
6	-0,85	-27,9	-27,1
7	-0,74	-33,8	-30,6
8	-0,64	-28,7	-27,3
9	-0,54	-23,4	-22,9
10	-0,44	-20,1	-19,8
11	-0,34	-17,9	-17,7
12	-0,23	-15,3	-15,2

Tabell 4: Egenskaper for demepeledd med kontrollkrets innsatt forts.

Tabell 3 viser teoretiske verdier for V_1 og V_2 funne ved hjelp av likningene for dei rette linjene i figur 12. I tillegg viser tabell 3 den $V_{kontroll}$ som vart funne ved å bruke simuleringsresultata i figur 14. Tabell 4 viser den $V_{kontroll}$ som ga riktig demping då kontrollnettverket vart innsatt i demepeleddet. Sistnevnte spenning er kalt $V_{kontroll}$ justert.

Til slutt er absoluttverdiene til S_{11} og S_{22} tatt med for å vise henholdsvis inngangs- og utgangstilpasning. Grunnen til at kolonnene for $V_{kontroll}$ justert, $|S_{22}|$ og $|S_{11}|$ er tomme for 1 dB demping er at det var umulig å oppnå så låg demping med kontrollkretsen innsatt i dempeleddet. Det var derimot mulig å oppnå opp til 12 dB demping samtidig som inngangstilpasningen var brukbar. Med brukbar meines at S_{22} har ein verdi mindre enn -10 dB. For 11 og 12 dB demping vart det ikkje på forhånd utrekna teoretiske verdier. Derfor er dei tre første kolonnene for desse dempeverdiene tomme. Som tabell 3 viser er forholdet mellom $V_{kontroll}$ justert og dempinga tilnærma lineær mellom 3 og 12 dB demping. Dette er også illustrert i figur 33.



Figur 33: Demping vs. kontrollspenninger

Maksimalt strømtrekk for dempeleddet dersom ein antar 10 dB som maksimal dempeverdi er som vist i figur 15 omlag 10 mA.

8.2.2 Dempeledd innsatt i LNA

Dempeleddet vart så sett inn i den opprinnelige lågstøyforsterkeren. Kretsen er vist i figur 55 i appendiks B. Under simuleringene vart kontrollspenningen i dempeleddet justert slik at kretsen produserte riktige dempeverdier. Forsterkeren vart simulert for å finne støyegenskapene og for å finne utgangstilpasning. Det vart også køyrd ein harmonisk-balanse-simulering for å undersøke forsterkerens effekthåndteringsegenskaper med dempeleddet innsatt. Resultata frå simuleringene er oppsummerte i tabell 5 og 6.

demping[dB]	$V_{kontroll}$ justert[V]	S21 [dB]	støytal[dB]
1	-	-	-
2	-1,48	17,1	3,73
3	-1,19	16,12	3,85
4	-1,08	15,07	4,02
5	-0,98	14,12	4,24
6	-0,87	13,09	4,56
7	-0,77	12,11	4,94
8	-0,67	11,07	5,42
9	-0,58	10,09	5,95
10	-0,49	9,09	6,56

Tabell 5: Egenskaper for lågstøyforsterker med dempeledd innsatt

demping[dB]	S22 [dB]	1dB-kompr.pkt [dBm]
1	-	-
2	-34,24	-3
3	-45,84	-3
4	-32,84	0
5	-30,84	1
6	-31,77	3
7	-32,2	4
8	-29,67	4
9	-26,75	6
10	-24,35	8

Tabell 6: Egenskaper for lågstøyforsterker med dempeledd innsatt forts.

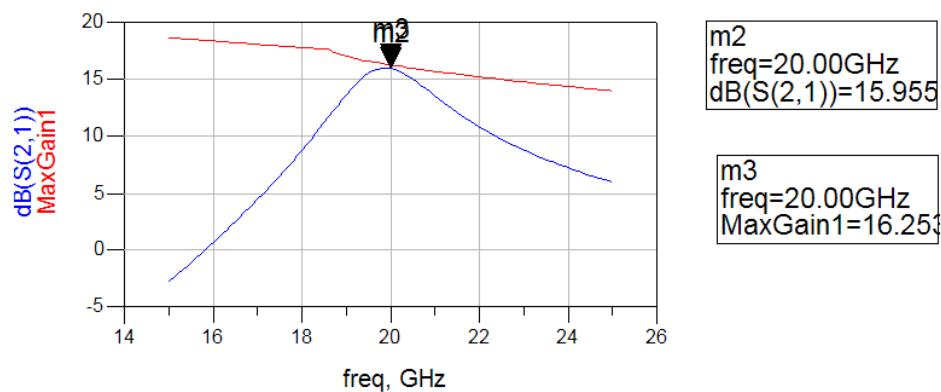
I tabell 5 og 6 er simuleringsresultata for 11 og 12 dB demping ikkje tatt med. Grunnen til dette er at støyen for desse dempeverdiene vart veldig høg i forhold til forsterkningsverdiene. Det var umulig å oppnå 1dB demping med dempeleddet innsatt i forsterkeren. Ein ser i tabell 5 at kontrollspenninga $V_{kontroll}$ måtte justeres ytterligere for å oppnå riktige dempeverdier i forhold til den $V_{kontroll}$ justert som vart oppgitt i tabell 4. Tabell 5 viser også at støytalet øker når dempinga øker. Dette kan forklaras ved hjelp av Friis' formel. Som nevnt i seksjon 2.5 vil støybidraget frå det tredje trinnet i ein forsterkerkjede vere avhengig av gainet til dei to foregåande trinna. Når dempinga øker vil G2 i Friis' formel i seksjon 2.5 minke og støybidraget frå trinn 3, som her er forsterkertrinn 2, vil øke. I tabell 6 ser ein kordan dei økte dempeverdiene spelar inn på kretsens effekthåndteringsegenskaper. Som nevnt i seksjon 3.2 er det trinn 2 som begrenser maksnivået på inngangen til forsterkeren. Ved å dempe signalet frå forsterkertrinn 1 vil forsterkertrinn 2 gå seinare i metning. Som vist i tabell 1 i seksjon 3.4 har forsterkeren sitt 1dB-kompresjonspunkt ved -4 dBm uten dempeleddet. Med dempeleddet innsatt øker maksimal effekt jevnt med økte dempeverdier. Tabell 6 viser også at forsterkeren har god utgangstilpasning(S22). Inngangstilpasninga(S11) er ikkje tatt med siden me for å oppnå lågt støytal med vilje

feiltilpassa inngangsnettverket.

8.3 Redesign av forsterkertrinn 2

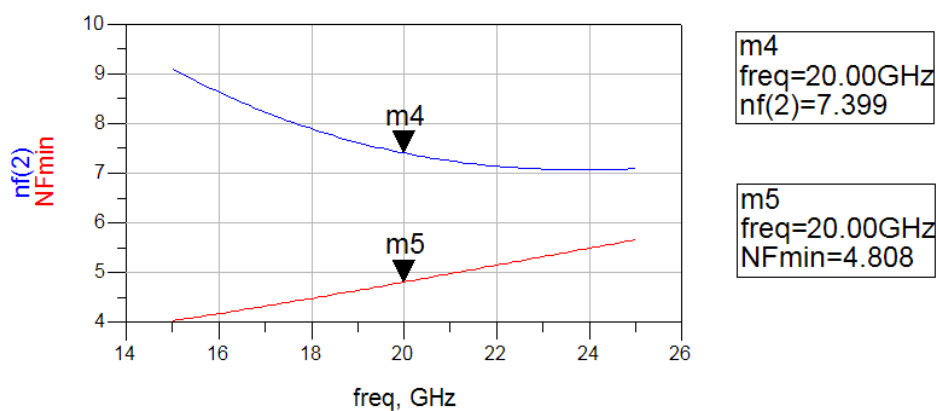
8.3.1 Forsterkertrinn 2

Det endelige designet av forsterkertrinn 2 med reelle komponenter er vist i figur 57 i appendiks B. Her er komponentverdiene justert ved hjelp av ADS sin tune-funksjon for å oppnå optimal tilpasning på inngang og utgang. Resultata av ein gain-simulering av kretsen i figur 57 er vist i figur 34.



Figur 34: Resultat av gain-simulering av trinn 2 med reelle komponenter

Figur 34 viser at kretsen har eit gain på 15,96 dB. Dette er litt lågare enn for kretsen med ideelle komponenter, men fortsatt betydelig høgare enn for det opprinnelige designet. Den viser også at tilpasninga er god for ein senterfrekvens på 20 GHz. Ein støysimulering av kretsen i figur 57 er vist i figur 35.

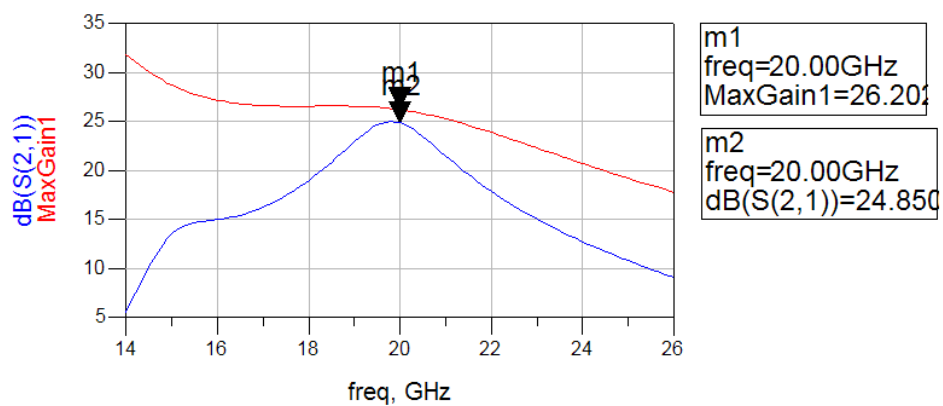


Figur 35: Resultat av støysimulering av trinn 2 med reelle komponenter

Figur 35 viser at støytalet til forsterkertrinn 2 er omlag 7,4 dB. Dette er vesentlig høgare enn for det opprinnelige designet, men støytalet til den totale kretsen vil vere vesentlig lågare.

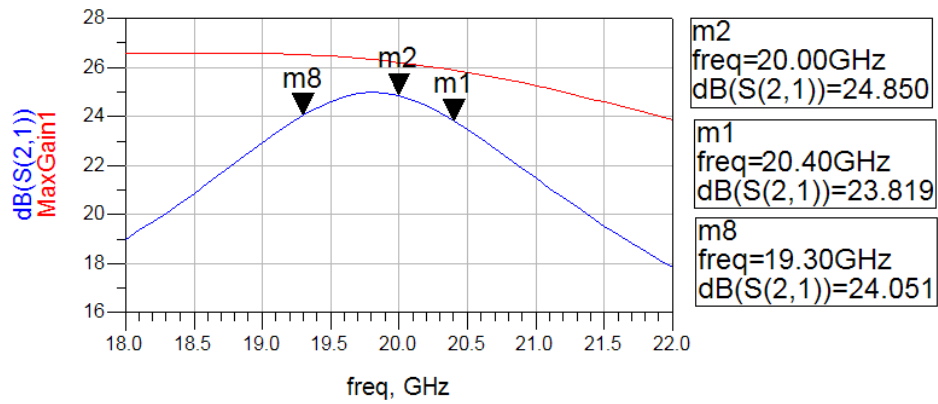
8.3.2 Ny lågstøyforsterker

Lågstøyforsterkeren med det nye forsterkertrinnet er vist i figur 58 i appendiks B. I denne kretsen er det gjort to forandringer på det første trinnet. På grunn av stabilitetsproblem rundt 13,5 GHz vart det sett inn ei linje i serie med source. Som nevnt i seksjon 6.2 er dette ein god måte å stabilisere ein krets på. Når ein lager layouten til ein krets er det vanskelig å kople source på transistorene til VIA-holet som går til jord uten ein liten linjestubb. Dette er vist i figur 4 i seksjon 4.1. Det kan derfor godt vere at linjestubben som introduseres for å sikre stabilitet ville vert der uansett. Den første linja i tilpassingsnettverket til trinn 1 vart under arbeidet med prosjektoppgåva sett til 4.5 μm for å ordne opp i stabilitetsproblemer. Introduksjonen av induktans i serie med source gjorde at ein kunne endre breidda til denne linja tilbake til 5 μm . Eit simuleringsresultat av gainet til den totale forsterkeren er vist i figur 36.



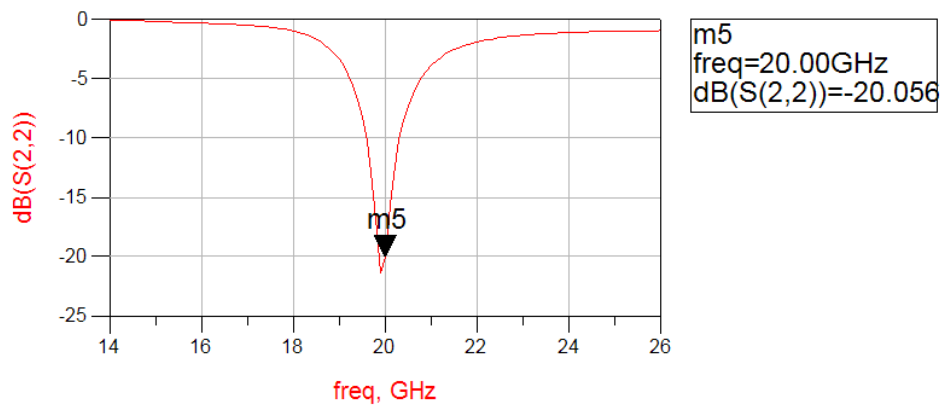
Figur 36: Resultat av gain-simulering av den totale forsterkeren med det nye trinnet innsatt

Figur 36 viser at gainet til den totale forsterkeren er på 24,85 dB. Dette er ein økning på nesten 6 dB i forhold til lågstøyforsterkeren som vart konstruert i prosjektoppgåva. Figur 36 viser også at gainet ikkje er optimalt, noko som er eit resultat av at det første trinnet er konstruert for å produsere lite støy. Fleire markører vart lagt til for å finne båndbredden til forsterkeren. Dette er vist i figur 37.



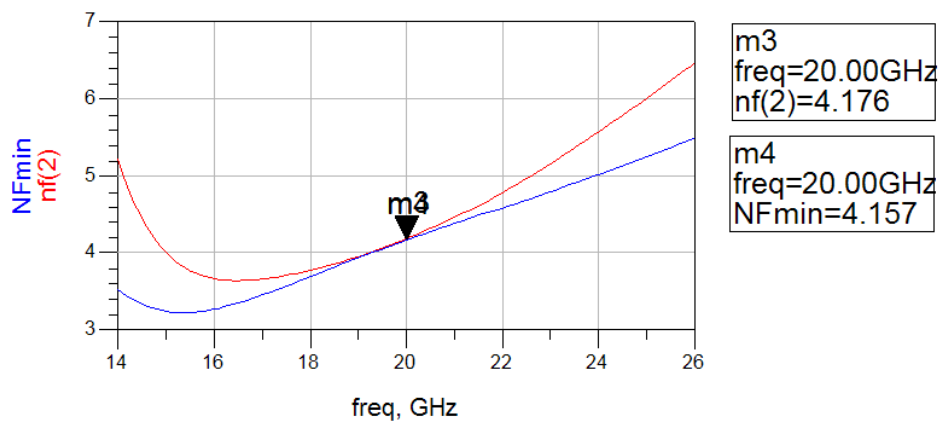
Figur 37: Resultat av gain-simulering for å finne båndbredden til forsterkeren

Dersom ein definerer båndbredden som dei frekvensene der gainet er mindre enn 1 dB lågare enn for senterfrekvensen går båndet til forsterkeren frå 19,3 GHz til 20,4 GHz. Båndbredden er altså 1,1 GHz. Resultatet frå ein simulering av S22 er vist i figur 38.



Figur 38: Resultat av simulering av S22

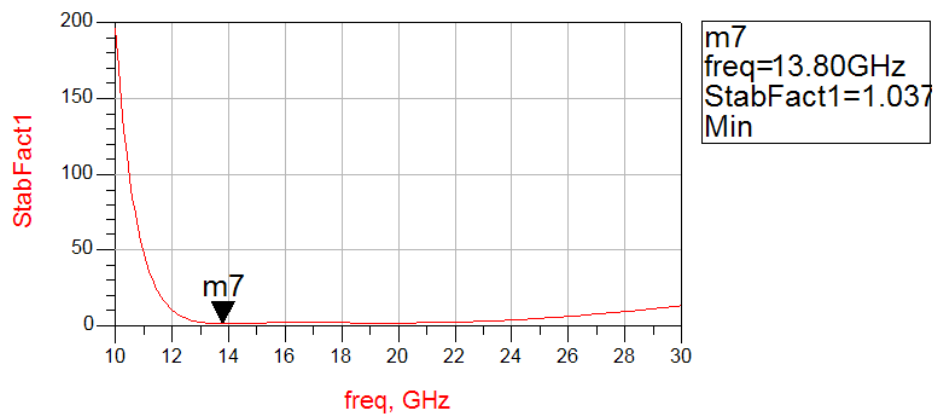
Figur 38 viser at utgangstilpasninga er god, men at ein kunne ha tuna utgangsnettverket meir. Eit simuleringresultat av støyen til den totale forsterkeren er vist i figur 39.



Figur 39: Resultat av støysimulering av den totale forsterkeren med det nye trinnet innsatt

Figur 39 viser at støytalet til forsterkeren med det nye trinnet innsatt er 4,18 dB. Dette er omlag 0,8 dB høgare enn for den opprinnelige lågstøyforsterkeren. Støytalet er over 4 dB, til tross for at det i seksjon 6 vart antatt at den totale forsterkeren ville ha eit støytalet på under 4 dB så lenge støyen til trinn 2 holdt seg under 9,5 dB. Dette kan forklaras med at det begrensa gainet til det første forsterkertrinnet undertrykker støyen til trinn 2 noko, men at det likevel ikkje er høgt nok til at Friis' formel skal bli heilt gyldig.

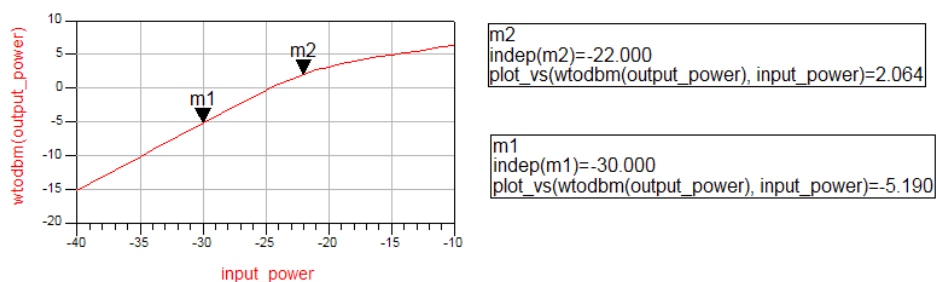
Resultata frå ein stabilitetssimulering er vist i figur 40.



Figur 40: Resultat av stabilitetssimulering av den totale forsterkeren med det nye trinnet innsatt

Figur 40 viser at kretsen er stabil for alle frekvenser. Ved rundt 13,8 dB er stabilitetsfaktoren på sitt minste, men den er likevel over 1. Figur 40 viser stabilitetsfaktoren for frekvenser mellom 10 og 30 GHz. Kretsen er blitt simulert frå 100 MHz til 100 GHz for å forsikre seg om at stabilitetsfaktoren faktisk har sin lågaste verdi ved 13,8 GHz. Når ein bruker distribuerte tilpassingselementer må ein nemlig hugse på at desse har sykliske frekvensresponser, og forsterkerens stabilitet bør derfor sjekkes ved harmoniske og underharmoniske av designfrekvensen.[3]

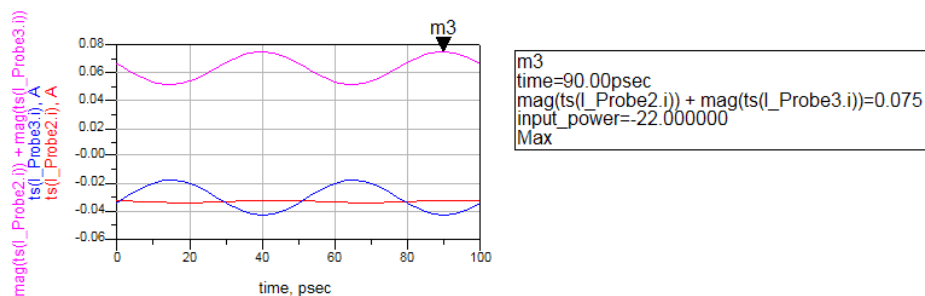
Resultatet frå ein effektsimulering er vist i figur 41.



Figur 41: Resultat av effektsimulering av den totale forsterkeren med det nye trinnet innsatt

Figur 41 viser at den nye forsterkeren ikkje tåler så stort signal på inngangen som den opprinnelige forsterkeren. Den nye forsterkeren går i metning ved omlag -22 dBm, mens den opprinnelige forsterkeren hadde sitt 1dB-kompresjonspunkt ved -4 dBm. Ein grunn til dette er transistordimensjonene til trinn 2. Det opprinnelige designet av forsterkertrinn 2 brukte ein transistor med lengde 25 μm og med 12 gate-fingre. Det nye designet benytter seg av ein transistor med samme lengde, men med kun 4 gate-fingre. Ein mindre transistor vil ikkje takle like mykje effekt som ein større. Transistordimensjonene forklarer også det økte gainet. Ein mindre transistor vil ha mindre parasittisk kapasitans til jord og vil derfor produsere eit høgare gain.

Ein simulering vart gjort for å finne strømtrekket ved maksimal inngangseffekt. Simuleringsoppsettet er vist i figur 49 i seksjon A. Simuleringsresultatet er vist i figur 42.



Figur 42: Strømtrekk ved maksimal inngangseffekt for total forsterker

Figur 42 viser at strømtrekket er 75 mA ved maks ineffekt. Det er derfor litt mindre enn for det opprinnelige designet, noko som kan skyldes at maksimalt signalnivå på inngangen er lågare enn for det opprinnelige designet som ein sammenlikner med.

Ein oppsummering av egenskapene til den nye forsterkeren er vist i tabell 7.

Teknologi	pHEMT
Gain ved senterfrekvens	24.85 dB
Støytal ved senterfrekvens	4.18 dB
S22	-20,10 dB
1dB-kompresjonspunkt	-22 dBm
Båndbredde	1,1 GHz
Maksimalt strømtrekk	75 mA
Forsyningsspenning	3.0 V
Systemimpedans	50 Ω
Stabilitet	Ubetinga stabil

Tabell 7: Oppsummering av ytelsen til lågstøyforsterkeren

Eit problem under arbeidet med forsterkeren var mangelen på spesifikasjoner. Særlig det å ikkje vite maksimalt signalnivå på inngangen gjorde det vanskelig å optimalisere forsterkeren. Strømfbruket er eit viktig element her. Dersom ein forsterker skal tåle lite effekt på inngangen kan bias-strømmen til transistoren på inngangstrinnet gjeres mindre. Dette vil redusere strømfbruket til forsterkeren. Også dimensjonene til transistorene kan gjeres mindre dersom inngangssignalet er lite. Dette vil føre til bedre gain-egenskaper siden mindre transistordimensjoner fører til mindre interne parasittiske kapasitanser i transistoren. Dette gjeld særlig for høge frekvenser.

8.3.3 Ny lågstøyforsterker med dempeledd

Den nye lågstøyforsterkeren med dempeleddet innsatt er vist i figur 59 i appendiks B. Resultat frå simuleringer av forsterkeren er vist i tabell 8 og tabell 9.

demping[dB]	$V_{kontroll}$ justert[V]	$ S_{21} $ [dB]	støytalet[dB]
1	-	-	-
2	-	-	-
3	-1,26	22,42	4,94
4	-1,14	21,49	5,18
5	-1,03	20,43	5,55
6	-0,92	19,41	6,06
7	-0,82	18,46	6,65
8	-0,72	17,46	7,38
9	-0,62	16,4	8,25
10	-0,53	15,42	9,12

Tabell 8: Egenskaper for ny lågstøyforsterker med dempeledd innsatt

demping[dB]	$ S_{22} $ [dB]	1dB-kompr.pkt [dBm]
1	-	-
2	-	-
3	-20,68	-19
4	-23,64	-18
5	-26,19	-17
6	-25,35	-16
7	-22,93	-15
8	-20,4	-13
9	-18,23	-12
10	-16,64	-11

Tabell 9: Egenskaper for lågstøyforsterker med dempeledd innsatt forts.

Det viste seg umulig å oppnå 2dB demping med dempeleddet innsatt i den nye forsterkeren. Ein ser også at utgangstilpasninga til kretsen er god for alle dempeverdier. Tabell 9 viser at dempeleddet også for denne kretsen forbedrer effekthåndteringsegenskapene. Ein ser av tabell 8 at støytalet øker raskare for det nye forsterkertrinnet enn for det opprinnelige. Frå 3 dB til 10 dB demping øker støytalet til den nye forsterkeren med 4,18 dB, mens støytalet for den opprinnelige forsterkeren som vist i tabell 5 økte med 2,71 dB over dei samme dempeverdiene. Dette forklares med Friis' formel. Det økte støytalet til forsterkertrinn 2 gir høgare bidrag til den totale støyen når dempinga øker.

8.4 Målinger

Grafer med måle- og simuleringsresultat for spolene er vist i appendiks C. Den øverste markøren i figurene viser måleresultatene av den utlagte spolen, den nederste markøren viser simuleringsresultatene av ein spole med identiske dimensjoner. Det er satt markører ved 20 GHz for alle spolene. Ved 20 GHz er det i utgangspunktet kun den første spolen som er interessant siden dei andre har resonansfrekvenser lågare enn 20GHz. Det er likevel tatt med måle- og simuleringsresultater for frekvenser opp til 50 GHz. Dette er gjort for å sjå kor mykje målingene avviker frå simuleringene når frekvensen økes. Måleresultatene for S12 og S21 viste seg å bli identiske. Dette er heilt etter teorien siden ein spole er ein passiv komponent, og måleresultatene for S21 er derfor utelatt.

Allerede for den minste spolen er det ved 20 GHz betydelige avvik mellom måleresultatene og simuleringsresultatene for S11 og S22. Dette er vist i figur 60 og figur 61. I figur 60 ser ein at kurven for den målte S11 har små "grisehaler". Dette skyldes sannsynligvis parasittiske effekter som kan gi resonanser som vises som små løkker i Smith-diagrammet. For S12 og virker avvika mindre.

Eit naturlig spørsmål er kor store avvika hadde vært ved 20 GHz dersom spolene var konstruerte for å ha ein resonansfrekvens godt over denne frekvensen. Den første spolen viste seg å ha ein resonansfrekvens på omlag 25 GHz. Alle spolene brukt i designet av lågstøyforsterkeren hadde resonansfrekvenser rundt 30 GHz. Dette kan medføre at avvika mellom simulerte resultat og målte resultat for spolene brukt i lågstøyforsterkeren ville vært mindre enn for den minste spolen som vart målt. Dei tre største spolene har resonansfrekvenser under 20 GHz. Dei er derfor ikkje lenger induktive ved 20 GHz og ville aldri blitt brukt i eit design ved denne frekvensen. Ved låge frekvenser, det vil sei godt under 10 GHz, viser resultatene samsvar mellom målte og simulerte egenskaper.

Det er vanskelig å konkludere med noko ved hjelp av desse resultatene. Til det hadde spolene for låge resonansfrekvenser. Sjølv den minste spolen viste betydelig avvik ved 20 GHz. Tar ein med dei store variasjonene i kondensatorverdier i MMIC-teknologien kan ein nok forvente at tilpasningsnettverka i lågstøyforsterkeren ikkje lenger er optimaliserte for senterfrekvensen. Eit moment som må tas med er kalibreringa. Det viste seg at denne var vanskelig å få god ved 20 GHz og oppover. Dette medfører ein viss usikkerhet i måleresultatene.

9 Konklusjon

Det har i denne masteroppgåva blitt sett på konstruksjon av lågstøyforsterkere og dempeledd i MMIC-teknologi. Det har vidare blitt arbeida med utlegg av forsterkere, og det har blitt gjennomført målinger på MMIC-komponenter på chip. Oppgåva har gitt mykje kunnskap om MMIC-teknologi og dei fordelene og ulempene som denne teknologien har. Den har gitt forståelse og kunnskap innanfor RF og mikrobølge forsterkerdesign og dei hensyna som må tas når ein konstruerer kretser ved høge frekvenser. Oppgåva har også gitt inngående kunnskaper om konstruksjonsverktøyet ADS frå Agilent Technologies. Alle deler av arbeidet bortsett frå målinger har blitt gjort med dette verktøyet.

Det andre forsterkertrinnet i lågstøyforsterkeren konstruert i prosjektarbeidet har blitt konstruert på nytt. Det vart i arbeidet med prosjektoppgåva oppdaga at anrikningstype transistorer kan gi meir gain enn depleksjonstype transistorer. Dette har blitt utnytta i konstruksjonen av det nye forsterkertrinnet. DC-innføringsspolene har også blitt forbedra. Den nye forsterkeren fekk eit gain på 24,85 dB, noko som er ein forbedring på omlag 5,5 dB i forhold til den opprinnelige forsterkeren. Dette har gått på bekostning av støy- og effekthåndterings-egenskaper. Støytallet økte frå 3,42 dB til 4,18 dB. 1 dB kompresjonspunktet til forsterkeren gjekk frå -4 dBm til -22 dBm inngangseffekt. Det maksimale strømtrekket vart redusert frå 98 mA til 75 mA, men dette skyldes sannsynligvis at signalet på inngangen når forsterkeren køyres opp mot metning er mindre for den nye forsterkeren enn for den opprinnelige.

Det har blitt konstruert eit fungerende dempeledd med 3 V forsyningsspenning og eit maksimalt strømtrekk på 10 mA. Eit kontrollnettverk gjorde det mulig å sette dempinga ved hjelp av kun ein spenning. Dempeleddet vart plassert mellom dei to forsterkertrinna og dette medførte forbedra effekthåndteringsegenskaper. Med dempeleddet innsatt i den opprinnelige forsterkeren vart det oppnådd dempeverdier frå 2 dB til 10 dB, noko som medførte forsterkningsverdier for den komplette forsterkeren frå 9,09 dB til 17,10 dB. Med minste dempeverdi, 2 dB, flytta 1 dB kompresjonspunktet seg frå -4 dBm til -3 dBm inngangseffekt, mens støytallet økte frå 3,42 dB utan dempeleddet innsatt til 3,73 dB. Ved 10 dB demping var støytallet 6,56 dB og her låg 1 dB kompresjonspunktet ved 8 dBm inngangseffekt. Med dempeleddet innsatt i den nye forsterkeren oppnådde ein dempeverdier frå 3 til 10 dB. Forsterkningsverdiene til den komplette forsterkeren gjekk frå 15,42 dB til 22,42 dB. Ved minste dempeverdi, 3 dB, flytta 1 dB kompresjonspunktet seg frå -22 dBm til -19 dBm inngangseffekt, mens støytallet økte frå 4,18 dB utan dempeleddet innsatt til 4,94 dB. Ved 10 dB demping var 1 dB kompresjonspunktet flytta til -11 dBm inngangseffekt, mens støytallet var økt til 9,12 dB.

Målinger av passive MMIC-komponenter har blitt gjennomført ved hjelp av ein automatisk nettverksanalysator. 4 ulike spoler vart undersøkt. Problemer med å oppnå gode kalibreringsresultat ved høge frekvenser bidro til måleusikkerhet. Målingene viste betydelige avvik, særleg ved frekvenser over 10 GHz. På grunn av dei låge resonansfrekvensene til spolene og måleusikkerheten som kalibreringsproblema innførte var det vanskelig å

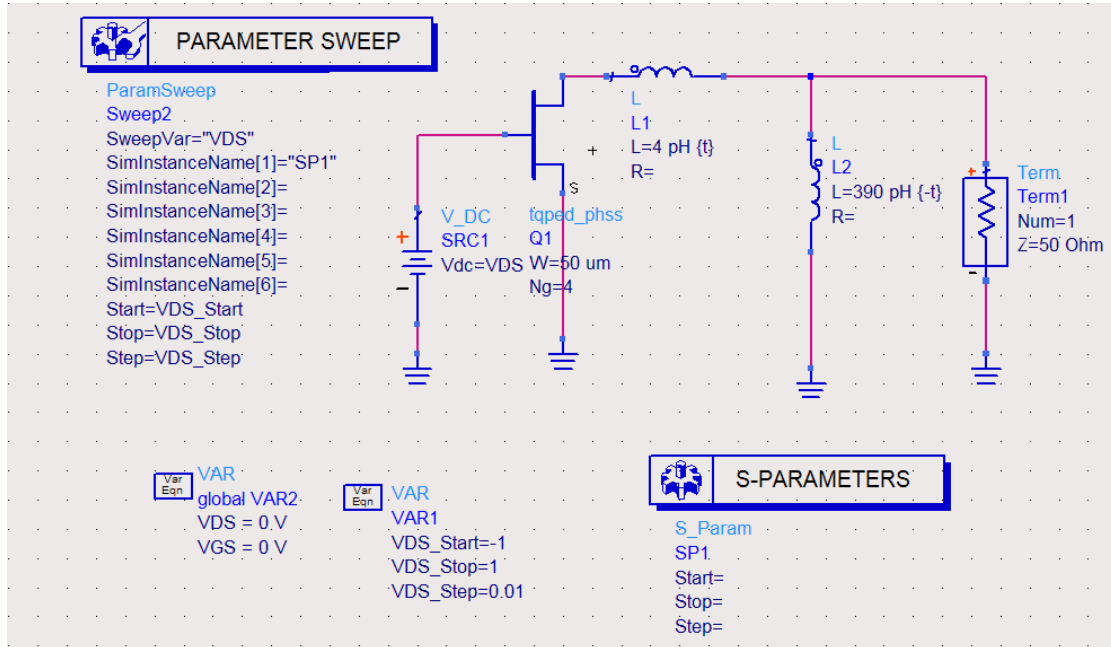
bruke resultatene fra målingene til å anslå ytelsen til den produserte forsterkeren.

Arbeidet med denne masteroppgåva har gitt nokre viktige resultat: - Ulike transistorer har ulike egenskaper og riktig val av transistortype vil gi bedre ytelse innfor eit gitt bruksområde. - Ved 20 GHz vil transistordimensjonene vere svært avgjørende for signal-gainet. Mindre dimensjoner gir høgare gain på grunn av mindre interne parasittiske kapasitanser. - Større DC-innføringsspoler gir generelt bedre ytelse. - Ved 20 GHz kan transmisjonslinjer ofte erstatte sentrerte komponenter, og dette gir bedre støy- og gain- ytelse. - Ved bruk av dempeledd i ein forsterkerkjede kan det vere lurt å tenke på støytalet til forsterkeren som kjem etter dempeleddet siden denne støyen bidrar betydelig ved høge dempeverdier.

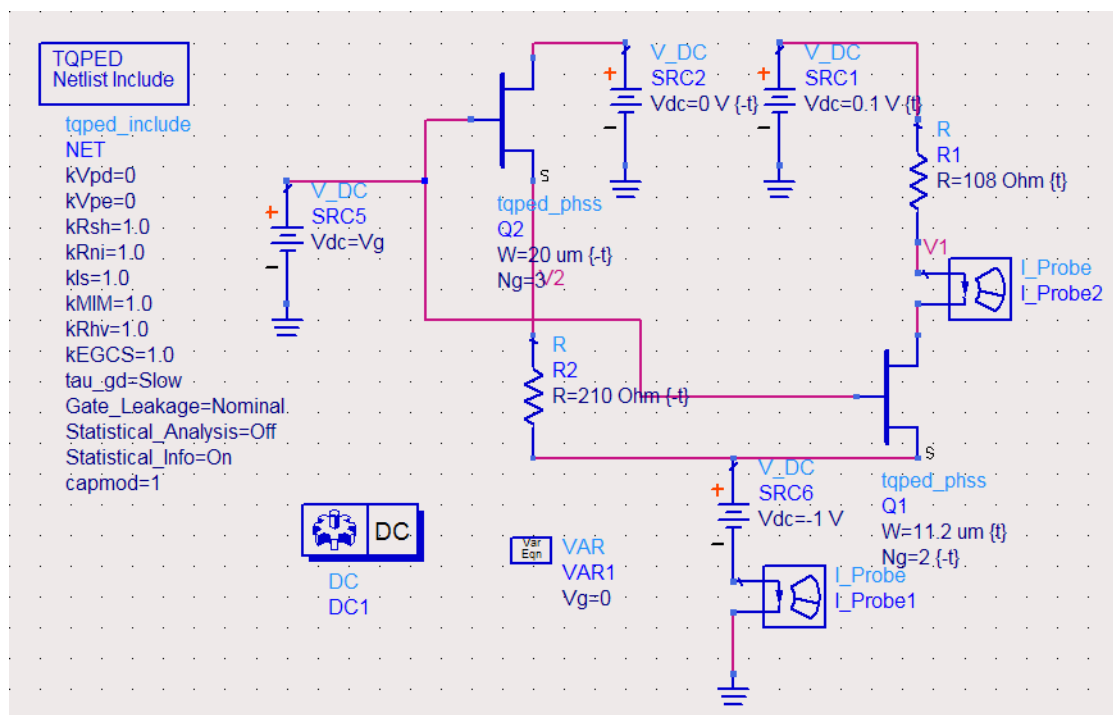
Referanser

- [1] David M. Pozar, *Microwave and RF Design of Wireless Systems*. John Wiley & Sons, Inc., New York, 1st Edition, 2001.
- [2] Steve Marsh, *Practical MMIC Design*. Artech House, MA, 1st Edition, 2006.
- [3] I.D.Robertson, S. Lucyszyn, *RFIC and MMIC design and technology*. The Institution of Electrical Engineers, London, 1st Edition, 2001.
- [4] Svein Inge Trefall *Konstruksjon av 20 GHz lågstøyforsterker i GaAs MMIC-teknologi*. Technical report, NTNU, 2007.
- [5] TriQuint Semiconductor *TQPED Design Manual*. 1.9 edition, July 2007.
- [6] Anthony Lord, Cascade Microtech Europe *Advanced RF Calibration Techniques*.

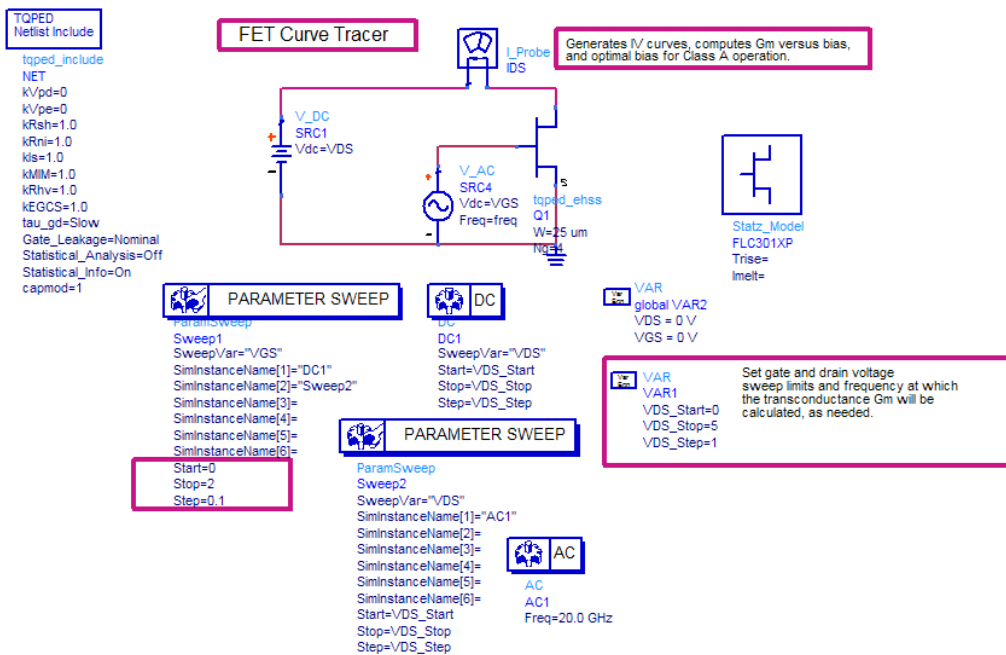
A Simuleringsoppsett



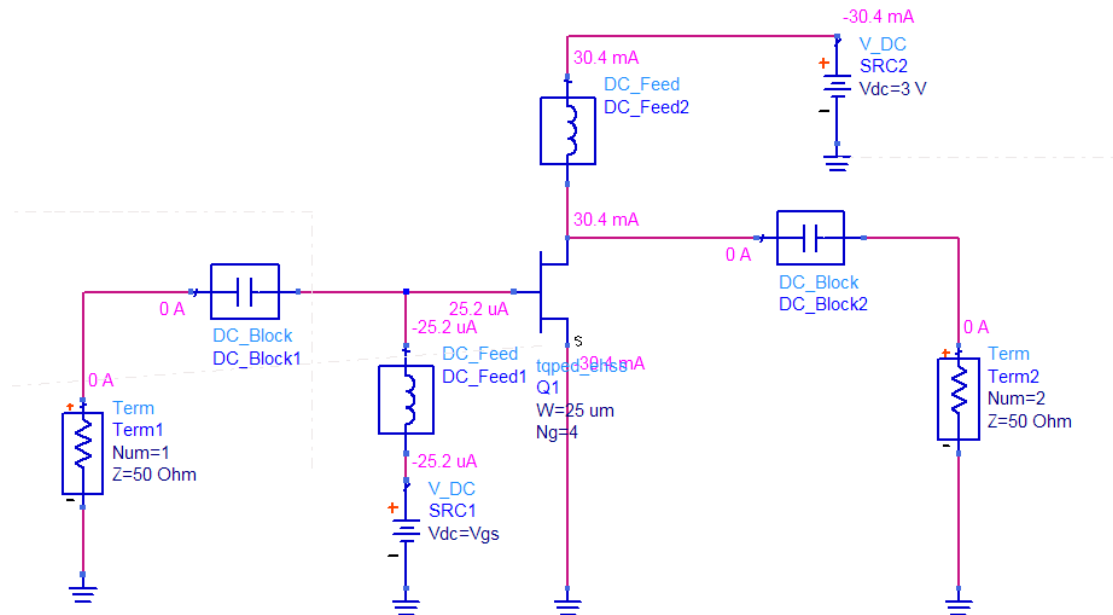
Figur 43: Simuleringsoppsett for å finne transistorimpedans



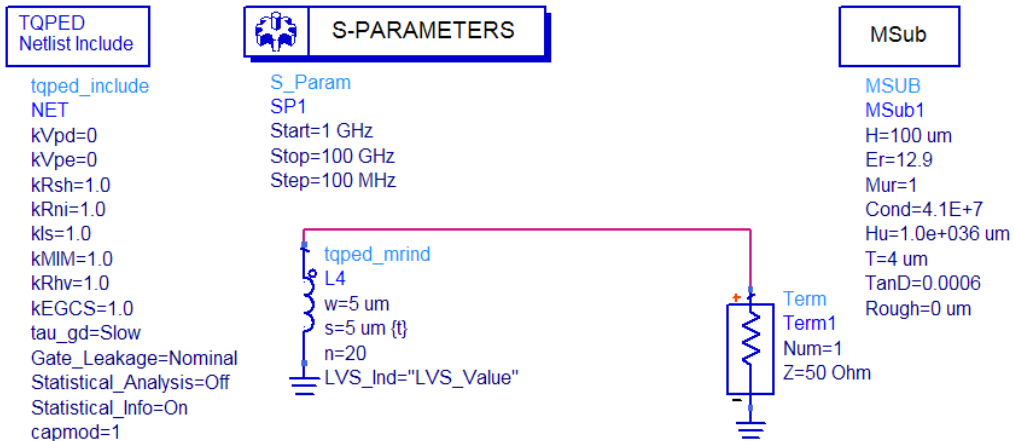
Figur 44: Simuleringsoppsett av kontrollnettverk



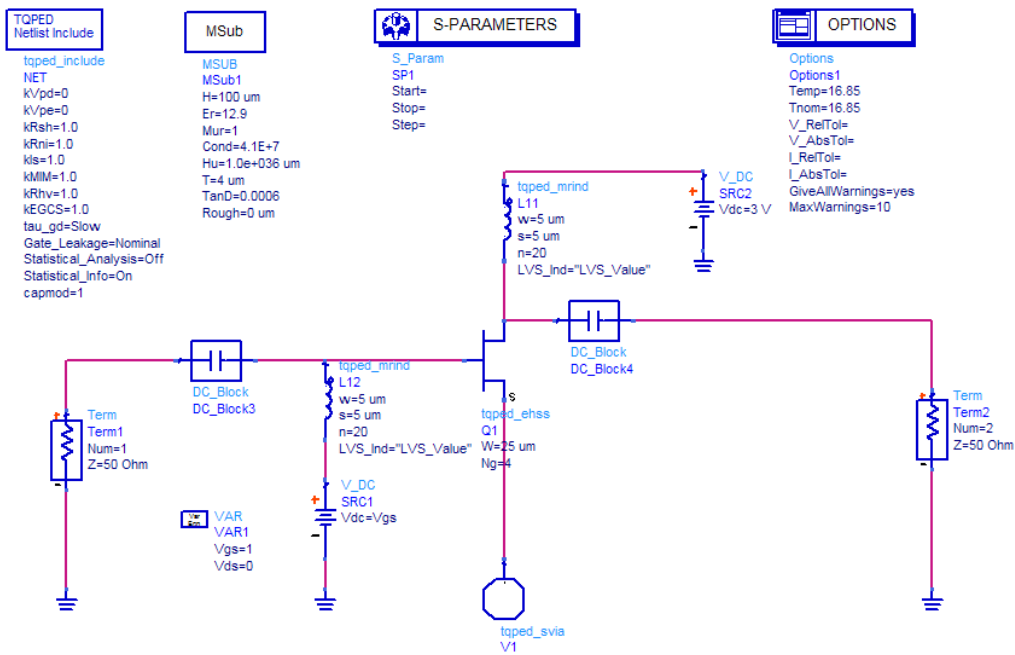
Figur 45: Simuleringsoppsett for å finne IV-kurver



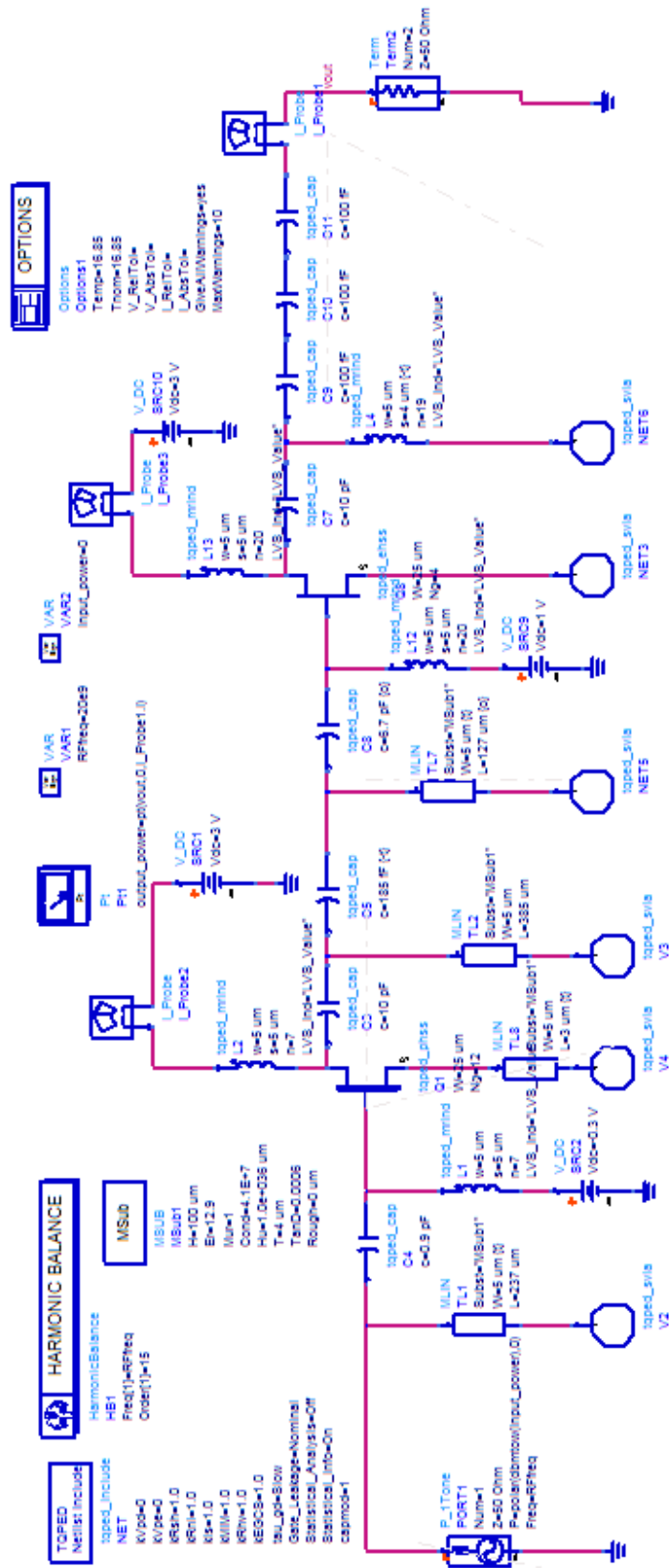
Figur 46: Simuleringsresultat av transistor med bias-spenninger påtrykt



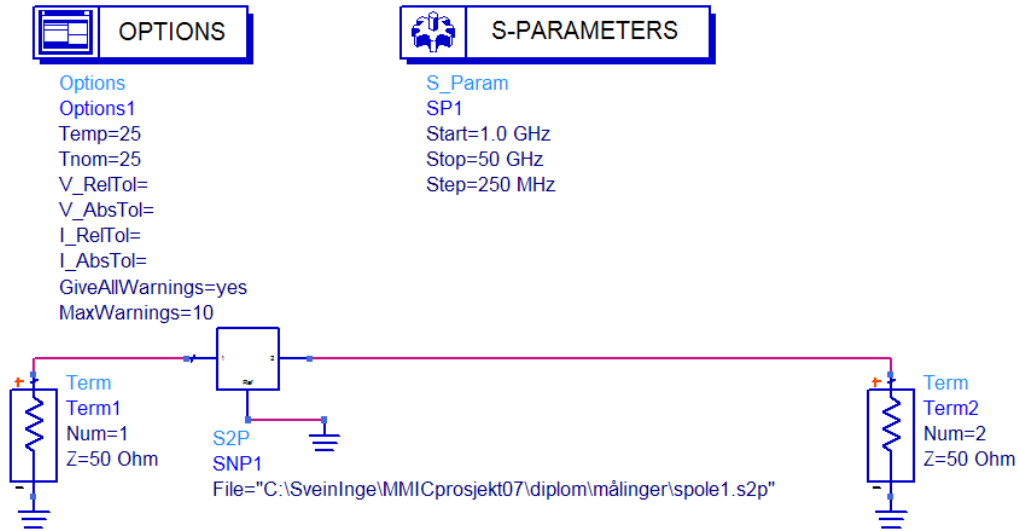
Figur 47: Simuleringsoppsett for spoler



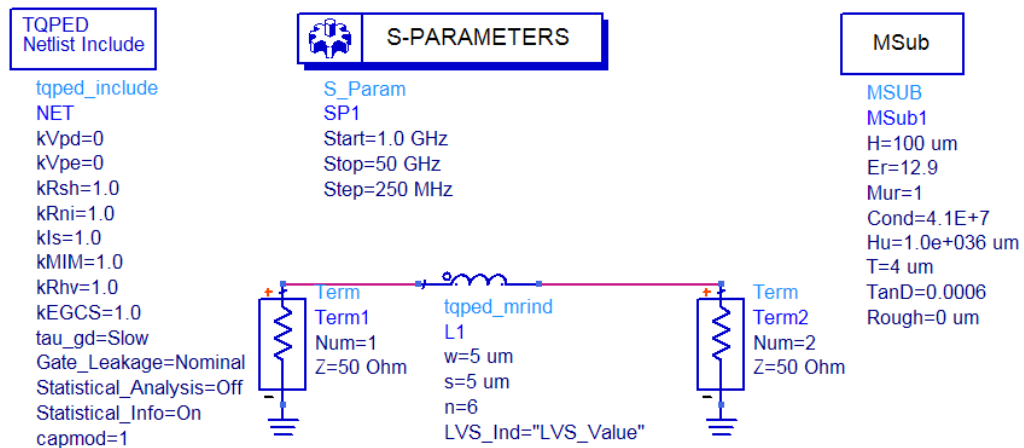
Figur 48: Simuleringsoppsett for å finne S-parameter



Figur 49: Oppsett for simulering av strømtrekk

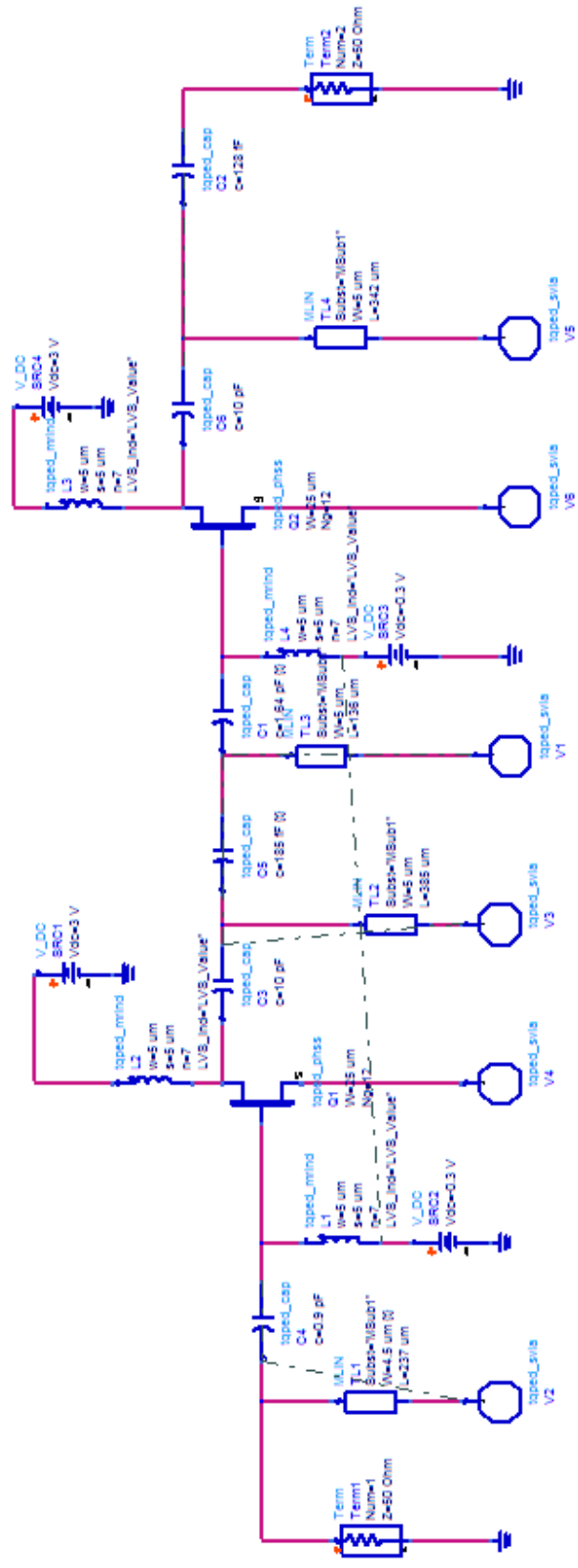


Figur 50: Oppsett for måleresultater

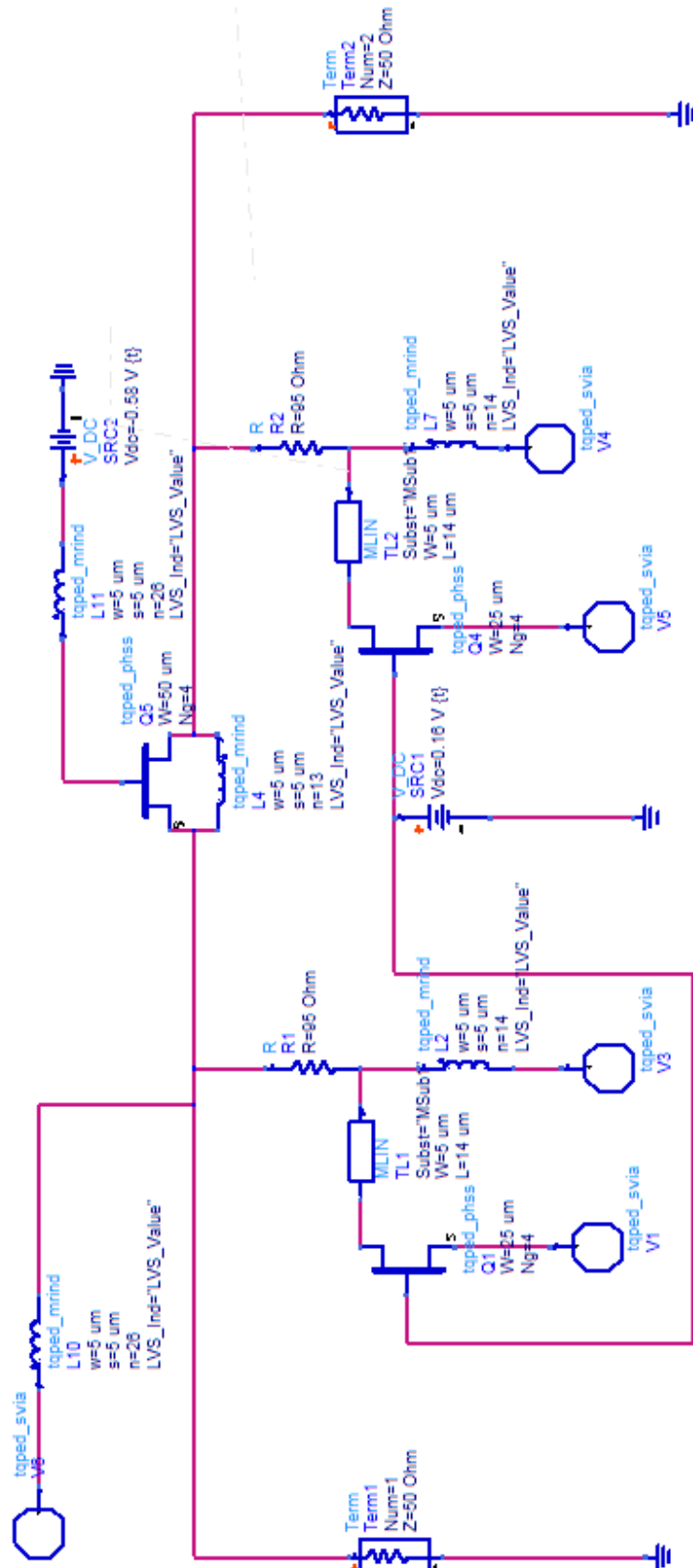


Figur 51: Oppsett for simulering av spoler

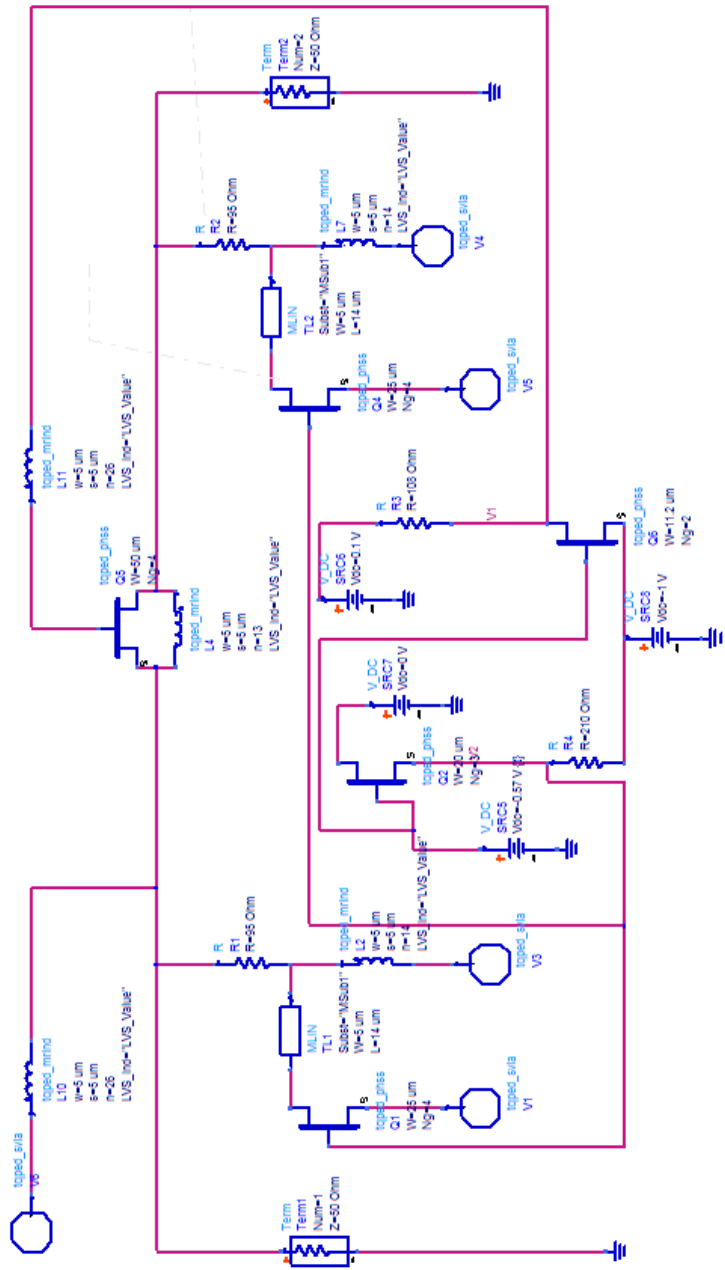
B Kretsskjema



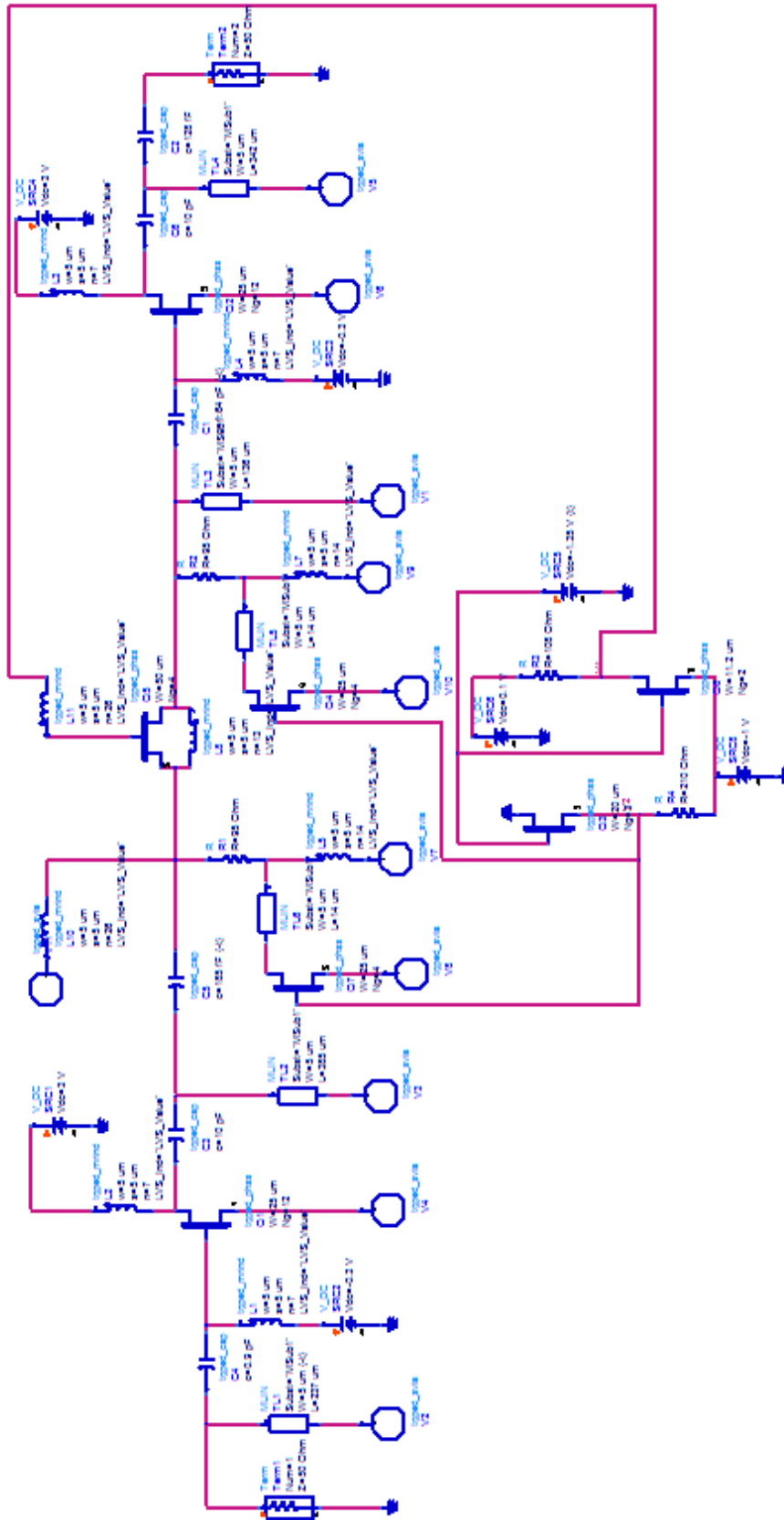
Figur 52: Den opprinnelige lågstøyforsterkeren



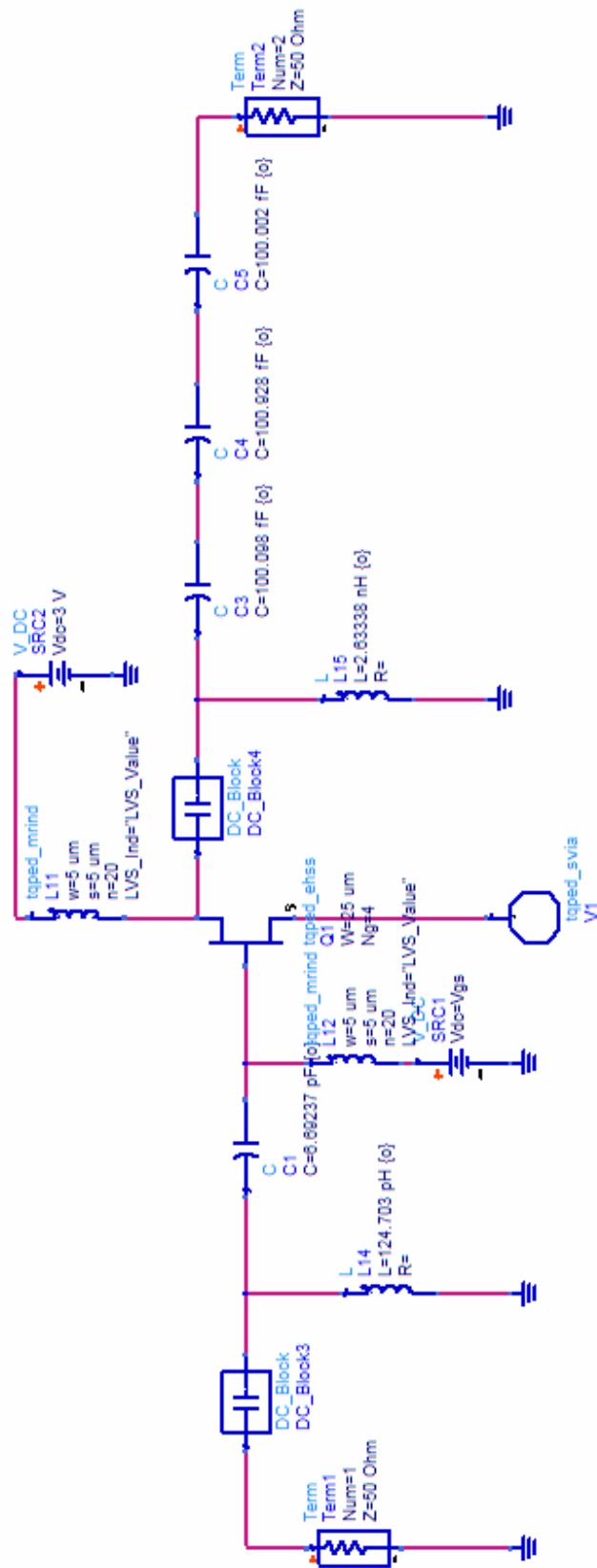
Figur 53: Dempeldd med reelle komponenter



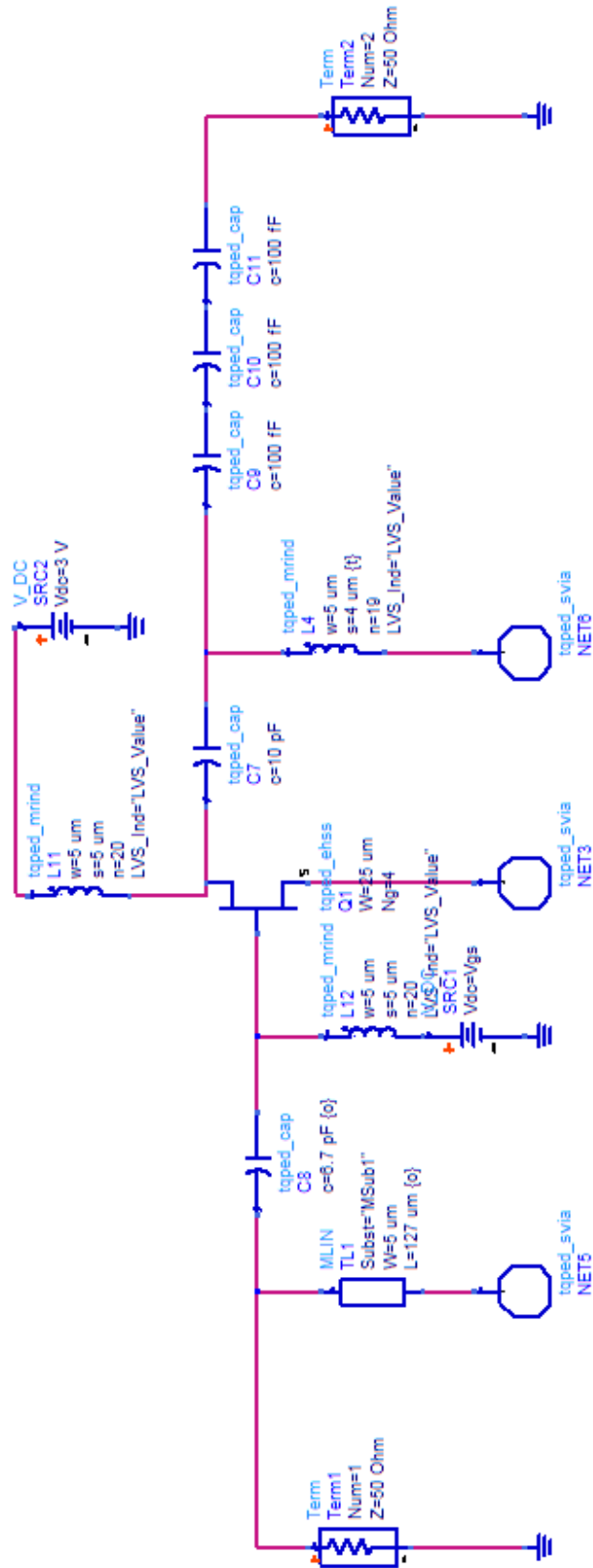
Figur 54: Ferdig dempeledd med kontrollnettverk



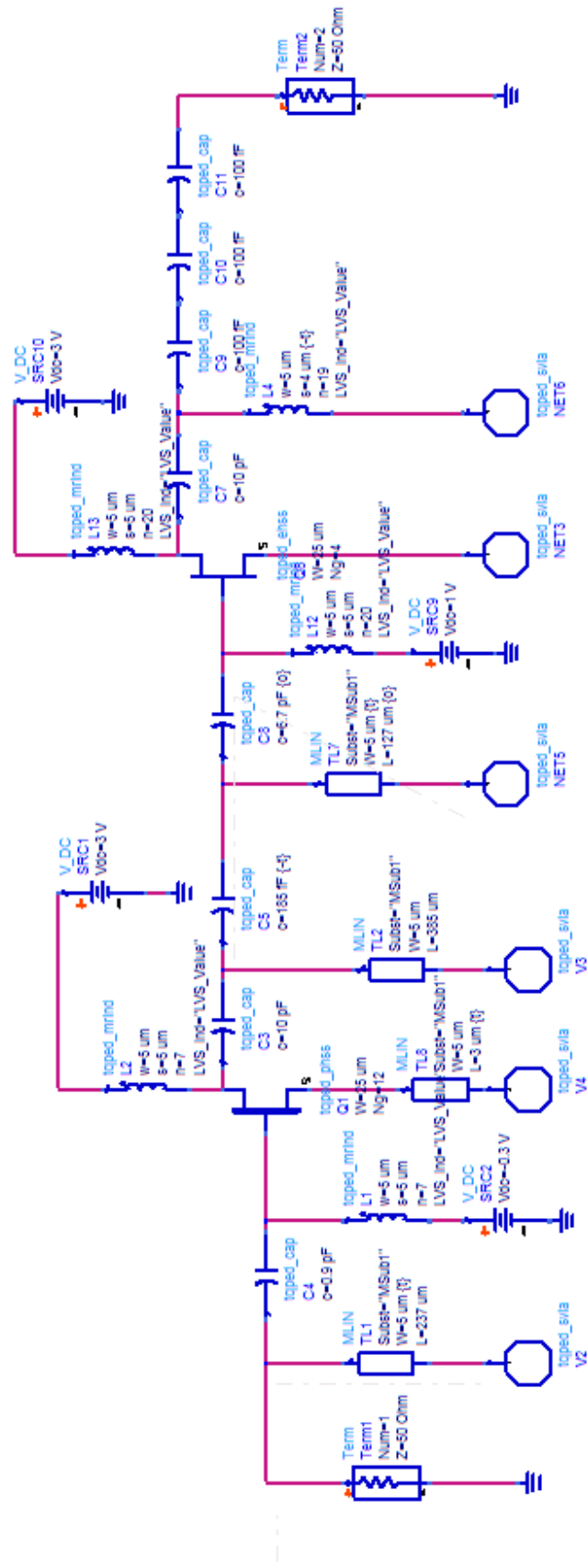
Figur 55: Den opprinnelige lågstøyforsterkeren med dempeledd innsatt



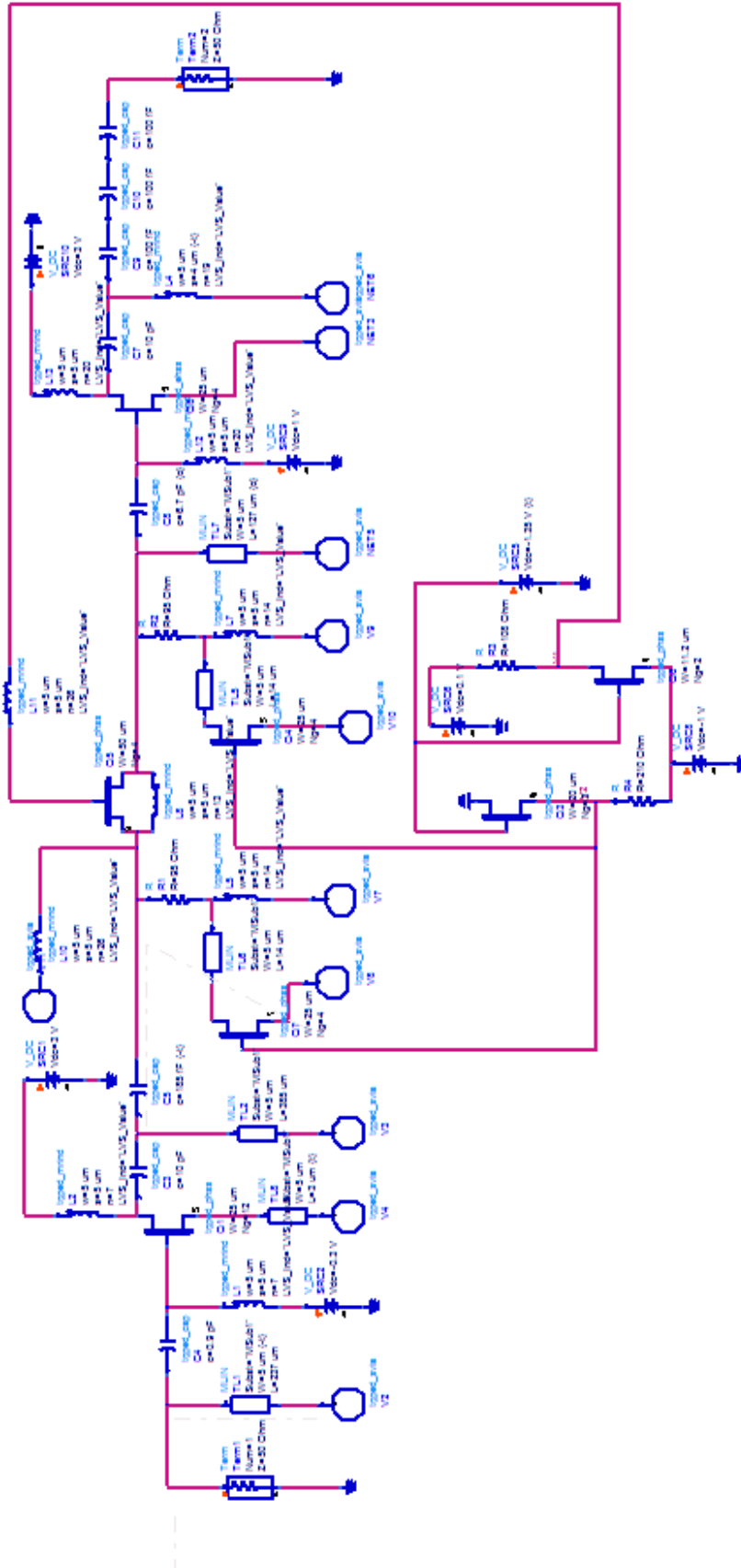
Figur 56: Forsterkertrinn 2 med ideelle komponenter



Figur 57: Forsterkertrinn 2 med reelle komponenter



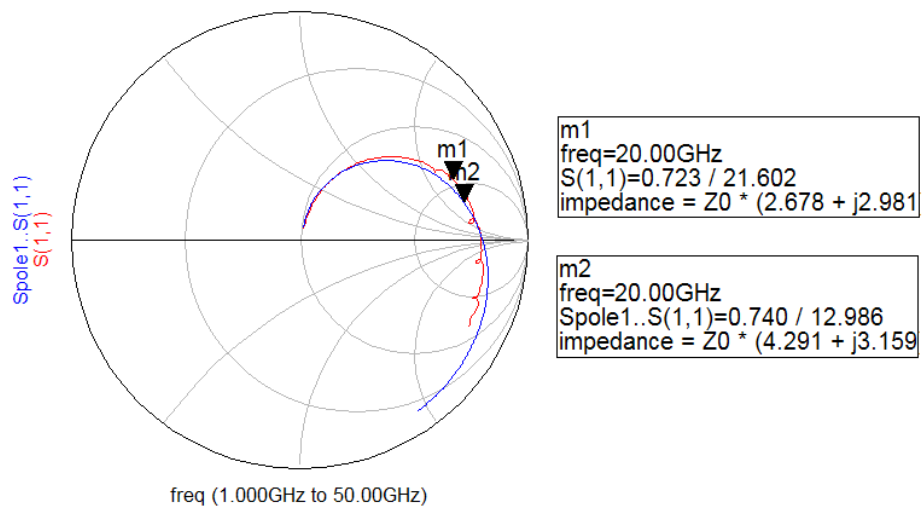
Figur 58: Den totale forsterkeren med det nye forsterkertrinnet innsatt



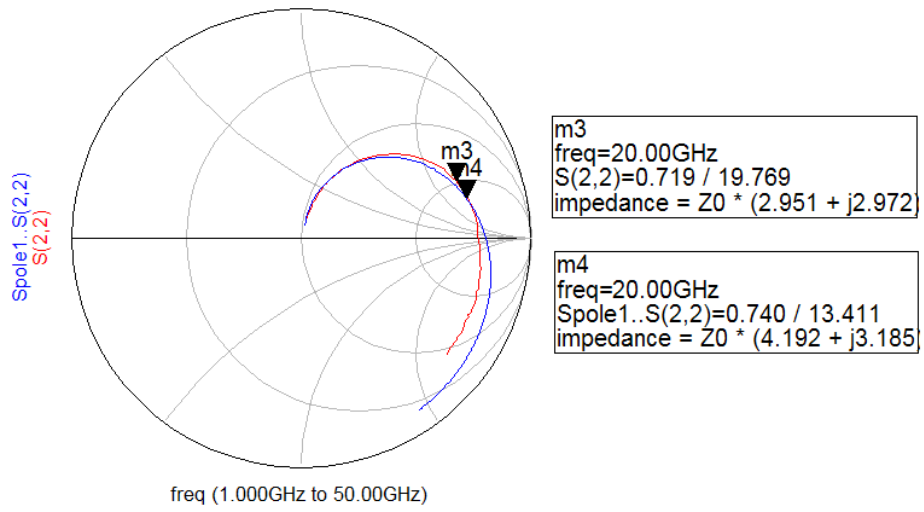
Figur 59: Den totale forsterkeren med det nye forsterkertrinnet innsatt

C Måleresultat

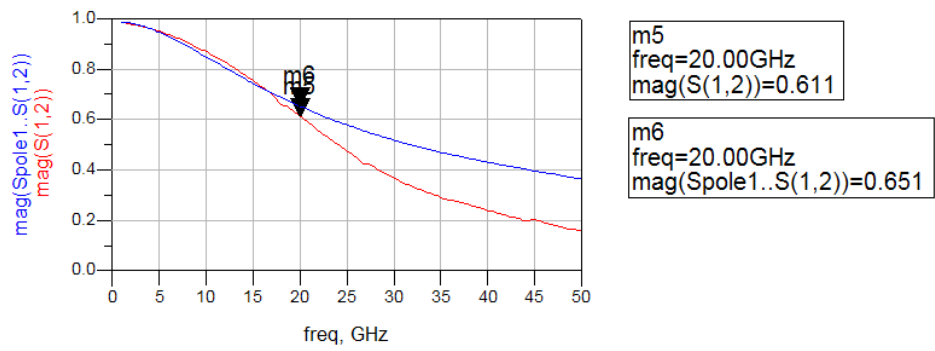
C.1 Spole1



Figur 60: S11 for spole 1

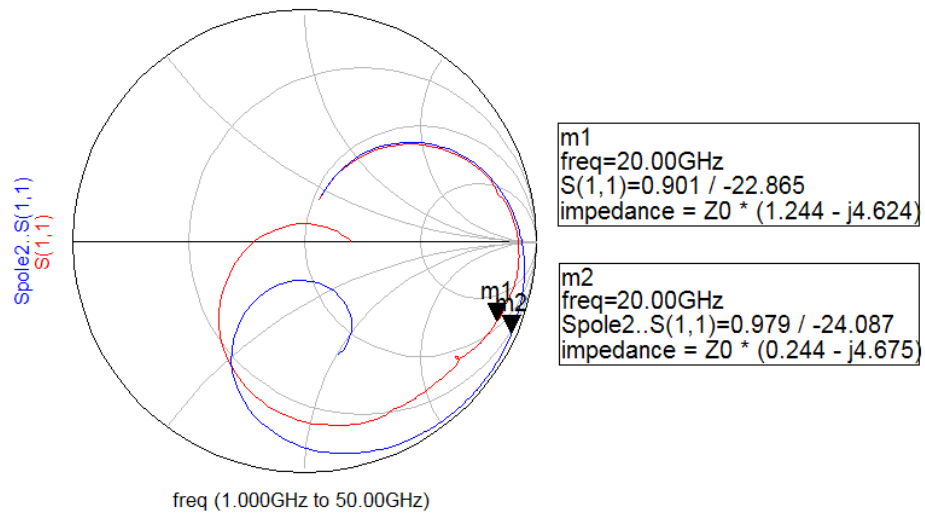


Figur 61: S22 for spole 1

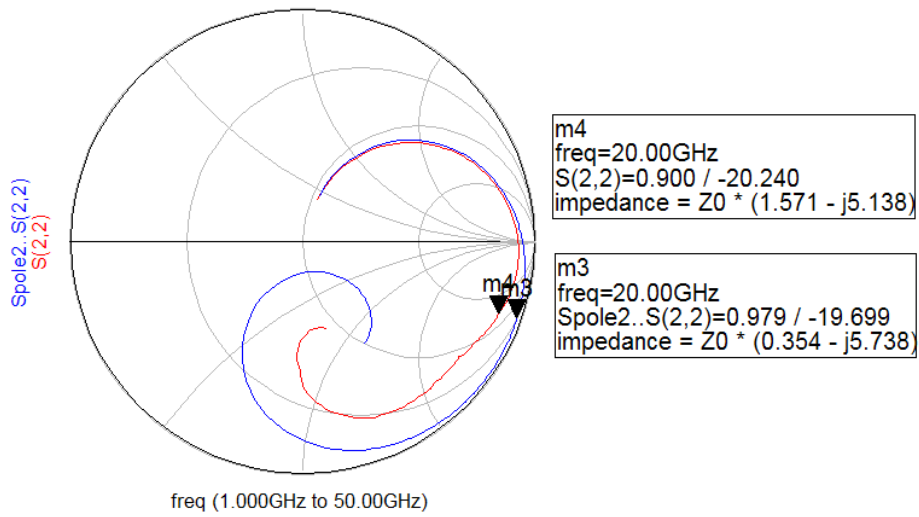


Figur 62: S12 for spole 1

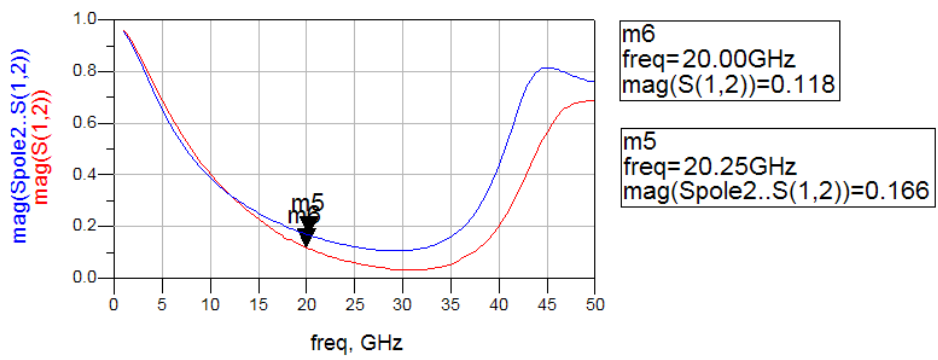
C.2 Spole2



Figur 63: S11 for spole 2

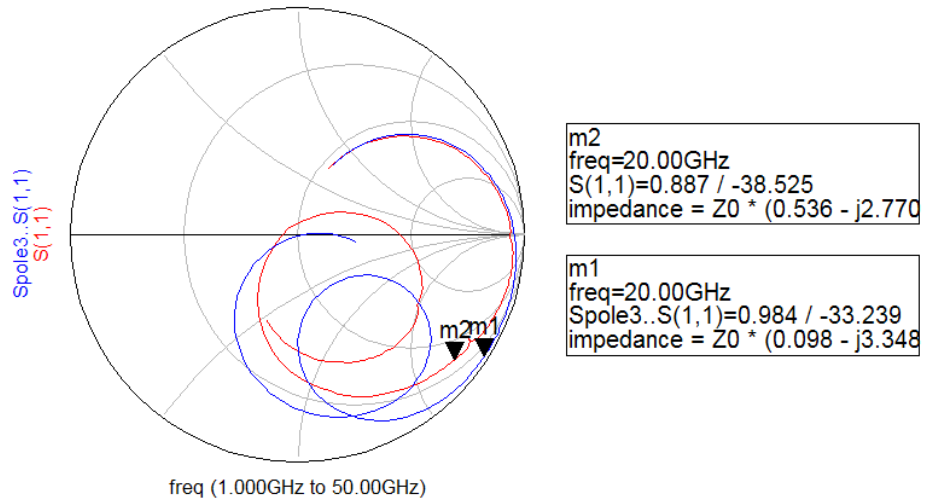


Figur 64: S22 for spole 2

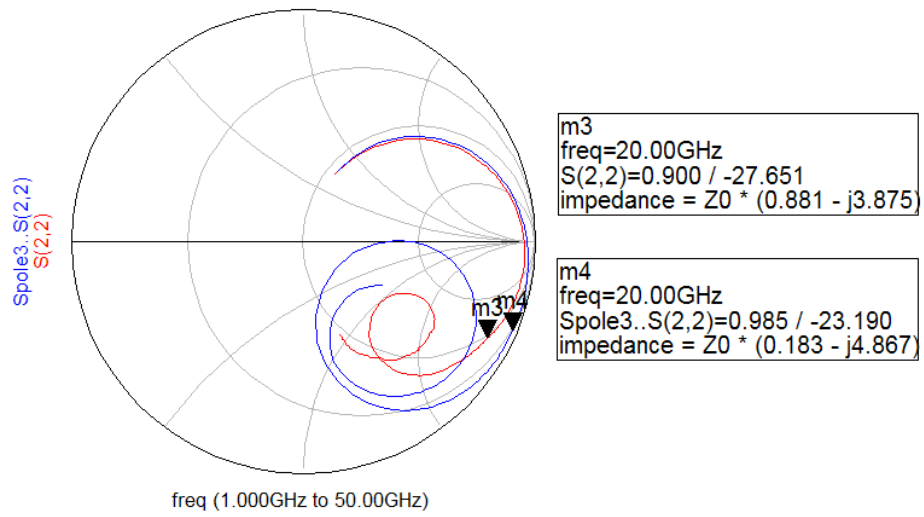


Figur 65: S12 for spole 2

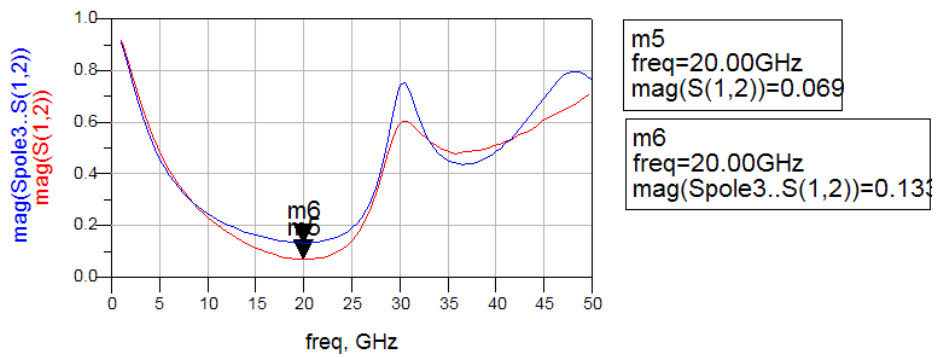
C.3 Spole3



Figur 66: S11 for spole 3

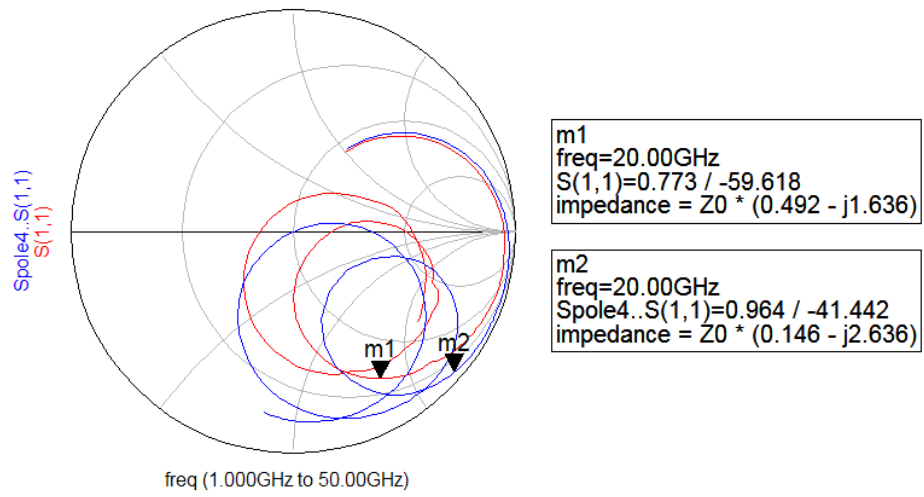


Figur 67: S22 for spole 3

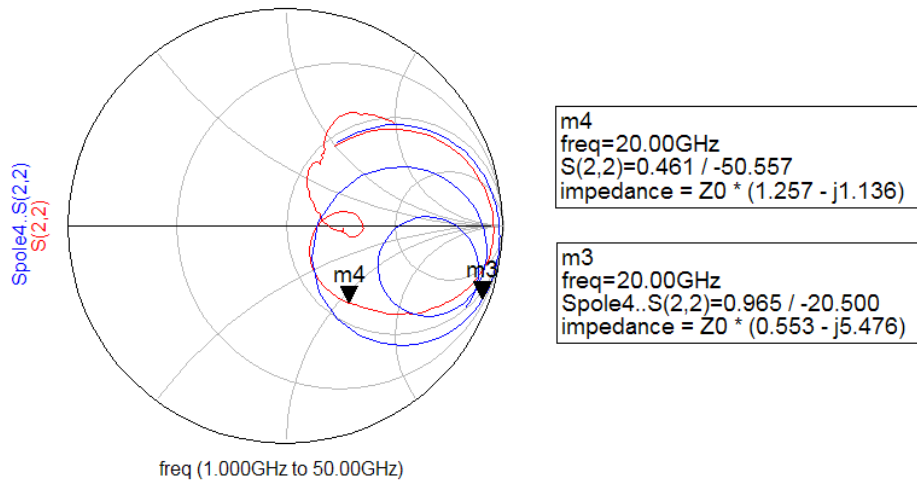


Figur 68: S12 for spole 3

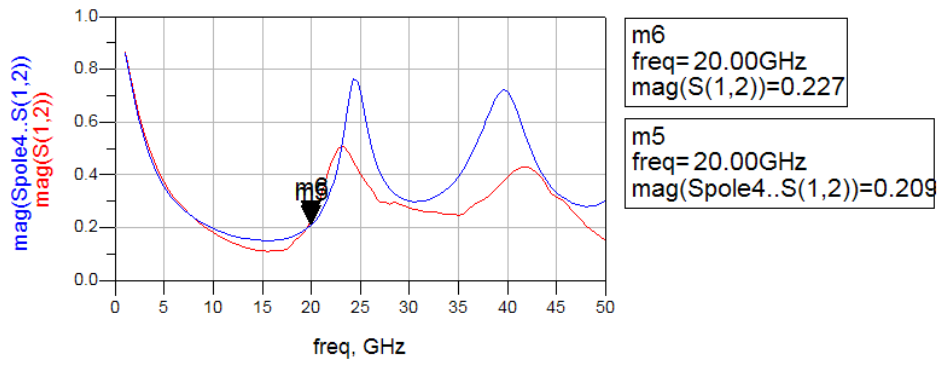
C.4 Spole4



Figur 69: S11 for spole 4



Figur 70: S22 for spole 4



Figur 71: S12 for spole 4