

# "Retention cells" for lav effekts digital design

Ørjan Eikeland

Master i elektronikk  
Oppgaven levert: Juni 2007  
Hovedveileder: Trond Sæther, IET



### Oppgavetekst

Det skal lages en standard celle "retention" latch i 90-nm TSMC teknologi. "retention" beskriver latchens mulighet for å settes i en søvnmodus samtidig som latchens verdi, idet søvnmodus inngås, beholdes og gjenopprettes når normal drift gjenopptas. Hensikten med søvnmodus er at det skal være mer energieffektivt enn normal drift. Standard cellen er tenkt brukt for søvnmodus perioder i størrelsesorden 50ms-2s, som er forventet typisk inaktivitets periode mellom tastetrykk for en trådløstastatur applikasjon. Arbeidsoppgavene omfatter:

- Et litteraturstudium som skal gi oversikt over publiserte metoder og kretstopologier for retention latches.
- De best egna kretstopologiene skal velges ut og simuleres. Disse skal sammenlignes med tanke på kriterier som areal, design overhead, effektivitet og hastighet.
- Utlegg av kretsene som standardceller skal dersom tiden tillater det produseres.
- Beste krets løsning skal anbefales med begrunnelse i oppnådde egenskaper.

Oppgaven gitt: 15. januar 2007

Hovedveileder: Trond Sæther, IET



## Sammendrag

En studie av ulike retention latch kretstopologier er foretatt og egenskaper til både statiske og dynamiske løsninger er vurdert. Retention egenskapen til en latch beskriver dens mulighet for å settes i et søvnmodus samtidig som latchens lagrede verdi beholdes og gjenopprettes idet søvnmodus avsluttes. Målsetningen for design av en retention latch er å oppnå en søvnmodus som er mest mulig energi effektiv. Det best egna for oppgavens mål med å levere god ytelse for 50ms-2s søvn perioder ble å bruke en form for statisk retention latch. Dette skyldes at dynamiske retention latch kretser vil ha en maksimal retention tid avhengig av lekkasjestrøm og lagrings kapasitansen til kretsen. For å oppnå 2s maksimal retention tid kreves upraktisk store kapasitans verdier til lagringsnoden eller eventuelt må et oppfriskning system implementeres. Tre ulike løsninger basert på statisk retention er designet, simulert og implementert som 90nm standardceller. Disse er Balloon basert på klassisk balloon retention latch. Tykk gate løsning med tykk gate transistorer i retention del av latchen. Til sist krysskobla inverter som baserer seg på at søvntransistor har stor nok lekkasjestrøm til at de krysskobla inverterne i latchen beholder sin verdi. Totalt sett oppnår krysskobla inverter kretsen de beste resultatene både med tanke på lekkasjestrøm i aktiv modus, areal og det at den ikke behøver ekstra kontrollsignaler for å styre inngang og utgang av søvnmodus. Det som allikevel kan tale mot å bruke krysskobla inverter krets er at med global søvntransistor kan det by på problemer å sørge for at hver enkelt celle har stor nok lekkasjestrøm til å fungere normalt. Dersom dette viser seg å være et stort problem til et bestemt bruk av kretsen vil tykk gate latchen være det nest beste alternativet. Tykk gate er ikke avhengig av en bestemt lekkasjestrøm, men den må ha to kontrollsignaler for å styre inngang og utgang fra søvnmodus. Muligheter for optimalisering av kretsens areal og lekkasjestrømmer gjenstår, og metoder for å gjøre dette er foreslått.

## **Forord**

Arbeidet med hovedoppgaven har hovedsaklig bestått av en første fase hvor det ble forsøkt å finne de mest relevante arbeidene innen retention latch kretstopologier og andre fase har vært design og implementering av de aktuelle krets topologier. Under selve arbeidet ble det ikke møtt på noen store hindringer. Utfordringen var mer å bruke de tilgjengelige verktøy effektivt, noe som for så vidt ikke ble oppnådd i særlig grad før godt ute i oppgavetiden. Denne hovedoppgaven ble valg på grunnlag av at den først og fremst stemte godt overens med mitt ønske om å jobbe med kretsdesign samtidig som det virket spennende å jobbe med en forholdsvis ny prosessteknologi. Utføringen av arbeidet har foregått i oppdragsgiver Nordic semiconductor sine lokaler. For råd og hjelp underveis vil jeg takke mine veiledere Christian Hergot, Magnus Nordseth og Trond Sæther.

# Innholdsfortegnelse

Sammendrag.....	1
Forord.....	2
Innholdsfortegnelse .....	3
1.    Introduksjon og motivasjon .....	5
2.    Teori.....	6
2.1    MOS transistor lekkasje mekanismer .....	6
2.2    Lekkasje reduksjons forhold (LRR) .....	6
2.3    Søvntransistor og finmasket effektstyring .....	6
2.4    Oversikt over retention teknikker .....	7
2.4.1    Klassisk statisk retention krets: Balloon latch.....	7
2.4.2    Forbedra statiske retention kretstopologier .....	8
2.4.3    Dynamiske retention kretstopologier.....	10
2.4.4    Scan kjede retention system .....	12
2.4.5    Sammenligning av retention teknikker.....	13
3.    Hoveddel.....	14
3.1    Design og Simulerings forutsetninger .....	14
3.1.1    TSMC 90nm prosess begrensninger.....	14
3.1.2    Prosess, temperatur og spenning hjørner.....	14
3.1.3    Metoder .....	15
3.2    Design av balloon latch .....	16
3.3    Simulering av balloon latch .....	19
3.3.1    Tidsforsinkelser .....	19
3.3.2    Lekkasjestrømmer .....	21
3.4    Design av tykk gate latch.....	22
3.5    Simulering av tykk gate latch.....	25
3.5.1    Lekkasjestrømmer .....	25
3.5.2    Tidsforsinkelser .....	25
3.6    Design av krysskobla inverter latch.....	27
3.7    Simulering av krysskobla inverter latch .....	28
3.7.1    Lekkasjestrømmer .....	28
3.7.2    Tidsforsinkelser .....	28
3.8    Design og simulering av dynamisk retention latch.....	29
3.9    Utlegg.....	32
3.9.1    Standardcelle dimensjoner .....	32
3.9.2    Balloon utlegg .....	33
3.9.3    Tykk gate utlegg .....	33
3.9.4    Krysskobla inverter utlegg .....	34
3.9.5    Mangler ved standardcellene.....	34
3.10    Sammenligning av oppnådde egenskaper .....	35
3.11    Praktisk bruk av standardceller .....	36
3.12    Mulig optimalisering av lekkasjestrømmer.....	36
3.13    Diskusjon.....	40
4.    Konklusjon.....	42
5.    Vedlegg.....	43
6.    Referanse liste.....	43
Vedlegg A    Simuleringsresultater Balloon latch .....	44
A1.    Lekkasjestrømmer .....	44

A2.	Tidsforsinkelser.....	45
Vedlegg B	Simuleringsresultater tykkgate latch .....	46
B1.	Lekkasjestrømmer .....	46
B2.	Tidsforsinkelser.....	51
Vedlegg C	krysskobla inverter krets.....	66
C1.	Lekkasjestrømmer .....	66
C2.	Tidsforsinkelser.....	67



## 1. Introduksjon og motivasjon

Det skal konstrueres en standard celle latch med retention egenskap i 90nm TSMC teknologi. Målsetningen med en retention latch er at søvnmodus skal være så energieffektiv som mulig. Samtidig er det også viktig å sørge for at normal drift av latch bruker så lite energi som mulig. For å oppnå målsetningen om lavest mulig energi forbruk i alle operasjons moduser blir virkemiddelet å begrense lekkasjestrømmer til kretsene mest mulig. Retention latchen skal kunne brukes for å erstatte en standard latch som har perioder på 50ms – 2s med inaktivitet på data inngangen. For at denne erstatningen skal være enklest mulig er det for retention latchen ønskelig med færrest mulig ekstra kontrollsignaler.

Oppdragsgiver utvikler og selger RF kretser hvor bruksområdet for en stor del er i batteridrevet forbrukerelektronikk. Batterilevetiden kan økes dersom kretser gjøres mer energieffektive. Dermed vil det å utvikle systemer og kretser med lavest mulig strøm trekk og ulike søvnmoduser være høyt prioritert. Retention latchen som her konstrueres er tenkt å brukes i et system som muliggjør søvnmodus mellom tastetrykk for trådløse tastatur applikasjoner. Dette bruksområdet har gitt opphav til 50ms – 2s søvnperiode design parameter.

Rapporten er videre oppbygget på følgende måte: kapittel 2, Presenterer publikasjoner og teori som er relevant for løsning av oppgaven. Kapittel 3, Arbeidet og resultater presenteres. Kapittel 4, Konklusjon.

## 2. Teori

Dette kapittelet vil presentere utvalgt teori og tidligere publikasjoner som arbeidet med oppgaven bygger på.

### 2.1 *MOS transistor lekkasje mekanismer*

Tradisjonelt er det bare drain-source lekkasjestrømmer som er blitt tatt hensyn til ved modellering av MOS transistorer. Drain-source lekkasjestrømmen ved revers bias er i [7] oppgitt til å være tilnærmet gitt av likning 1.

$$I \approx \frac{qA_j n_i}{2\tau_0} x_d$$

Likning.1      Lekkasjestrømmen til en reversed biased junction

Her er  $A_j$  junction arealet,  $n_i$  er ladningsbærer konsentrasjonen i udopet silisium,  $\tau_0$  er det effektive minoritets ladningsbærer livstiden og  $x_d$  er deplesjonsregion tykkelsen. Siden ladningsbærer konsentrasjonen i udopet silisium er sterkt avhengig av temperaturen øker lekkasjestrømmen ved økende temperatur, og en enkel tilnærming sier at lekkasjestrømmen dobles for hver 11 °C stigning i temperatur. Praktisk betydning for design av retention latchene blir at junction arealet må velges så lite som mulig for å få minst mulig lekkasjestrøm for en gitt transistor type.

Nyere teknologier, 0.13µm og finere, har også vesentlig gate lekkasjestrøm. Størrelsen på gate lekkasjestrømmen er avhengig av gate oksid tykkelse, øker eksponentielt med avtagende gate oksid tykkelse, og transistorens for spenning[8].

### 2.2 *Lekkasje reduksjons forhold (LRR)*

Lekkasje reduksjons forholdet (LRR) er en vanlig brukt parameter for å sammenligne egenskaper til retention latches. Denne parameteren blir brukt i kildematerialet for alle kretsløsninger som er vurdert for oppgaven. LRR finnes som forholdet mellom lekkasjestrømmen til en latch i aktivmodus og lekkasjestrømmen i søvnmodus. Formel for utregning av LRR vises i likning.2

$$LRR = \frac{I_{lekkasje}(aktiv)}{I_{lekkasje}(søvn)}$$

Likning.2      lekkasjereduksjons forhold

### 2.3 *Søvntransistor og finmasket effektstyring*

Med søvntransistor menes den eller de transistorer som kobler fra spenningsforsyning til deler av et system. Finmasket effektstyring beskriver et system der mindre system elementer som for eksempel en latch får sin egen søvntransistor og de ulike søvntransistorene kan styres uavhengig av hverandre. Grunnen til at søvntransistorer brukes er for å redusere lekkasjestrømmer. Med hver ny teknologi generasjon blir lekkasjestrømmer et økende problem og de utgjør nå en betydelig del av effektbudsjettet. Søvntransistorer er en effektiv måte å redusere standby strømmer i ubrukke krets elementer[3].

## 2.4 Oversikt over retention teknikker

Her presenteres en oversikt over publiserte metoder og topologier for realisering av finmasket søvnmodus latch med innebygd retention egenskap.

### 2.4.1 Klassisk statisk retention krets: Balloon latch

En klassisk statisk retention krets såkalt balloon latch er presentert i [6] fra 1997. Dette er en multiterskelspennings metode kalt MTCMOS, som innebærer at kretsen er bygget opp av transistorer med ulik terskelspenning. Prinsippet for dette er at høy-terskel transistorer har mindre lekkasjestrøm enn normalterskel og lav-terskel transistorer. Kretsen er bygget opp av en vanlig master slave latch med lav terskel transistorer som opererer ved normal drift. En ekstra latch bygget av høy terskel transistorer beholder verdien når kretsen er i søvnmodus. Figur.2.4.1 viser kretsen slik den er gitt i [6]. Kontrollsignalene B1 og B2 styrer skriving til og fra balloon latch ved inngang og utgangen av søvnmodus. B1 aktiv åpner koblingen mellom balloon latch og normal latch ved inngangen og utgangen av søvnmodus for overføring av verdi mellom disse. B2 er aktiv i søvnmodus, etter B1, dette gjør at de to inverterne i balloon latch er ring koblet og at inverterne i slave latches ikke er ringkoblet.

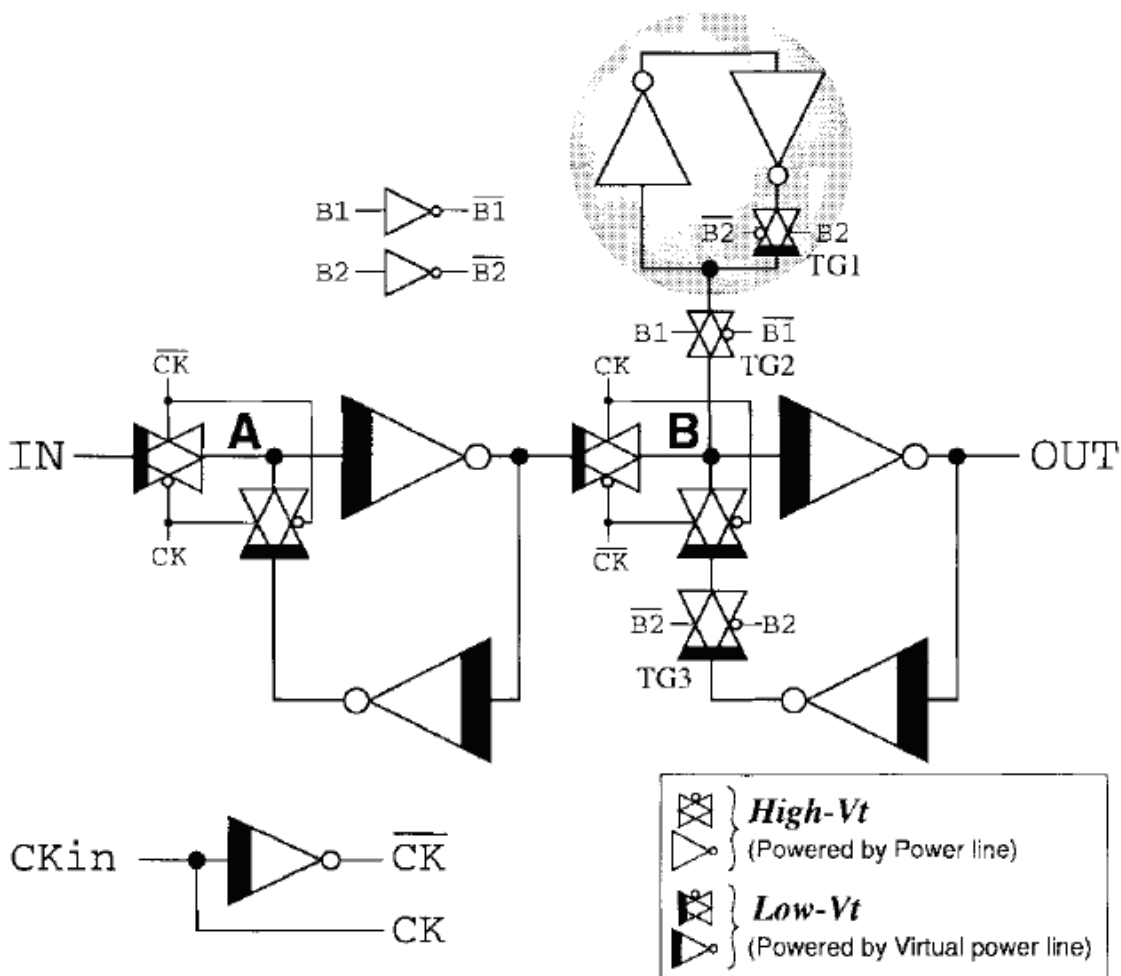
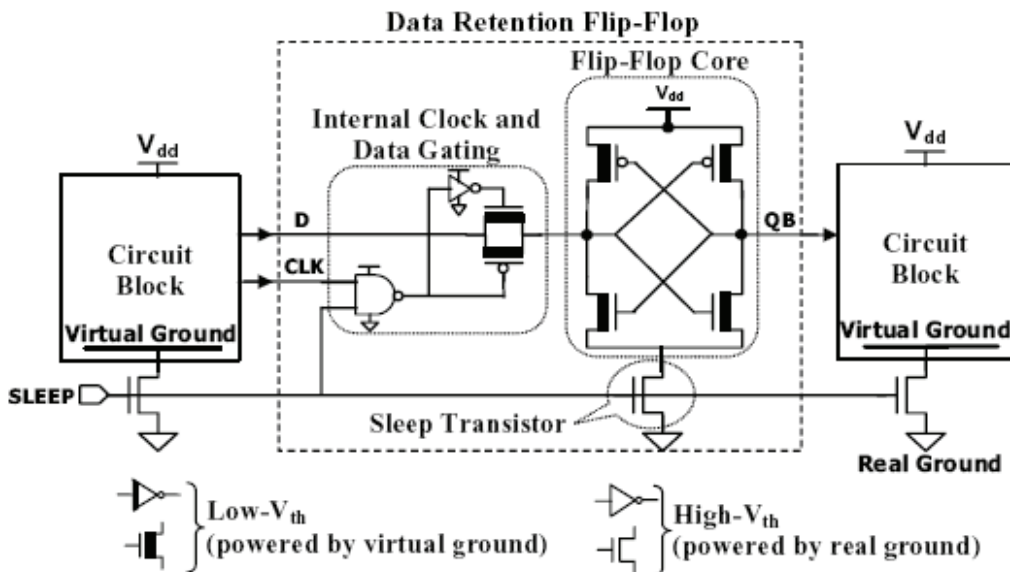


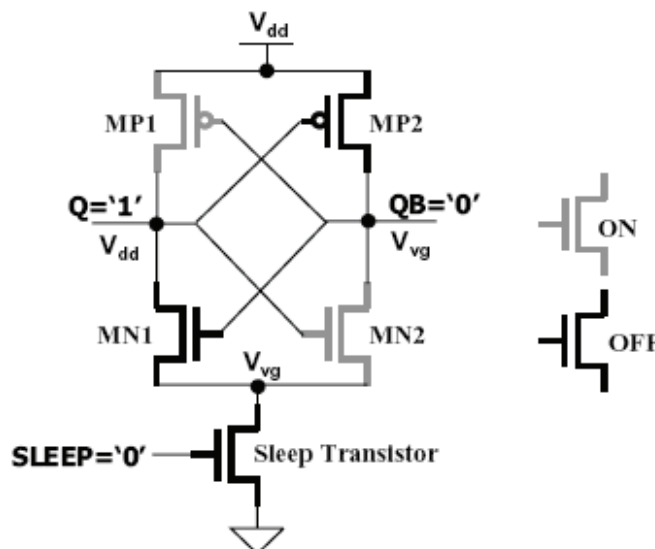
Fig 2.4.1 Klassisk balloon latch

### 2.4.2 Forbedra statiske retension kretstopologier

Nyere publikasjoner beskriver statiske retension kretstopologier med bedre rapporterte egenskaper enn klassisk balloon latch, to slike publikasjoner er funnet og presenteres. [4] beskriver en krets uten noen egen latch som beholder data i søvnmodus, denne kretsen baserer seg på at lekkasje i søvntransistor er stor nok til at de krysskobla inverterne opprettholder sin verdi. For at dette skal kunne gjøres må data inngangen kobles fra i søvnmodus. Kretsen sender data gjennom når klokke signalet er høyt og utgangen vil være den inverterte av inngangen. Figur 2.4.2 viser retension latchen fra [4]. Figur 2.4.3 viser de krysskobla inverterne i søvnmodus.

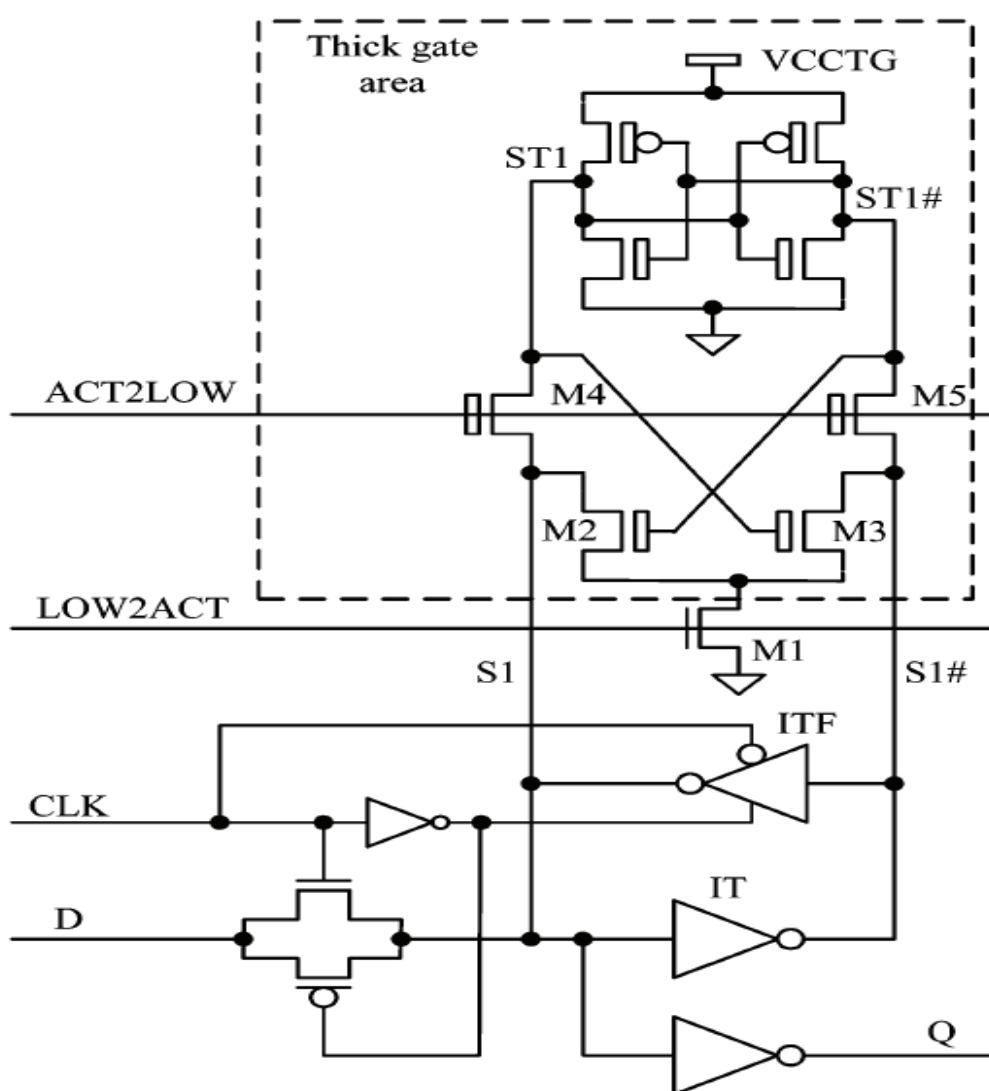


Figur 2.4.2 Krysskobla invertere med lekkasje styrt retension



Figur 2.4.3 Krysskobla invertere i søvnmodus

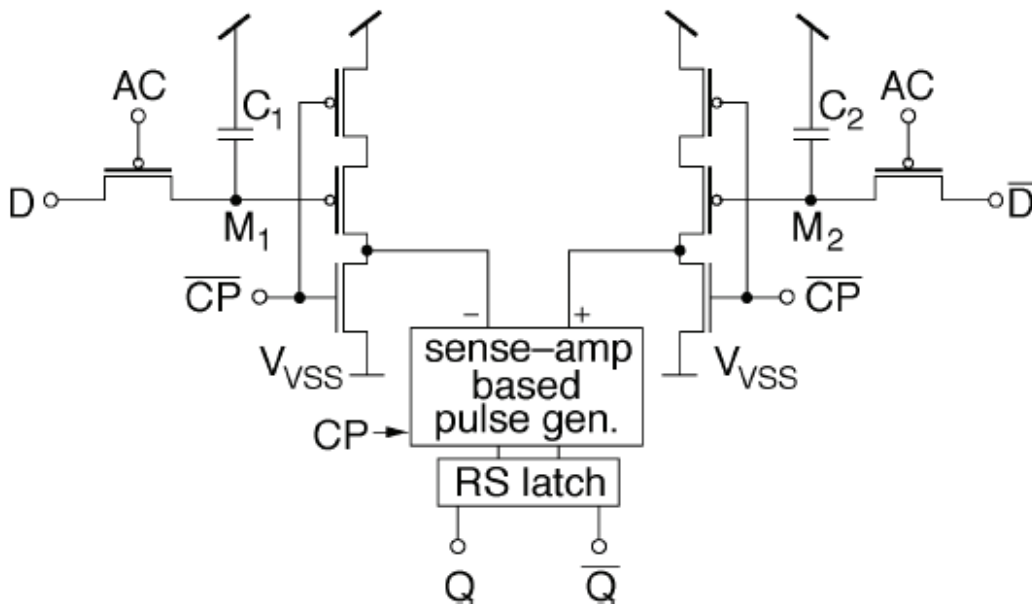
[5] presenterer en retention latch basert på å bruke tykk gate transistorer i retention del av latchen. Denne retention delen av kretsen kalles shadowlatch i litteraturen. Figur 2.4.4 viser kretsen. Til forskjell fra klassisk balloon latch er ikke dette en master slave latch. Data slippes gjennom når klokke signalet er høyt og utgangen fra kretsen er den inverterte av inngangen. . De to kontrollsignalene LOW2ACT og ACT2LOW styrer skriving til og fra shadow latchen ved inngang og utgang av søvnmodus. ACT2LOW aktiveres i nødvendig tid for å gå til søvnmodus og LOW2ACT aktiveres i nødvendig tid for å gå ut av søvnmodus. Hva som her er nødvendig tid bestemmes av hvor lang tid det tar å skrive til og fra shadow latchen.



Figur 2.4.4 Tykk gate retention latch

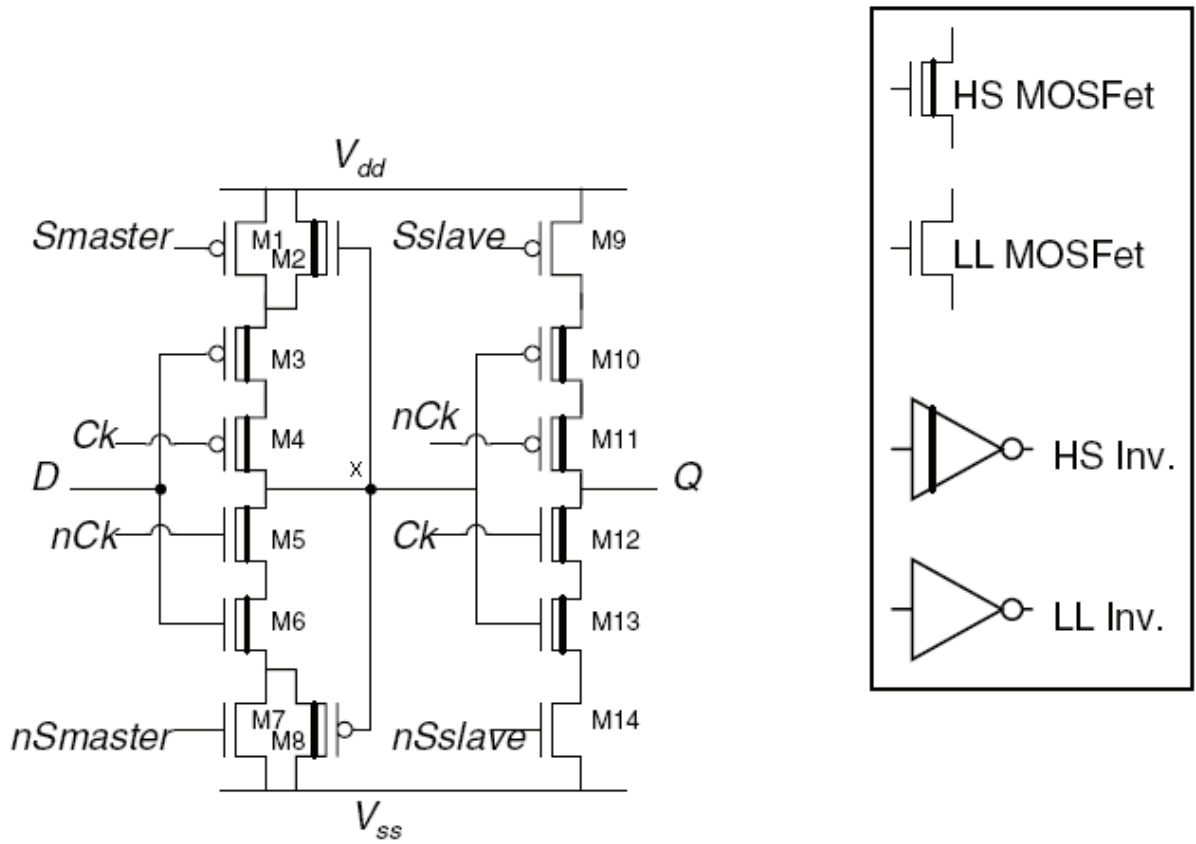
### 2.4.3 Dynamiske retention kretstopologier

Dynamiske retention kretser baserer seg på at retention verdien lagres og holdes på noder i kretsen. Dette medfører at verdien bare kan holdes i en bestemt tid som avhenger av hvor stor kapasitans lagringsnodene har og lekkasjestrømmen fra lagringsnodene. To ulike kretstopologier for dynamisk retention er funnet og vurdert. Kretstopologien fra [1] er vist i figur 2.4.5. Denne kretsen har oppbygging som kan minne om dynamisk ram, nodene M1 og M2 er lagrings noder. Sense forsterkeren føler verdien på disse nodene og de blir omgjort til fullverdige logiske nivåer på utgangen. Størrelsen på kondensatorene C1 og C2 vil bestemme hvor lang retention tid som kan oppnås samtidig som større kondensatorer vil føre til større forsinkelse mellom data inngang og utgang. Ved normal drift er det ikke nødvendig med full oppladning av nodene M1 og M2, men foran hver søvn periode må disse lades fullt opp. Denne kretsen kan også kombineres med en refresh krets slik at den ikke er begrenset til søvn perioder mindre enn retention tiden.



Figur 2.4.5 Dynamisk retention latch basert på sense-amp

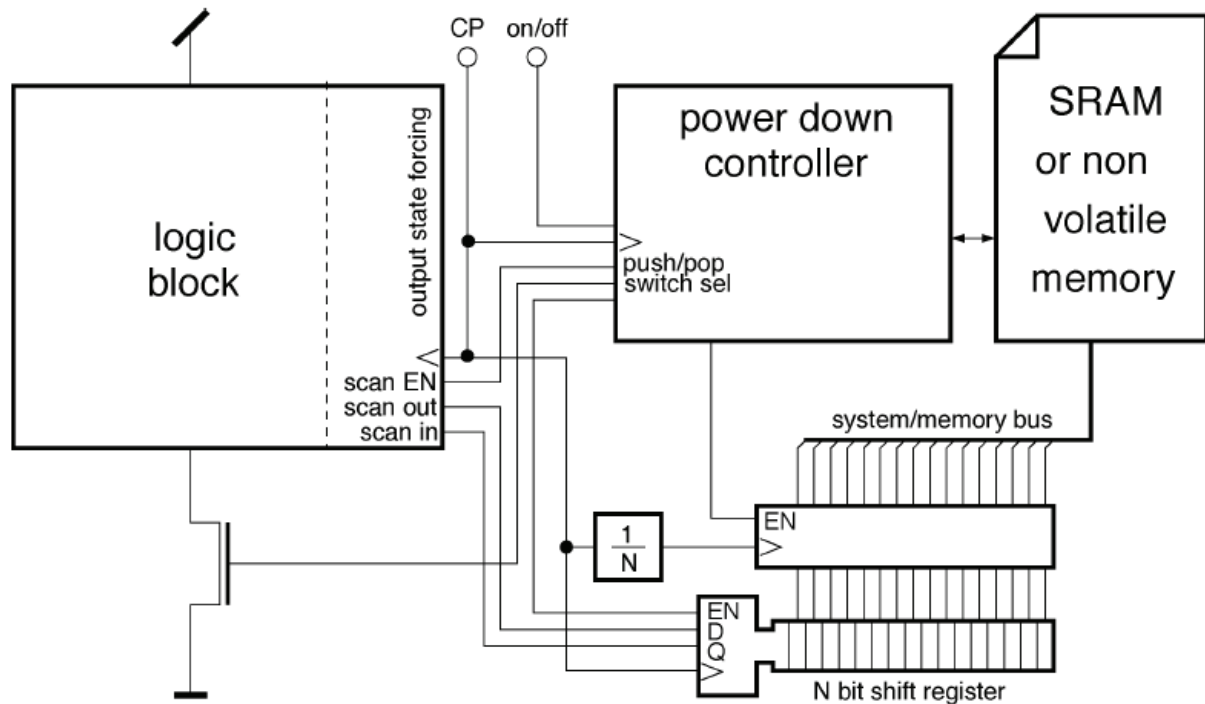
En annen kretstopologi for dynamisk retention er presentert i [2], figur 2.4.6 viser en av kretsene. Her brukes en master slave kretsconfigurasjon. Hvor noden mellom kretsgrenene, node X, er isolert fra vekselvis inngang og utgang. Denne isolasjonen gjøres av klokka, ved klokke lav lades denne noden til den inverterte verdien av inngangsdata og ved klokke høy styrer denne noden utgangsverdien som blir den inverterte av node verdien i full logisk verdi. Det at inngangsverdien og utgangsverdien er isolerte via node X gjør at dette er et dynamisk retention system og hvor stor retention tid latchen har er bestemt av den parasittiske kapasitansen på node X.



Figur 2.4.6 Dynamisk master-slave retention latch

## 2.4.4 Scan kjede retention system

Scan kjede retention system baserer seg på seriell utlesing og tilbakeskriving, beskrevet i [1]. Når en søvn periode skal iverksettes leses latch verdier serielt ut til en statisk ram. Dette innebærer at latcher i systemet må ha mulighet for å skifte data serielt gjennom en scan kjede og ut til det statiske minnet. Under søvn perioden har ikke latcher i systemet tilkoblet driftspenning. Oppstart fra søvn periode innebærer å skifte data ut fra statisk ram til latcher. Et slikt system vil ha en inngangs tid og utgang tid til og fra søvnmodus som er antall latch elementer  $N$  ganger klokkeperioden  $T$ . Figur 2.4.7 viser prinsippet for et scan kjede retention system.



Figur 2.4.7 Prinsipp for et scan kjede retention system



## 2.4.5 Sammenligning av retention teknikker

Overordnet kan alle prinsipp for kretstopologier for dataretention ved søvnmodus beskrives som statisk, dynamisk eller scan metode. Det er i [1] gjort en sammenlikning av styrker og svakheter for de ulike metodene som kan gi en indikasjon på hvilken som vil være mest hensiktsmessig for en bestemt implementasjon av en retention latch. Hovedtrekkene av denne sammenlikningen er gjengitt i tabell 2.4.1.

Tabell 2.4.1 Sammenligning av retention teknikker

<i>Metode</i>	<i>Fordeler</i>	<i>Ulemper</i>
SRAM (Scan kjede)	<ul style="list-style-type: none"> <li>- Lite areal overhead</li> <li>- Uendelig retention tid</li> <li>- Lite design og flow overhead</li> <li>- Beskyttelse av data med EEC</li> </ul>	<ul style="list-style-type: none"> <li>- Treg sleep-in og sleep-out</li> <li>- Stort energi overhead</li> <li>- Lang minimum power-down tid</li> </ul>
SSRFF (Statisk retention)	<ul style="list-style-type: none"> <li>- Rask sleep-in og sleep-out</li> <li>- Uendelig retention tid</li> </ul>	<ul style="list-style-type: none"> <li>- Ekstra spenningsforsyning</li> <li>- Oppdeling av ledige og aktive regioner</li> <li>- Alltid aktive kontrollsignaler</li> <li>- Betydelig design og flow overhead</li> </ul>
DSRFF (Dynamisk retention)	<ul style="list-style-type: none"> <li>- Rask sleep-in og sleep-out</li> <li>- Ingen ekstra kontrollsignaler</li> <li>- Neglisjerbar design og flow overhead</li> <li>- Liten minimum powerdown tid</li> </ul>	<ul style="list-style-type: none"> <li>- Endelig retention tid</li> <li>- Økt setup tid</li> <li>- Refresh minker effektivt lekkasje reduksjons forhold</li> </ul>

### 3. Hoveddel

Her vil arbeidet med implementering og sammenligning av kretser gjennomgås. Fire kretser er valgt ut for innledende simuleringer, resultater underveis i prosessen vil avgjøre hvilke av disse som ferdigstilles.

#### 3.1 Design og Simulerings forutsetninger

De begrensninger som TSMC 90nm setter for design av kretsene presenteres her. Alle kretsdesign vil bli simulert med så like som mulig forutsetninger for å oppnå resultater som enkelt kan sammenliknes for alle kretser. Metoder og forutsetninger presenteres her.

##### 3.1.1 TSMC 90nm prosess begrensninger

Kretsene som er funnet fra publiserte kilder bruker generelt både høy og lav terskelspenningas transistorer. Det tillates ikke i TSMC 90nm å bruke 2 ulike terskelspenning masker. Dette medfører at alle kretser vil bli designet ved bruk av normal terskel transistorer der det i publiserte kilder er brukt lav terskel transistorer. Alle høy terskel og tykk gate oksid transistorer implementeres slik som de er brukt i publisert kilde materiale.

##### 3.1.2 Prosess, temperatur og spenning hjørner

Alle kretser simuleres ved alle prosess, temperatur og spenning hjørner for å få full oversikt over hvordan de ulike parametere varierer. Prosesshjørner innebærer å bruke ulike spice modeller for transistorene, det finnes typical, fast og slow modeller for alle transistorer. Med typical modeller brukes denne på både N og P kanal transistorer, for fast og slow modeller brukes alle mulige kombinasjoner. For kretser som bruker tykk gate oksid transistorer er det egne modeller disse varierer ved simulering fritt og uavhengig av normale transistor modeller. Temperatur hjørner innebærer å kjøre simuleringen ved en typical(25°C), low(-40°C) og high(125°C) temperatur. Spenning hjørnene er high (1.3V), typical(1.2V) og low(1.0V). For fullstendig oversikt simuleres krets parametrene med alle mulige kombinasjoner av de nevnte simulerings hjørner. For kretser uten tykk gate oksid transistorer innebærer dette 45 prosesshjørner og med blanding av tykk gate oksid og normal gate oksid transistorer er det 225 prosesshjørner. En oversikt over alle kombinasjoner av prosesshjørner vises i tabell 3.1.1, Mxx beskriver transistor modell, Tx gir temperatur setting og Vdxx forsynings spenning.

Tabell 3.1.1 Oversikt over de 45 prosesshjørner for kretser uten tykk gate transistorer

Transistor modell	Tl			Tt			Th		
	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13
Mtt	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13
Mff	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13
Mss	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13
Mfs	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13
Msf	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13	Vd10	Vd12	Vd13

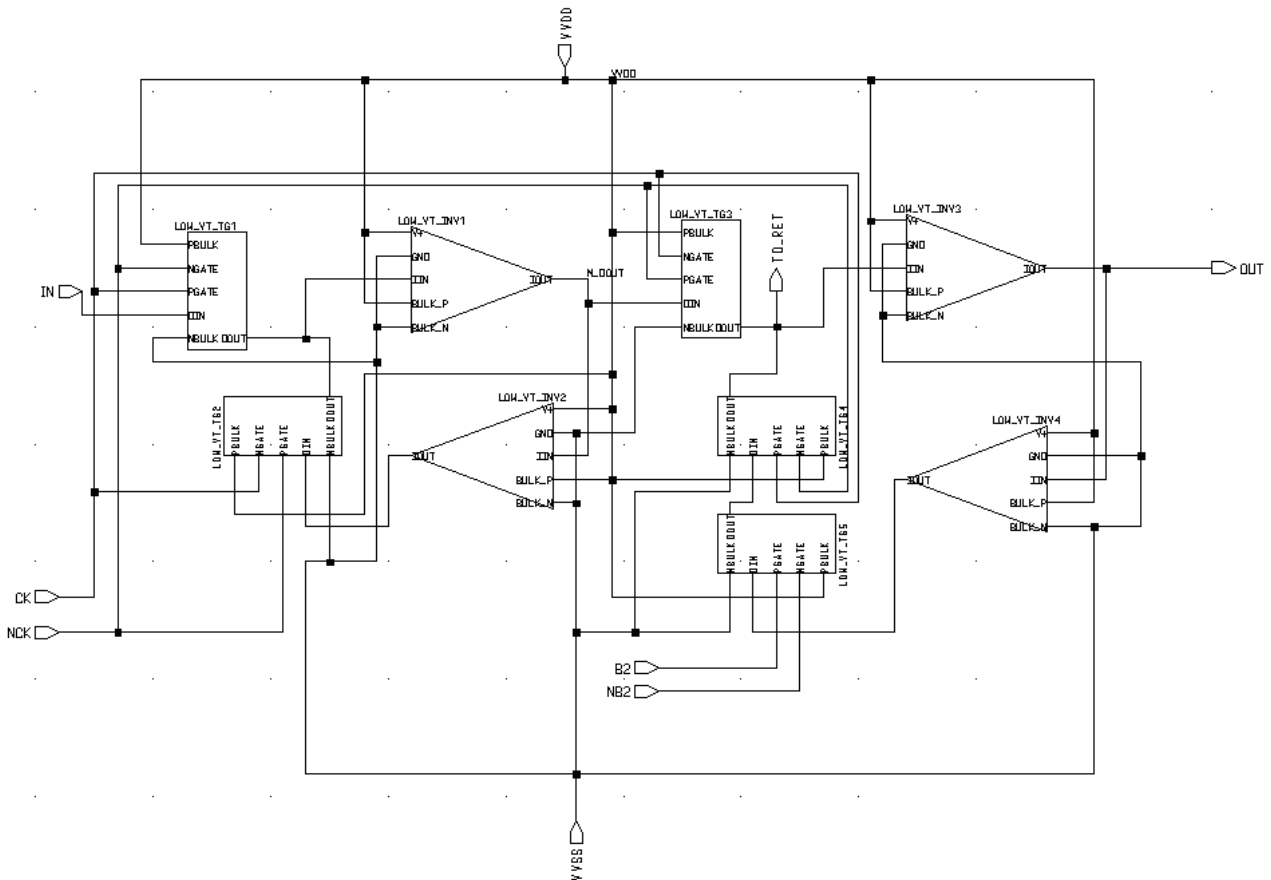
### 3.1.3 Metoder

Lekkasjestrømmer finnes ved å foreta en RMS beregning over en kort tids periode der kretsen er i ønsket modus, sleep eller aktiv. Denne tidsperioden velges slik at dynamiske forløp i forbindelse med endringer i inn signaler påvirker minst mulig. Det kan allikevel være en liten variasjon i strømmen i løpet av beregnings perioden, men denne vil være relativt liten i forhold til strømmens størrelse. Denne metoden er valgt fremfor å finne strømmen ved en operasjonspunkt analyse fordi ved beregning av operasjons punkt ved oppstart av en transient analyse forekommer det ved noen av prosess hjørnene et unormalt utslag som varer frem til første inn signal endring. Kretsen har ikke fått korrekt arbeids punkt før noe har skjedd på inngangene.

Tidsforsinkelser oppgis som forskjellen mellom tidspunktene der de aktuelle signalene har nådd 50 % av endelig verdi. Det vil si for klokke til data ut forsinkelse, når drift spenningen er 1.2V, måles tidsforsinkelsen mellom klokke lik 0.6V og data ut lik 0.6V.

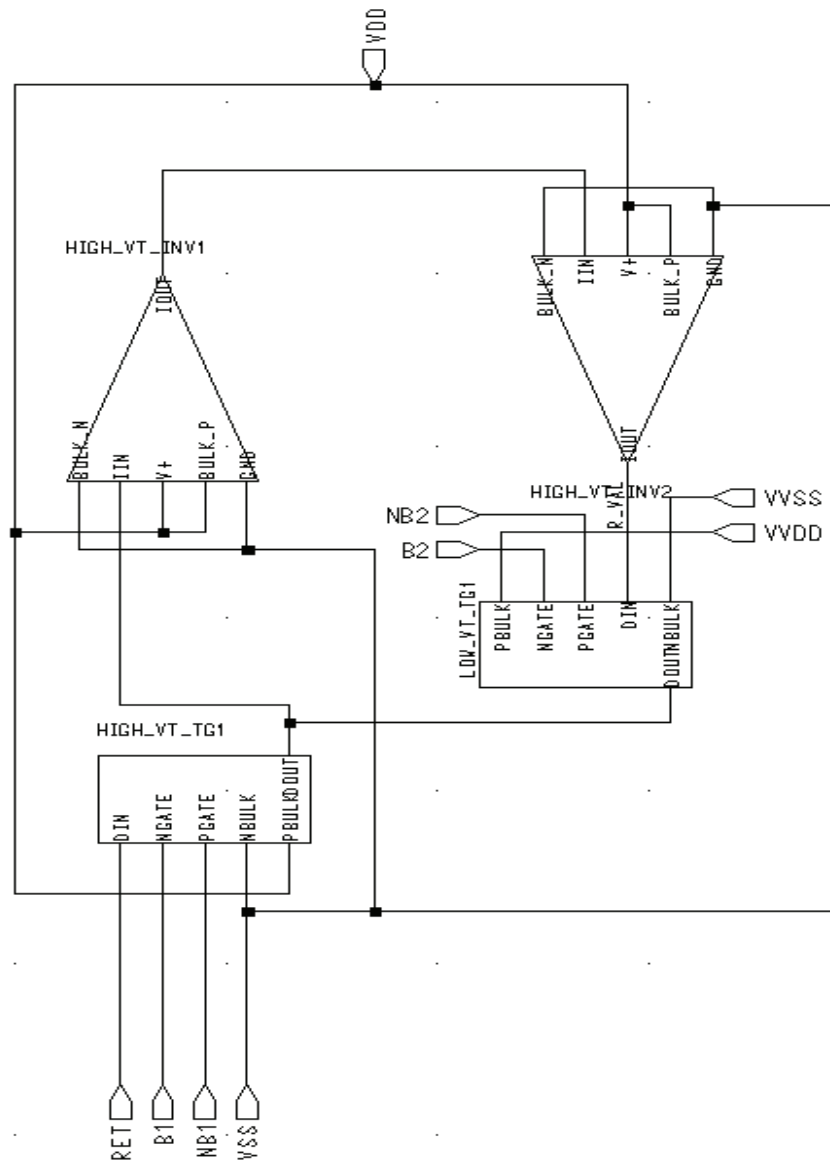
### 3.2 Design av balloon latch

Balloon latch kretsen designes for å være et referanse punkt som andre design skal vurderes opp mot. Kretsen lages lik den vist i Figur.2.4.1 og alle transistor størrelser velges med tanke på minst mulig lekkasjestrøm. Dette innebærer i praksis at alle transistorer velges til minste tillatte størrelse i TSMC 90nm teknologien i samsvar med teori fra kapittel 2.1. For denne kretsen er det ingen av kretselementene hvis funksjon tilsier at de må ha større en minimum størrelse transistorer. Dette innebærer også at driver styrken til latchen vil være så liten som mulig, dersom større driver styrke ønskes må transistor størrelser i utgangs inverter økes. Den delen av kretsen som består av normal terskelspenning transistorer er vist i figur 3.2.1 og er en standard latch trigget på positiv klokke flanke med det ene tillegget av en transfer gate som styres av kontrollsignalet B2. Med signalet B2 aktivt vil denne transfergaten være lukket og bryte tilbakekoblingen ved de ringkoble utgang inverterne.



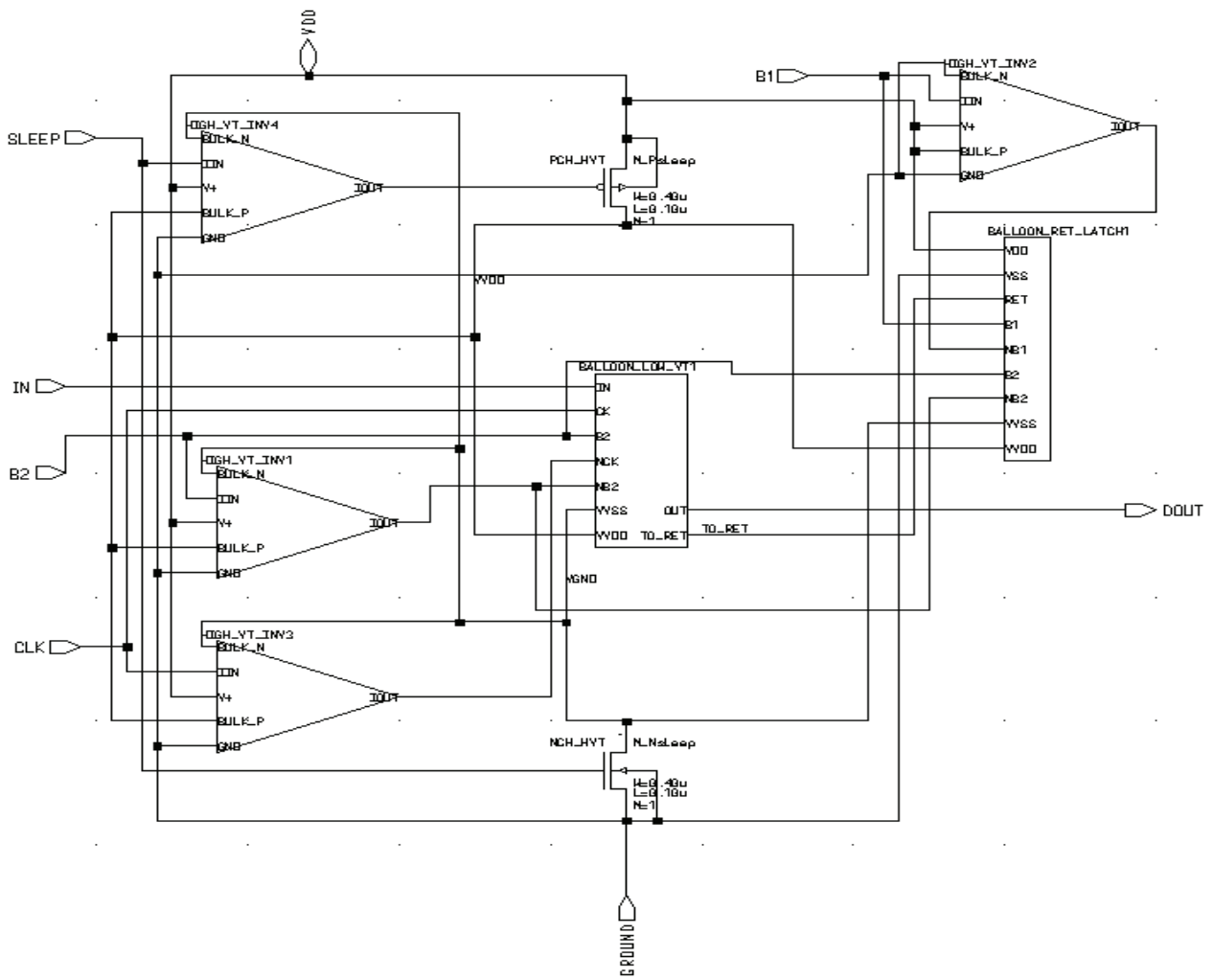
Figur 3.2.1 Normal Vt del krets av Balloon latch

Den andre bestanddelen av balloon latchen er retention latchen, denne er vist i figur 3.2.2, som består av høy terskelspenning transistorer av minimum størrelse. Signalene som styrer operasjonen av denne er B1 som styrer lesing/skriving fra og til normal terskelspenning del av kretsen. B2 aktivt vil ring koble de to inverterne i kretsen.



Figur 3.2.2 Retention latch del krets av balloon latch

Toppnivået av kretsskjema består av sammenkoblingen av normal og retention latch del kretser i tillegg til søvntransistorer og generering av inverterte kontrollsignaler. Dette vises i figur 3.2.3.



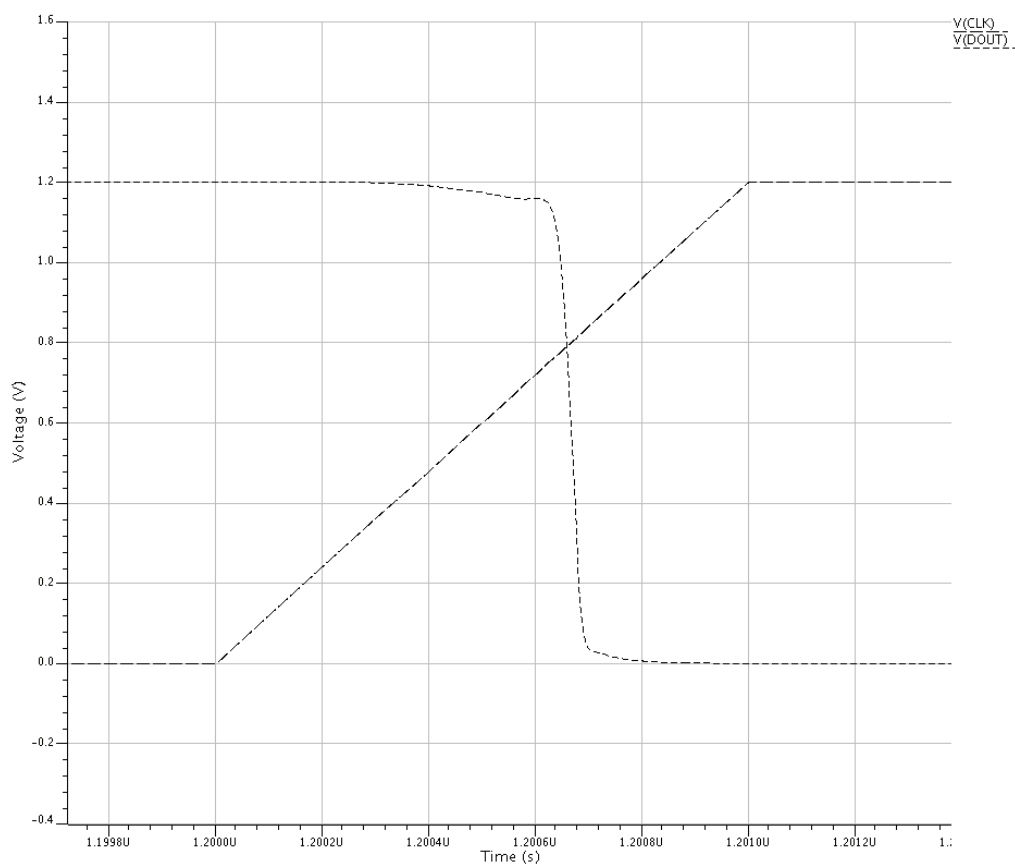
Figur 3.2.3 Balloon latch topnivå

### 3.3 Simulering av balloon latch

Her vil de mest vesentlige data fra simuleringer av Balloon latch kretsen presenteres, fullstendige simuleringens resultater presenteres i vedlegg 1.

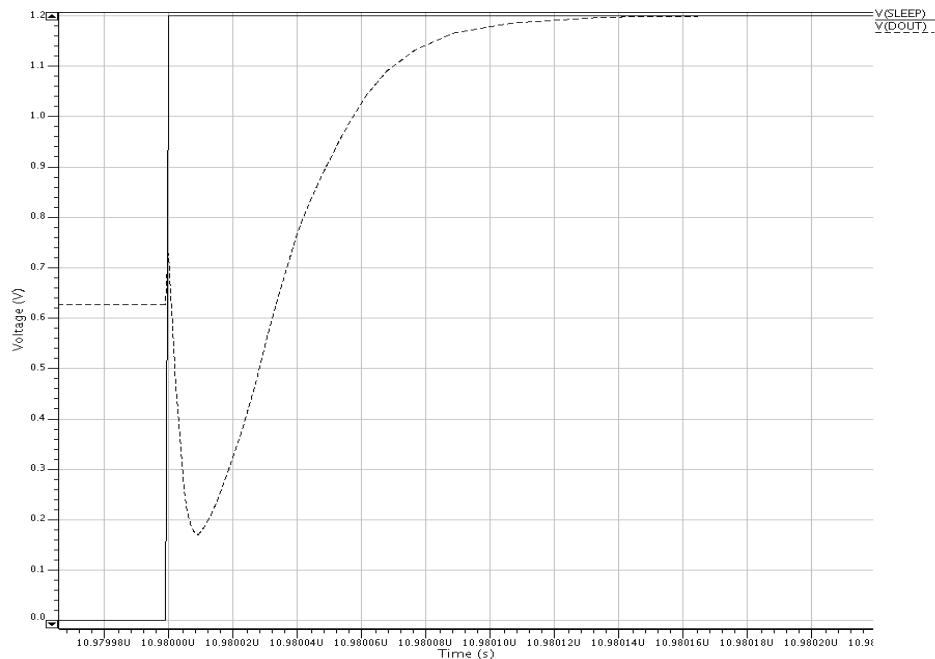
#### 3.3.1 Tidsforsinkelser

Kriteriet som begrenser balloon latchens normaldrift klokkefrekvens er klokke til data ut gyldig forsinkelse. Denne forsinkelsen vil også være avhengig av om utgangen svitsjer fra 0 til 1 eller 1 til 0 i logisk verdi. En slik forsinkelse når utgangen skifter fra 1 til 0 er vist i figur 3.3.1



Figur 3.3.1 Klokke til utgang forsinkelse

Den andre begrensningen for balloon latchens operasjon er forsinkelse i forbindelse med aktivering og deaktivering av søvnmodus. Bruken av kontrollsignalet B1 har på bakgrunn av simulering av lekkasjestrømmer blitt endret til at B1 er høyt så lenge kretsen er i aktiv modus og lavt ved søvnmodus. Dette medfører at kretsen i motsetning til slik den er beskrevet i referanse krets ikke har noen tidsforsinkelse forbundet med å gå til søvnmodus. Ved deaktivering av søvnmodus vil forsinkelsen være fra sleep signalet settes høyt til data på utgangen er gyldige, et eksempel på denne forsinkelsen er vist i figur 3.3.2.



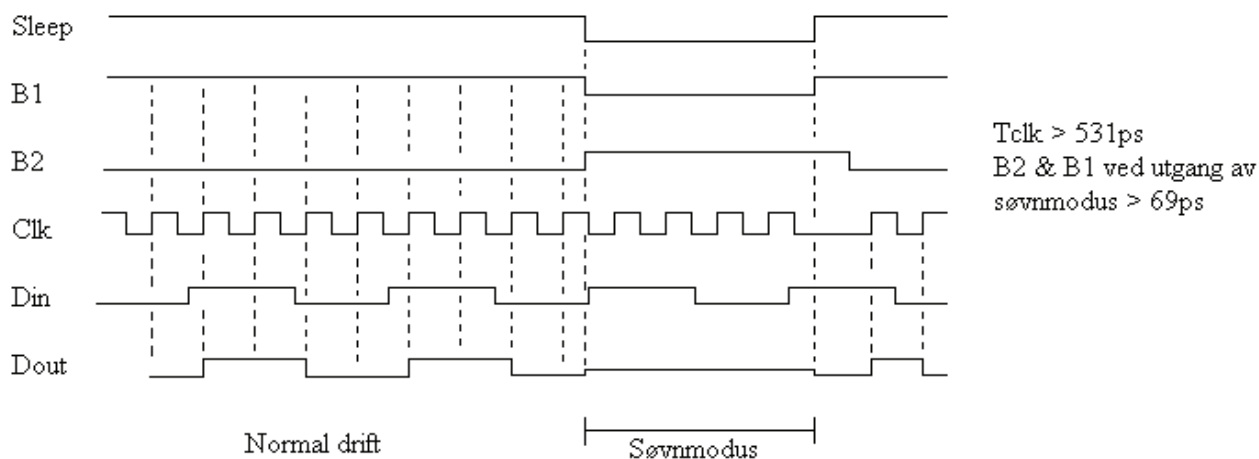
Figur 3.3.2 Sleep ut til utgangsverdi gyldig tidsforsinkelse

Simuleringer av nevnte tidsforsinkelser er foretatt ved alle prosess, temperatur og spennings hjørner og resultatene fra disse simuleringer danner grunnlaget for data presentert i tabell 3.3.1 som oppsummerer variasjonene i tidsforsinkelser. Med de lengste tidsforsinkelsene som grunnlag vil Balloon latchen få en maks klokkefrekvens på opp mot 2GHz og maks frekvens inn og ut av sleep modus vil være tilsvarende. Det tiltenkte bruksområdet for retention latchen er ikke avhengig av å ha høye klokkefrekvenser på operasjonen. Signalerings forløp ved bruk av balloon latch er illustrert ved figur 3.3.3.

Tabell 3.31 Oppsummering av variasjon i tidsforsinkelser

Parameter	Min [ps]	Typ [ps]	Maks [ps]
	Totalt		
CLK-Q delay	103	225	531
Sleep-out delay	18	35	69





Figur 3.3.3 Illustrasjon av Balloon latch signalering

### 3.3.2 Lekkasjestrømmer

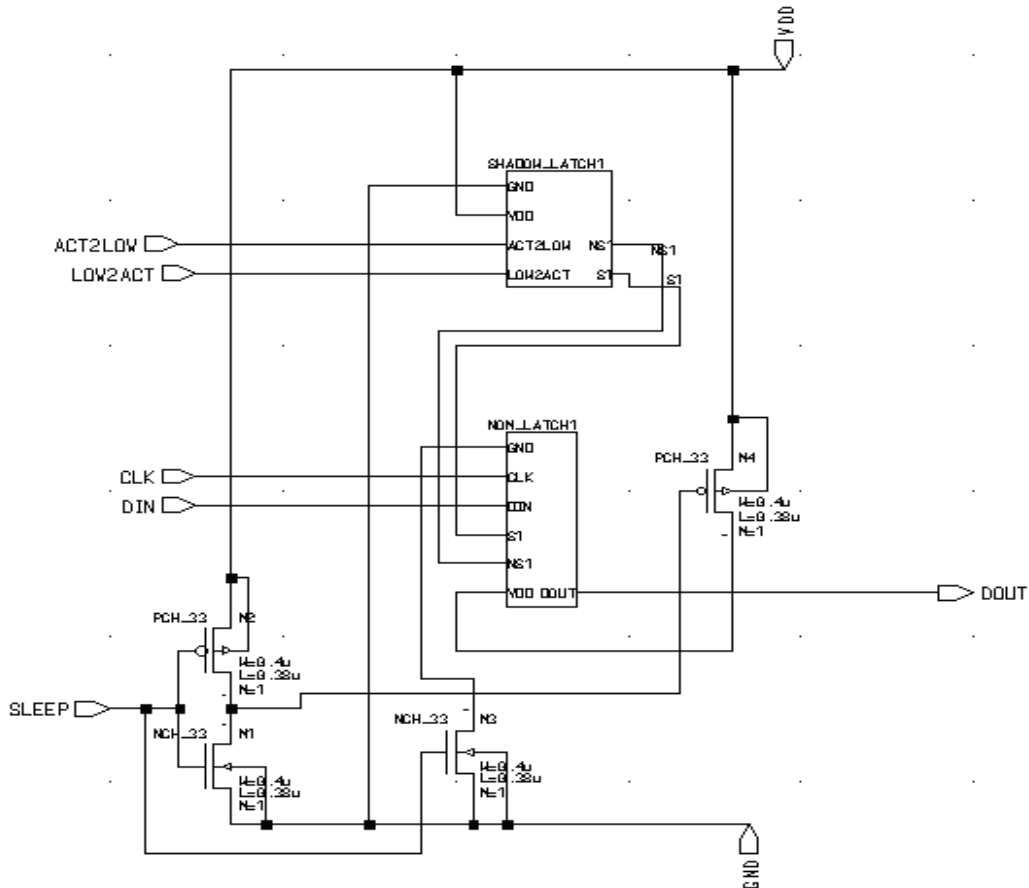
Lekkasjestrømmer er funnet separat for aktiv og søvnmodus ved alle prosess, temperatur og spennings hjørner. Disse gir grunnlag for å finne kretsens lekkasje reduksjons forhold (LRR) mellom aktiv og søvnmodus. Tabell 3.3.2 summerer resultatene fra disse simuleringene. Merk her at resultatene i hver kolonne ikke nødvendigvis er fra samme prosesshjørne, men er hentet ut fra minimum, typiske og maksimale verdier fra komplette resultater i vedlegg 1. Ved simulering av lekkasjestrømmer ble det oppdaget uventede store lekkasjestrømmer i aktivmodus ved noen prosesshjørner. Dette ble forårsaket av at noden på inngangen til første inverter i retention latch stabiliserte seg på en Spennings verdi omkring halve drift spenningen. Den enkleste måten å unngå dette på var å endre forløpet til kontrollsignalet B1 slik at det er aktivt så lenge kretsen er i aktivmodus. Dette medfører at høy terskelspenning del av kretsen, retention delen, konstant skrives til. Den store variasjonen mellom minimal og maksimal lekkasjestrøm skyldes for denne kretsen, gjelder også etterfølgende kretser, stort sett kombinasjonen av temperatur og transistor modell. Høy temperatur samtidig med raske transistor modeller gir de største lekkasjestrømmer og lav temperatur med trege transistor modeller gir de laveste lekkasjestrømmer. Variasjonen med en av disse parametrene konstant gir et inntrykk av den isolerte variasjonen. Med typiske modeller vil aktiv lekkasjestrøm være 48.6pA ved lav temperatur og 16nA ved høy temperatur. Med temperatur konstant lik den typiske vil lekkasjestrømmen være 52.3pA med trege transistor modeller og 11.1nA med raske transistor modeller.

Tabell 3.3.2 Oversikt over lekkasjestrøms variasjoner

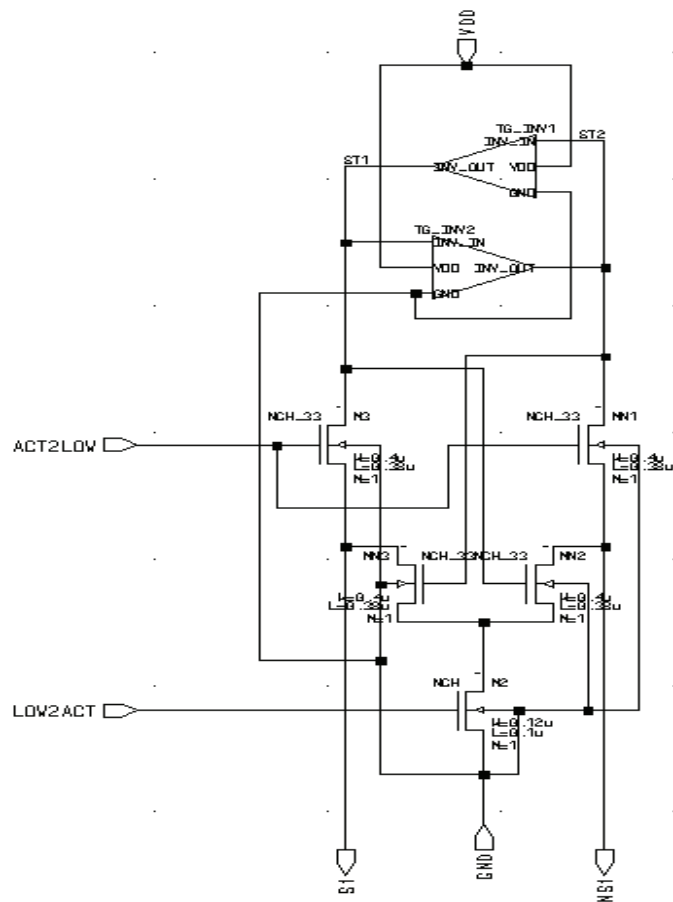
Parameter	Min	Typ	Maks
Lekkasjestrøm aktiv [A]	27p	365p	190n
Lekkasjestrøm sleep [nA]	13p	60p	17.5n
LRR	1.78	6.14	38.6

### 3.4 Design av tykk gate latch

Tykk gate latch kretsen ble designet lik kretsskjema 2.4.4 og med minste tillatte transistor størrelser for minst mulig lekkasjestrøm. Ingen av transistorene trenger ut fra funksjon være større enn minimum noe som medfører at latchen har minste mulige driverstyrke. Driver styrken til trinnet kan økes ved å bruke større transistorer i utgangs inverter til normal terskelspennings latch. Denne kretsen er på forhånd forventet å oppnå bedre resultater enn balloon latch basert på resultater oppgitt i [5]. Spesielt med tanke på mindre gatelekkasjestrømmer i shadow latch del kretsen grunnet tjukkere gate oksid på transistorene som brukes der. Toppnivå for denne kretsen er vist i figur 3.4.1, shadow latch del krets og normal latch del krets vises i henholdsvis figur 3.4.2 og 3.4.3



Figur 3.4.1 Toppnivå tykk gate latch



Figur 3.4.2 Shadow latch del krets



### 3.5 *Simulering av tykk gate latch*

Her blir de mest vesentlige simuleringdata for tykk gate latch presentert, for komplette simuleringresultat se vedlegg 2.

#### 3.5.1 Lekkasjestrømmer

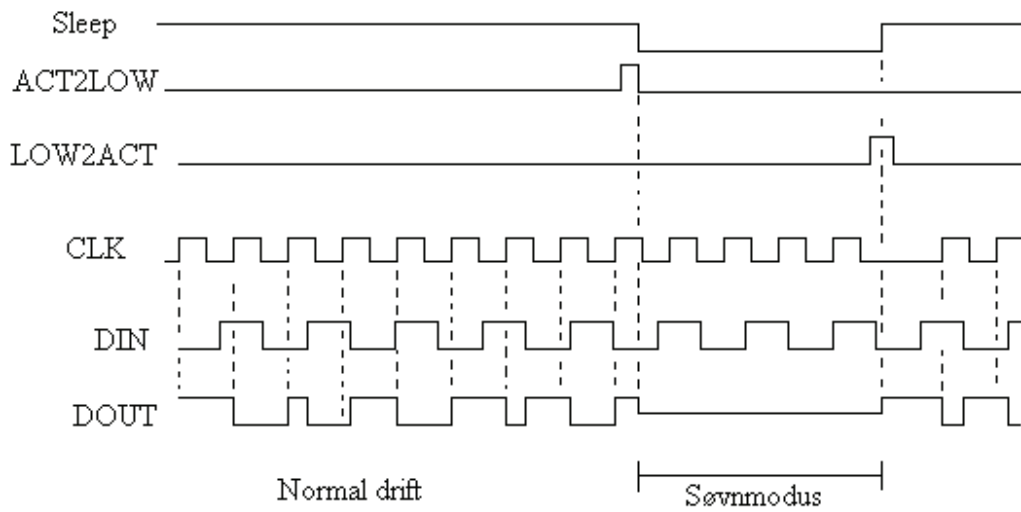
Variasjonene i lekkasjestrømmer over alle prosesshjørner er summert i tabell 3.5.1. Koloner i tabellen samsvarer ikke nødvendigvis med prosesshjørner, resultatene er minimum, typiske og maksimale verdier fra komplette resultater i vedlegg 2.

Tabell 3.5.1 Lekkasjestrømmer tykk gate latch

Parameter	Min	Typ	Maks
Lekkasjestrøm aktiv [A]	14p	302p	204n
Lekkasjestrøm sleep [nA]	5p	42p	34.5n
LRR	1.23	3.94	2490

#### 3.5.2 Tidsforsinkelser

Tykk gate kretsen vil ha tidsforsinkelser forbundet med både inngang og utgang av søvnmodus. Ved inngang til søvnmodus vil forsinkelsen være fra kontrollsignalet Act2low er høyt til gyldige verdier forekommer i skygge latchen. Ved utgang fra søvnmodus vil tidsforsinkelsen gjelde fra sleep signalet settes høyt og Low2act er høyt til utgangsverdi er gyldig. Tabell 3.5.2 oppsummerer variasjonene i tidsforsinkelser for tykk gate latch. Figur 3.5.1 illustrerer signalering for bruk av kretsen.



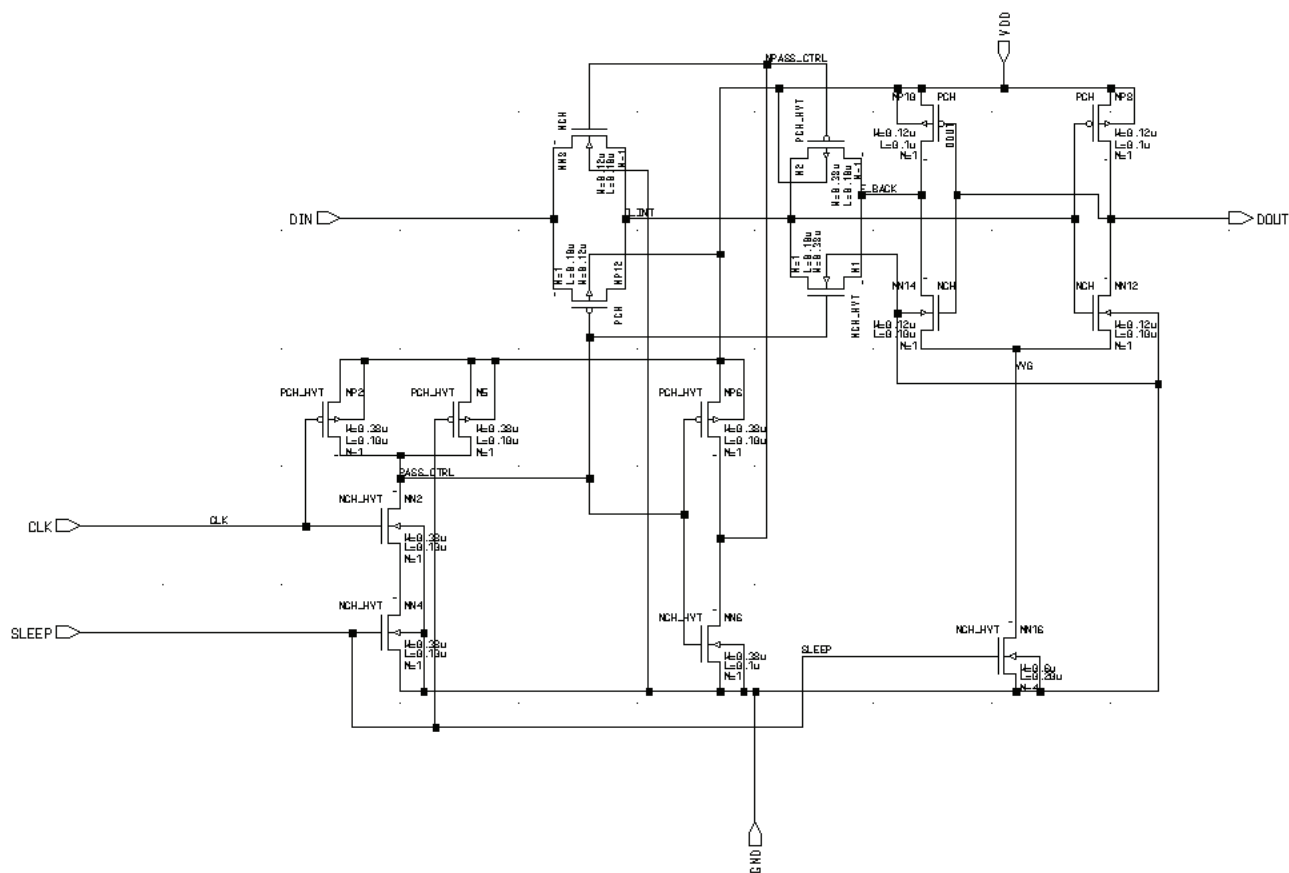
Figur 3.5.1 Signalering for Tykk gate latch

Tabell 3.5.2 Tidsforsinkelser

Parameter	Min	Typ	Maks
Inngang-utgang [ps]	102	188	360
Act2low-gyldig retention [ps]	174	296	795
Søvn.ut-utgang [ps]	91	156	809

### 3.6 Design av krysskobla inverter latch

Krysskobla inverter kretsen ble designet etter figur 2.4.3 og med tanke på minimum Lekkasje strømmer. Søvn transistor er valgt til den minste størrelse som gir stor nok lekkasje til å holde på verdi i søvnmodus over alle prosesshjørner. Driver styrken til latches vil være den minste mulige, dersom denne behøves større må transistor størrelsene til de krysskobla inverterne økes. Figur 3.6.1 viser kretsskjema for krysskobla inverter krets.



Figur 3.6.1 Kretsskjema for krysskobla inverter krets.

### 3.7 Simulering av krysskobla inverter latch

Her vil en oversikt over de viktigste simuleringer resultater fra krysskobla inverter latchen bli presentert. For alle detaljer om simuleringer resultatene se vedlegg 3.

#### 3.7.1 Lekkasje strømmer

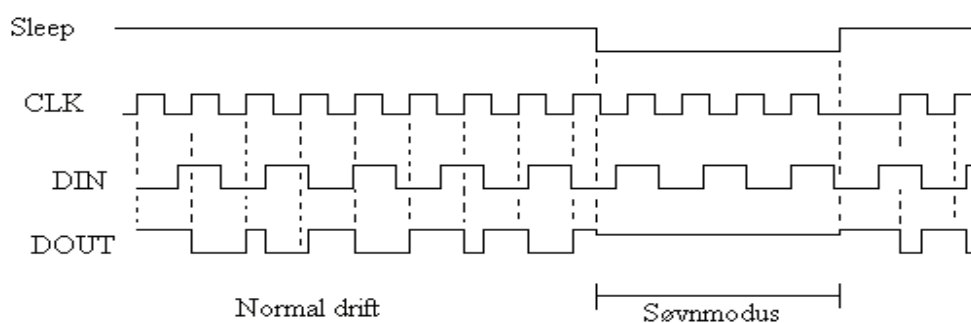
Lekkasje strømmene for krysskobla inverter latch er funnet tilsvarende som for de andre kretser og variasjonene i disse oppsummeres i tabell 3.7.1.

Tabell 3.7.1 Lekkasje strømmer og LRR for krysskobla inverter latch

Parameter	Min	Typisk	Maks
Aktivmodus lekkasje strøm [A]	16.4p	181p	65n
Søvnmodus lekkasje strøm [A]	7.95p	48.4p	30.5n
LRR	1.25	3.85	26.1

#### 3.7.2 Tidsforsinkelser

Krysskobla inverter latch vil ikke ha noen betydelige tidsforsinkelser i forbindelse med inn og utgang av søvnmodus. Umiddelbart etter at søvnmodus opphører vil utgangen være en svak versjon av den korrekte verdi som raskt henter seg inn til full verdig logisk nivå. Variasjonen i forsinkelse fra data gyldig på inngang til data gyldig på utgang vises i tabell 3.7.2. Figur 3.7.1 illustrerer signalering for bruk av kretsen.



Figur 3.7.1 Illustrasjon av signalering for krysskobla inverter latch.

Tabell 3.7.2 tidsforsinkelser for krysskobla inverter latch

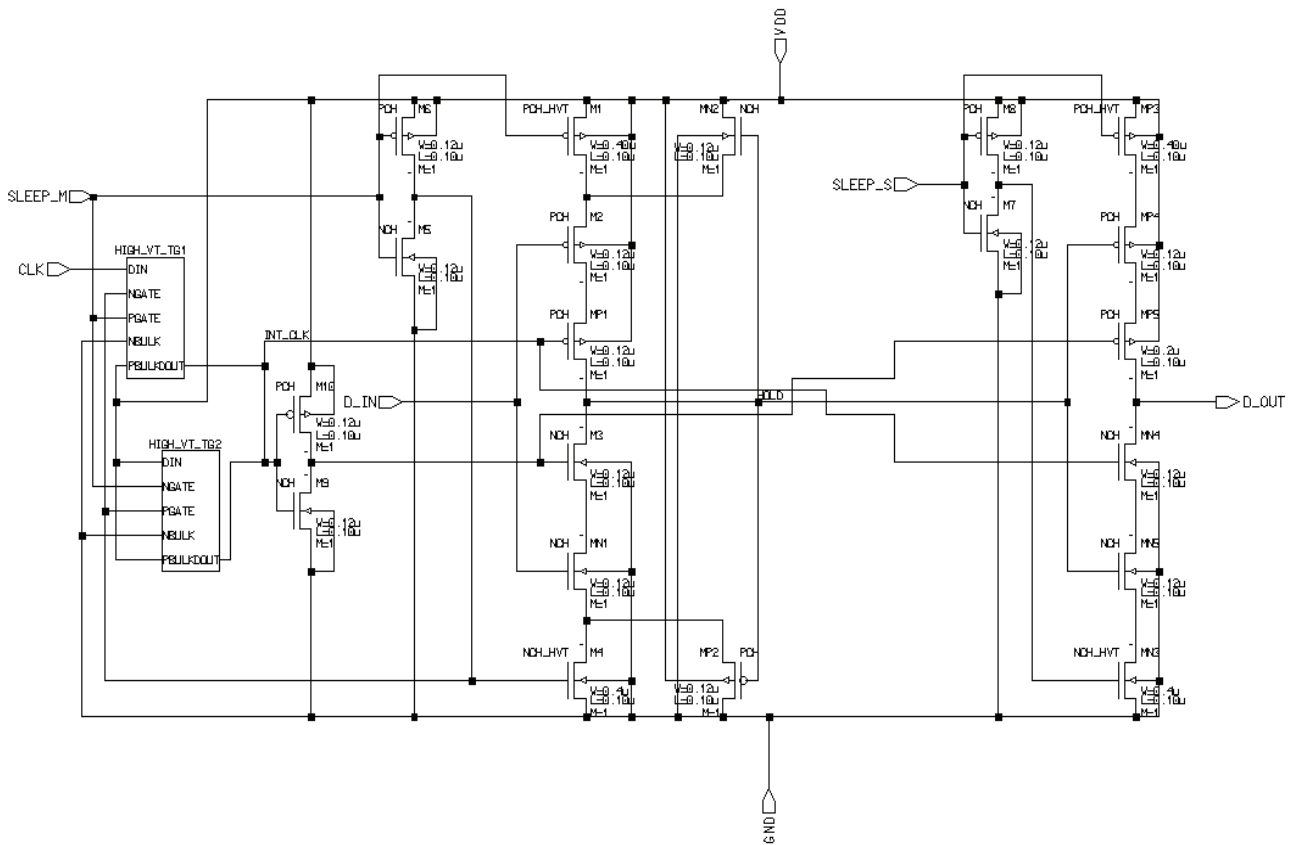
parameter	Min	Typisk	Maks
Inn-Ut forsinkelse [ps]	80	133	290



### 3.8 *Design og simulering av dynamisk retention latch*

Innledende design og simuleringer av en dynamisk retention latch er foretatt. Kretsen er laget slik som beskrevet i [2] og tidligere vist i figur 2.3.6. Denne kretsen er en dynamisk master slave latch hvor retention tiden den oppnår er avhengig av lekkasjestrømmer og kapasitans på node Hold. Figur 3.8.1 viser implementering av kretsen i Tsmc 90nm teknologi. Simuleringer på kretsen viste at for å oppnå 2 sekunders retention tid kreves en upraktisk stor kapasitans på Hold node. Tabell 3.8.1 viser en oversikt over hvor stor en spenning som representerer høy utgangsverdi vil være etter oppvåkning fra en 2 sekunders søvn periode med ulike kapasitans verdier tilknyttet hold node. En kapasitans av denne størrelsen vil kreve stort areal og gjør at kretsen er uhensiktsmessig å bruke med 2 sekunders retention tid. Dette kan endres om det lages noen form for refresh krets som oppdaterer retention verdien før den mistes. Mest hensiktsmessig ville det da vært å lage en refresh krets som oppdaterer raskt nok til at ingen ekstra kapasitans, utenom de parasittiske, trengs på Hold noden. Tabell 3.8.2 viser en oversikt over størrelsen til spenningen som representerer en høy utgangsverdi etter oppvåkning fra ulike retention tider og bare kapasitans som skyldes transistor parasitter på hold node. Det er ikke prioritert å lage en refresh krets til den dynamiske retention latchen.

For praktisk bruk av kretsen vil det også skape problemer med store lekkasjestrømmer dersom klokke signalet er høyt og samtidig hold node har en flytende spenningsverdi i aktiv modus. Dette vil føre til at alle transistorer som direkte styrer utgangsverdien kan være på samtidig, ved simulering med typiske modeller hadde denne strømmen en verdi på  $3.6\mu\text{A}$ . De andre lekkasjestrømmene for kretsen er funnet når dynamisk forløp på hold node er over, noe som i praksis for søvnmodus betyr etter at lagret verdi er tapt. Disse var da for typiske modeller, i aktiv modus  $395\text{pA}$  og i søvnmodus gjennomsnittlig  $107\text{pA}$ .



Figur 3.8.1 Dynamisk retention latch

Tabell 3.8.1 Høy utgang spenning verdi etter 2 sekunder søvn periode med ulike kapasitans verdier

Kapasitans verdi [pA]	1.5	2.0	2.5	3.0	3.5	4.0
Høy utspenning med 1.2V driftspenning [V]	0.82	0.99	1.06	1.11	1.14	1.16

Tabell 3.8.2 Høy utgang spenning verdi uten ekstra kapasitans ved ulike søvn periode tider

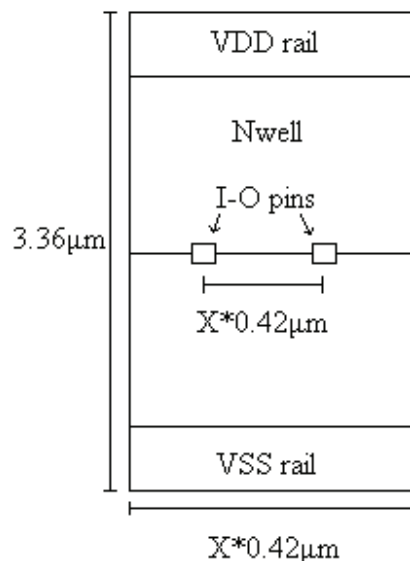
Søvn periode tid [ms]	0.4	0.5	0.6	0.7	0.8
Høy utspenning med 1.2V driftspenning [V]	1.12	1.03	0.92	0.76	0.61

### 3.9 Utlegg

Her vil krets utlegget til de ulike krets løsningene bli presentert. En generell endring ved kretsene fra slik de ble simulert vil nå være at søvntransistorene ikke vil inngå som en del av standard cellen. Dette skyldes at det ikke er praktisk og ha flere driftspenning skinner i utlegget på grunn av begrenset høyde på standardcellen. Den vanligste løsningen er å bruke et globalt sett av søvntransistorer som slår av driftspenningen til alle kretser tilknyttet den aktuelle driftspenning skinnen. Driftspenningen til de deler av kretsene som alltid skal være på blir rutet utenom standardcellens faste driftspenning skinner.

#### 3.9.1 Standardcelle dimensjoner

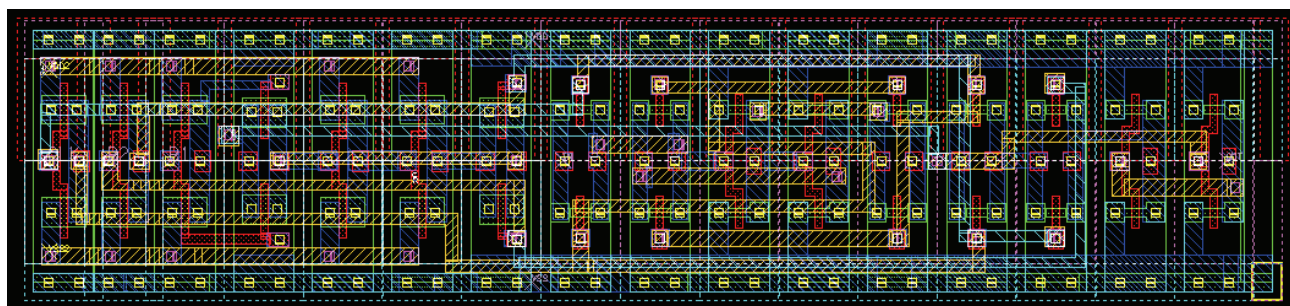
Standardcella som utleggene skal lages i følger bestemte regler for størrelse og plassering slik at en ferdig standardcelle kan brukes og plasseres automatisk. Standardcella har en pitch på  $0.42\mu\text{m}$ , noe som innebærer at alle andre dimensjoner må være et helt antall ganger pitch størrelsen. Høyden på cella er fastsatt til 8 ganger pitch som er  $3.36\mu\text{m}$ . Bredden på cella styres fritt med tanke på antall pitch bredde, kontakt punkter inn og ut av cella må ligge på grid med avstand lik pitch mellom punktene i alle retninger. Figur 3.8.1 illustrerer reglene for standardcella. Vanligvis vil all signal ruting foretas i metall 1 og poly, dette lar seg ikke gjøre for de standardceller som her skal lages. Derfor er det ukonvensjonelt for standardceller brukt metall 2 og 3 til ruting der det er nødvendig. Dette vil begrense fri bruk av disse metall lagene til ruting på toppnivå i de deler av et system der disse standardcellen brukes. Videre er driftspenningen til de deler av kretsene som alltid skal være på rutet som signaler utenom standardcellens faste forsyningsskinner.



Figur 3.9.1 Standardcelle dimensjoner.

### 3.9.2 Balloon utlegg

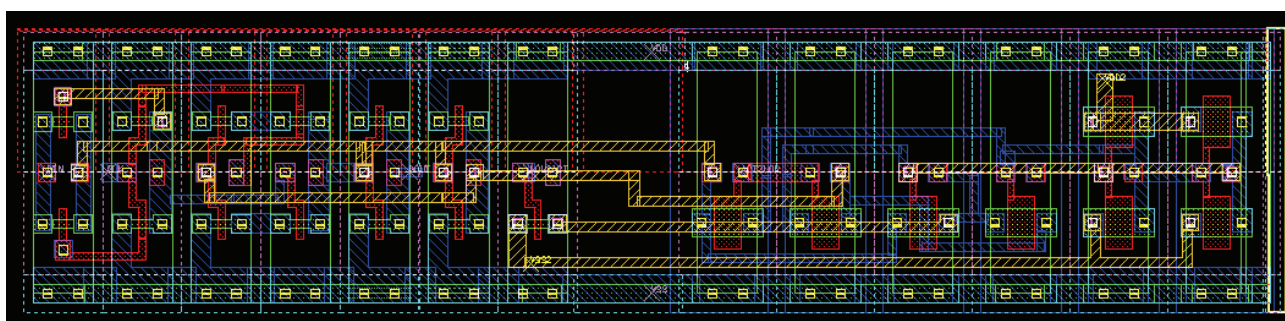
Balloon utlegget består av 32 transistorer og har et areal på  $57.86\mu\text{m}^2$ . Alle innganger og utganger fra cella har muligheter for å plassere nye via på for å kunne rute i høyere metall lag. Ruting internt i cella er hovedsaklig gjort i metall1 og metall2 med noen få baner i metall3, slik at innganger og utganger kan alle nås med ekstern ruting ved å bruke metall2 og metall3 lag. Utlegget tilfredsstill alle absolutte designregler (DRC). Bredden på normalterskelspennings transistorer er satt til minste tillate, her anbefales det å bruke noe større noe som gjør at utlegget av dem unngår hundebein struktur, dette er gjort for å få minst mulig lekkasjestrøm. Utlegget er testet mot skjematetegningen, Layout versus schematic (LVS) test, denne er også bestått. Figur 3.9.1 viser bilde av utlegget.



Figur 3.9.2 Balloon standardcelle

### 3.9.3 Tykk gate utlegg

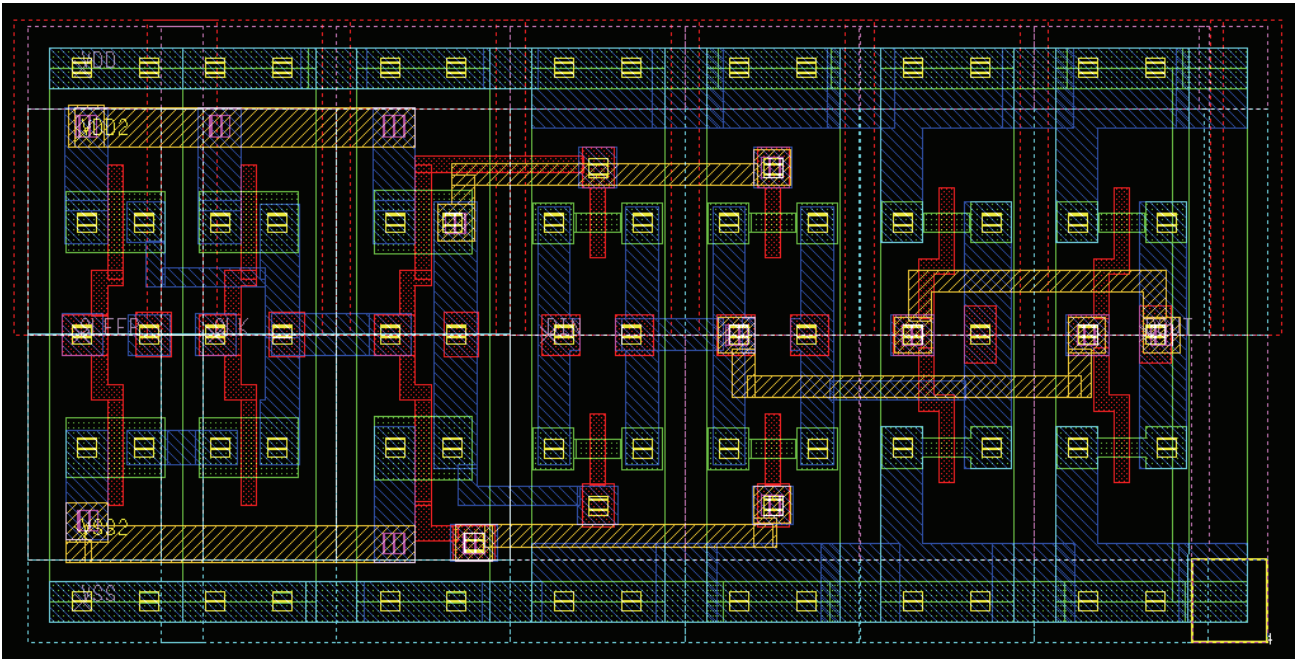
Tykk gate utlegget består av 21 transistorer der 13 er tykk gate transistorer. Denne cella har også flertall av n kanals transistorer, 7 av tykkgate transistorene og 6 av normal transistorene. Cella har et areal på  $57.86\mu\text{m}^2$ , likt som for Balloon utlegg. Ruting internt i tykk gate cella er begrenset til metall 1 og metall2. Utlegget tilfredsstill DRC krav og består LVS test. Figur 3.9.3 viser bildet av utlegget.



Figur 3.9.3 Tykk gate standardcelle

### 3.9.4 Krysskobla inverter utlegg

Krysskobla inverter utlegget består av 14 transistorer hvorav 6 er høy terskelspennings transistorer. Arealet er  $25.40\mu\text{m}^2$ . Ruting internt i cella er begrenset til metall lag 1 og 2. Utlegget tilfredsstiller DRC krav og består LVS test. Figur 3.9.4 viser bilde av utlegget.



Figur 3.9.4 Krysskobla inverter standardcelle

### 3.9.5 Mangler ved standardcellene

En kjent svakhet ved de produserte standardcellene gjelder plasseringen av kontakter langs forsynings skinner. Disse må plasseres på en  $0.42\mu\text{m}$  grid fordelt langs hele bredden av cella, dette er ikke riktig for cellene slik de er nå. Grunnen til at denne feilen er oppstått er at standardcellene er hierarkisk oppbygget der hver av undercellene er laget med disse kontaktene på riktig grid. Når underceller har blitt satt sammen var det ikke mulig å plassere disse så tett at kontaktene lå på riktig grid. Problemet dersom disse ikke ligger på riktig grid vises først når flere standard celler slås sammen og kontaktene fra de ulike celler forsynings skinner ikke overlapper hverandre. Den enkleste måten å fikse denne feilen på vil være å flate ut standardcellens hierarki og deretter flytte kontaktene på forsynings skinnene slik at de ligger på riktig grid. Grunnen til at feilen ikke er rettet opp er ønske om å beholde cellens hierarki slik at det vil være enklere å gjøre fremtidige endringer på for eksempel transistor størrelser og inkludering av lekkasje reduksjons teknikker.

### 3.10 Sammenligning av oppnådde egenskaper

En sammenligning av de oppnådde egenskaper vises i tabell 3.10.1. Resultatene viser at krysskobla invertere krets har betydelig mindre lekkasjestrøm i aktiv modus enn de to andre kretsene. For søvnmodus har krysskobla invertere kretsen noe mer typisk lekkasjestrøm enn tykk gate krets, men den har mindre maks lekkasjestrøm. Arealmessig er også krysskobla inverter kretsen å foretrekke i tillegg krever den ikke noen ekstra kontroll signaler.

Tabell 3.10.1 Sammenlikning av oppnådde egenskaper

Krets	Balloon	Tykk gate	Krysskobla invertere
Aktivmodus lekkasjestrøm typisk [A]	365p	302p	181p
Aktivmodus lekkasjestrøm min-maks [A]	27p - 190n	14p - 204n	16.4p - 65n
Søvnmodus lekkasjestrøm typisk [A]	60p	42p	48.4p
Søvnmodus lekkasjestrøm min-maks [A]	13p - 17.5n	5p - 34.5n	7.95p - 30.5n
LRR typisk	6.14	3.94	3.85
LRR min-maks	1.78 - 38.6	1.23 - 2490	1.25 – 26.1
Areal [ $\mu\text{m}^2$ ]	57.86	57.86	25.40
Ekstra kontrollsignaler utenom sleep signal	2	2	0

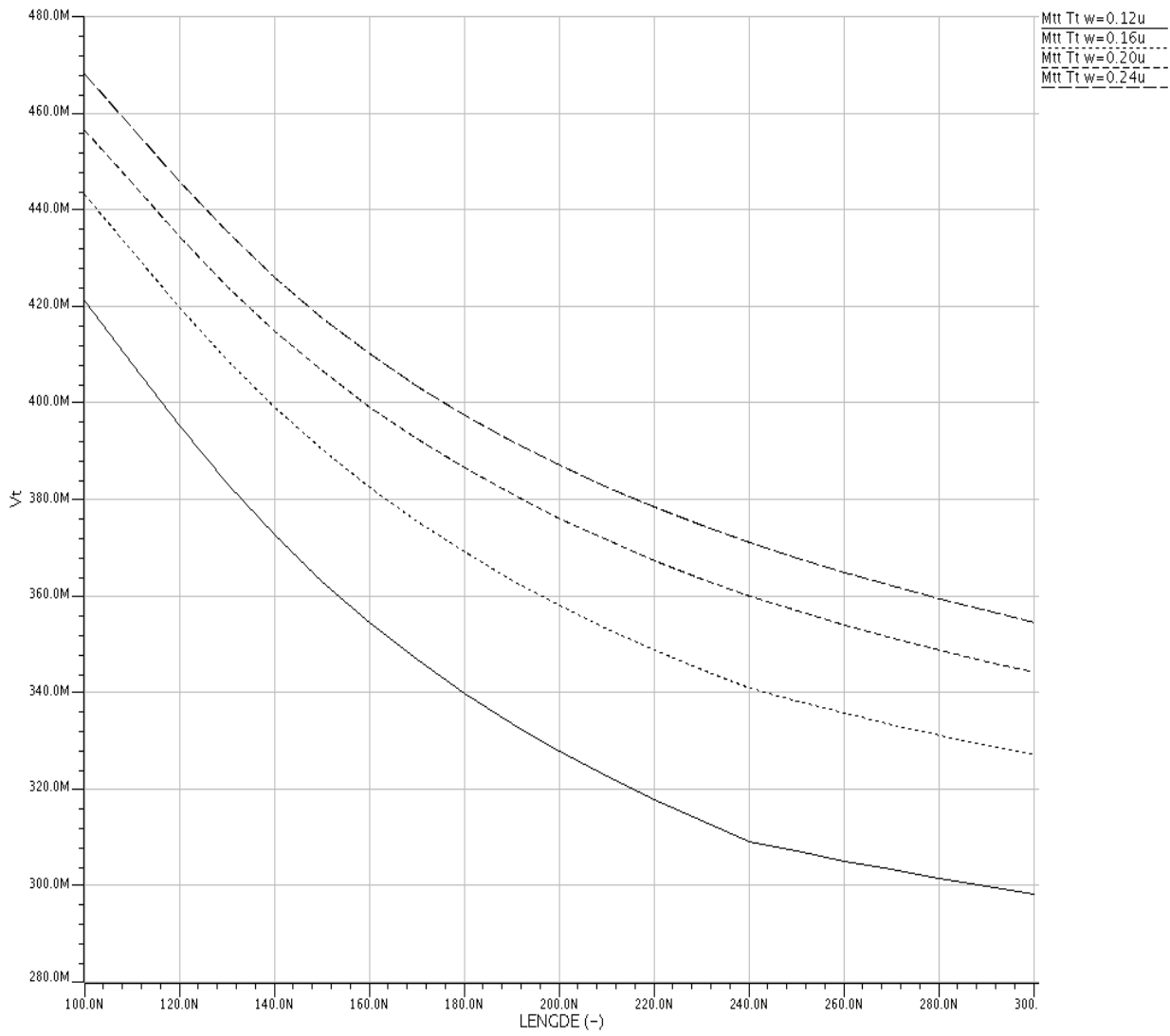
### **3.11 Praktisk bruk av standardceller**

Praktisk bruk av standardcellene vil vanligvis innebære bruk av global søvntransistor. For Balloon og Tykkgate cellene vil ikke dette medføre noen begrensninger med tanke på antall celler pr søvntransistor areal. Effekten på lekkasjestrømmer vil være mindre lekkasjestrøm for hver celle til flere celler som brukes pr søvntransistor. Dette vil også medføre endringer i de ulike tidsforsinkelser forbundet med bruk, derfor bør en celle sine egenskaper testes under de forhold som råder ved et bestemt bruk av den. Krysskobla inverter cella vil være avhengig av en viss lekkasjestrøm pr celle for å opprettholde sin verdi i søvnmodus. Ved praktisk bruk innebærer dette at det vil kunne kobles et begrenset antall celler pr søvntransistor areal. For simulering av denne kretsen er det brukt en høy terskelspenning transistor som søvntransistor for å kunne begrense søvnmodus lekkasjestrømmen ned mot minimum for en celle. For praktisk bruk er det gjort simuleringer for å se hvor mange krysskobla inverter celler som kan kobles til en minimums størrelse normal terskelspenning transistor. Dette er gjort ved å koble 16 celler til en søvntransistor og ut fra resultatene kan det slutes hvor mange celler som maksimalt er mulig. Resultatet ble en typisk søvnmodus lekkasjestrøm pr celle på 116pA. Når det fra tidligere er funnet at en celle behøver typisk 48.4pA vil det si at en minimums størrelse normal terskelspennings transistor har stor nok lekkasjestrøm til å brukes med 16 celler\*  $(116/48.4) = 38.3$  celler. Denne begrensningen er funnet ut fra typiske modeller så det må regnes med at det kan finnes prosesshjørner der denne kan være noe lavere. Det likevel trolig ikke være stor forskjell på typisk begrensning og absolutt begrensning, basert på at simulering med enkel celle fungerer på alle prosesshjørner med en minimum lekkasjestrøm i typisk tilfelle. Dersom det for et bruk trengs færre celler en dette vil det lønne seg å bruke en høy terskelspenning søvntransistor hvor den nødvendige størrelsen må finnes ved simulering.

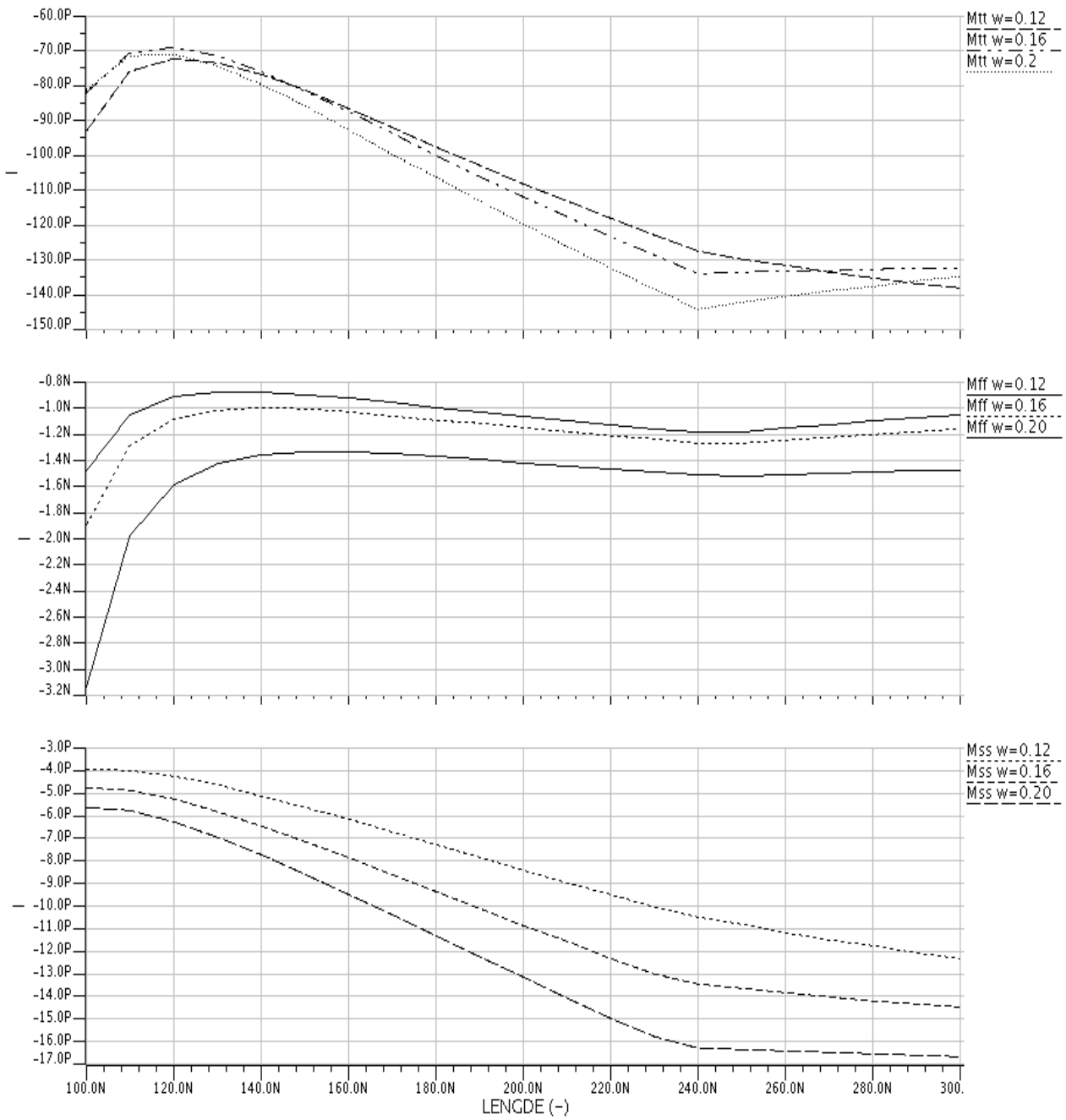
### **3.12 Mulig optimalisering av lekkasjestrømmer**

Det ble på slutten av prosjektiden oppdaget at lekkasjestrømmer ikke har en enkel sammenheng med størrelse når transistorer med størrelser ned mot minimum brukes. Noe som trolig skyldes at terskelspenningen øker med bredden for transistor bredder nær minimum. Denne avhengigheten av terskelspenningen på bredden er større ved raske transistor modeller [9]. Figur 3.12.1 viser variasjonen i terskelspenning ved typiske transistor modeller for størrelser nær minimum. Dette medfører at det ikke er garantert at minimums størrelse transistorer gir minst mulig lekkasjestrøm. Enkle simuleringer for lekkasjestrømmen til en inverter med varierende transistor størrelser er foretatt. Resultatene tyder på at det er mulig å redusere lekkasjestrømmen for typisk tilfelle med cirka 25 % ved å øke transistor lengden med 40nm og bredden med 20nm. Enda større er bedringen av maksimal lekkasjestrøm som vil halvere seg ved å gjøre disse endringene. Figur 3.12.2 viser endringen i lekkasjestrømmer med størrelse for typisk, raske og trege transistor modeller med typisk temperatur. Figur 3.12.3 viser tilsvarende, men med høy temperatur.

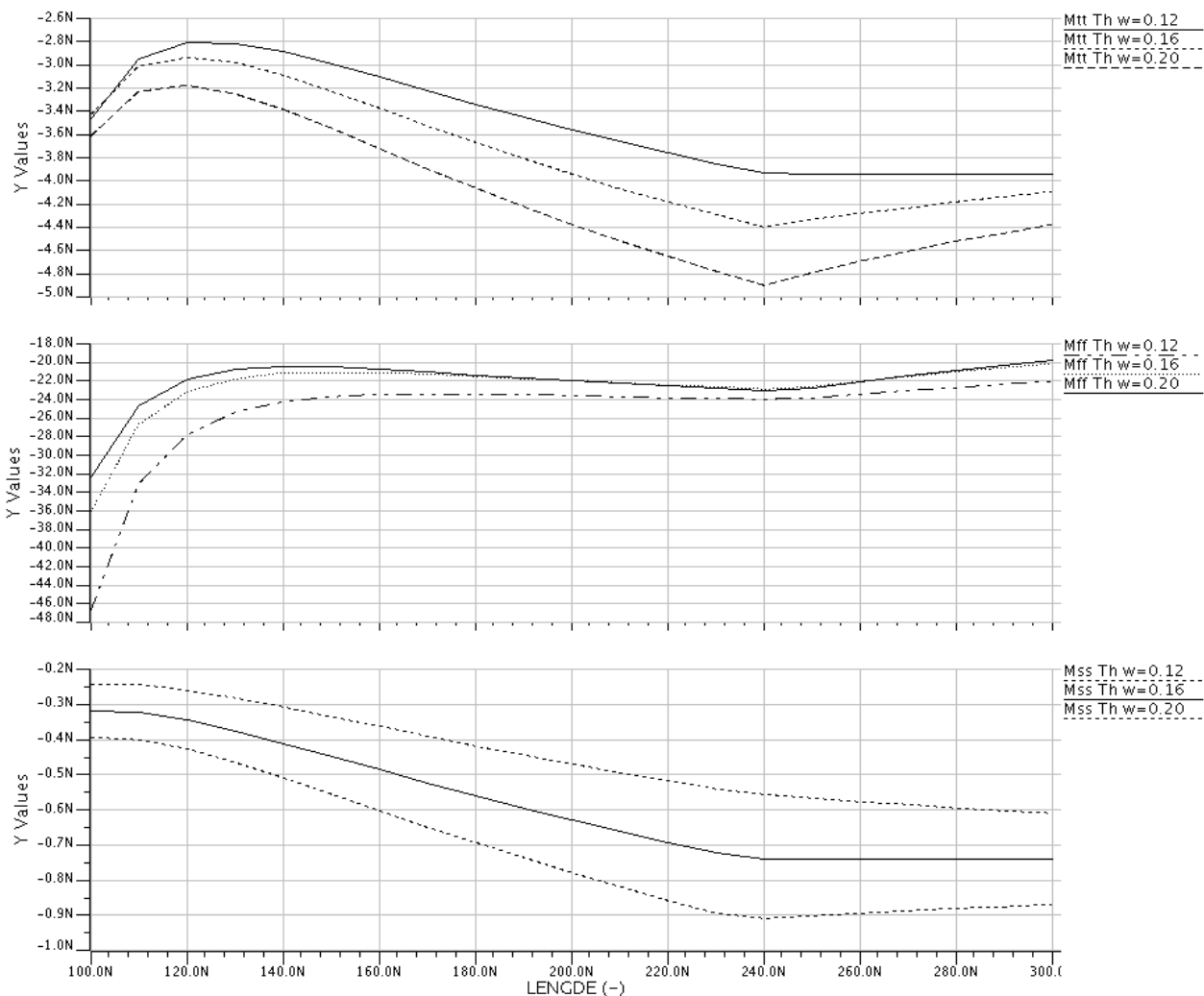




Figur 3.12.1 Terskelspanning for Nmos typiske modeller størrelser nær minimum



Figur 3.12.2 Lekkasjestrømmer til inverter med varierende transistor størrelser



Figur 3.12.3 Lekkasjestrømmer til inverter med varierende transistor størrelser og høy temperatur.

Betydningen av dette for de produserte kretsene vil være at det er mulig å minske lekkasjestrømmen for kretsene Balloon og tykk gate. Spesielt ser det ut til å være mulig å redusere den maksimale lekkasjestrømmen betydelig. Hvilken endring som gjøres ser ut til å være en tradeoff mellom lekkasjestrømmer ved de ulike prosesshjørner. Reduksjon av den maksimale lekkasjestrømmen vil føre til økning av den minimale lekkasjestrømmen. En enkel forbedring kan gjøres ved å øke størrelsen på søvntransistoren med 40nm på lengden og 40nm på bredden fra minimum, dette vil begrense lekkasjestrømmen så det vil for så vidt ikke være nødvendig med noen endringer i selve standardcelle utlegget. Besparelsen i lekkasjestrøm vil bli enda større dersom flere celler brukes til hver søvntransistor. Dersom balloon og tykkgate cellene blir brukt med en søvntransistor som ikke virker som den begrensende faktoren på lekkasjestrømmen vil størrelser på enkelt transistorer inne i standardcellene måtte optimaliseres for å oppnå minste mulige lekkasjestrøm. For krysskobla inverter kretsen vil ikke dette ha noen betydning for hvilket resultat som er mulig å oppnå siden denne er basert på den minimale nødvendige lekkasjestrøm som opprettholder verdi. Det som allikevel vil kunne forandre seg med optimalisering av størrelser i krysskobla inverter cella er størrelsen på den nødvendige lekkasjestrømmen for å opprettholde verdi i søvnmodus.

### 3.13 Diskusjon

For søvnmodus tider i størrelsesorden 50m-2s kan det ut fra simulerings resultatene vises at en statisk retention latch løsning er den mest hensiktsmessige. En dynamisk retention latch vil ikke oppnå en retention tid på 2 sekunder uten stort overhead på kretsarealet som skyldes størrelsen på den nødvendige kapasitansen. Det kan i tillegg nevnes at den brukte prosessteknologien ikke har gode muligheter for å lage kapasitanser, blant annet ingen MIM kapasitanser. Løsninger med ulike refresh systemer kan gjøre at kretsen kan brukes med den retention tiden som tillates ut fra parasittiske kapasitanser allerede tilstede i kretsen. De ekstra kretselementer som ville vært nødvendig for å lage et slikt refresh system ville medført ekstra lekkasjestrøm og sann sett forårsaket dårligere energi effektivitet for kretsen. Bruken av dynamiske retention kretser ser ut til å være mest aktuelt for kortere retention tider enn det som kreves her.

For å avgjøre hva som er mest hensiktsmessig av statiske retention latches og et scan kjede system må strømforbruket i søvnmodus sammenlignes. Et scan kjede system vil typisk ha et større strømforbruk i den perioden som brukes for å lagre unna alle verdier i systemet. Den effekten som brukes på dette sammenlignes med den effekten et tilsvarende system med statiske retention latches ville brukt for en gitt søvn periode tid. Når systemene er sammenlignet vil det kunne bestemmes en maksimal tid hvor det er hensiktsmessig å bruke statiske retention latches, over denne tiden vil scan kjede systemet være det mest energi effektive. Eksempelvis kan det tenkes et scan kjede retention system som bruker en mikroprosessor for å lagre unna verdiene i 50 8 bits registre. Den bruker 10 klokker pr 8 bits register og har ved klokkefrekvensen 16MHz et strømtrekk på 6mA. Mikroprosessen vil nå trekke 6mA i tiden  $(50 \text{ registre} * 10 \text{ klokker}) / 16\text{MHz}$  som er  $31.3\mu\text{s}$  på å lagre unna verdiene. Forutsettes samme drifts spenning på de to systemene kan strøm trekk ganger tid sammenlignes, for scan kjede system  $(31.3\mu\text{s} * 6\text{mA})$  som er 188n. For tilsvarende system bestående av 450 krysskobla invertere statiske retention latches vil de i typisk tilfelle ha  $450 * 48.4\text{pA} = 21.8\text{nA}$  total lekkasjestrøm i søvnmodus. Deler nå 188n på 21.8n og får tiden 8.6 sekunder, for søvn perioder mindre enn denne tiden vil det lønne seg å bruke et statisk retention system basert på krysskobla invertere retention latches.

Alle simulerings resultater er funnet med kretser som inneholder søvntransistorer. For balloon og tykk gate kretsene har søvntransistorer vært brukt med minimum størrelse noe som begrenser den totale lekkasjestrømmen. For krysskobla invertere kretsen er søvntransistoren satt til den minimale størrelse som gir nok lekkasje til at kretsen fungerer. Ved utlegg av kretsene ble det klart at egne søvntransistorer for hver enkelt standardcelle ikke er praktisk med tanke på standardcelle utlegg. Dette medførte at standardcelle utleggene for kretsene ikke har med søvntransistorer, men baserer seg på at disse skal være tilgjengelige globalt. Da vil alle celler koblet til dette spennings domene styres inn og ut av søvnmodus sammen. Lekkasjestrømmene til den enkelte standardcelle blir dermed avhengig av lekkasjestrømmen gjennom den globale søvntransistoren. For krysskobla inverter kretsen er hver celle minimum nødt til å ha en lekkasjestrøm lik den som her er funnet ved simulering for å fungere.

Lekkasje reduksjons forholdet (LRR) som her er funnet for kretsene representere et minimum, siden alle kretser er designet med tanke på minimum lekkasjestrøm. Dersom transistorer i den aktive delen av kretsen gjøres større, for å øke driver styrken til kretsen, vil også lekkasjestrømmen i den aktive delen av kretsen øke. Holdes nå størrelsene på transistorer i søvn delen av kretsen og søvntransistoren lik som tidligere vil lekkasje reduksjons forholdet øke. Dette viser at LRR i seg selv ikke er en god måte å vurdere retention latches mot hverandre på, det må alltid sees i forhold til størrelser på lekkasjestrømmer.

Fra sammenligningen av de oppnådde egenskaper ser krysskobla inverter kretsen ut til å være den best egna kretsen for bruksformålet. Dette på grunnlag av at den har de minste lekkasjestrømmene i aktivmodus, mindre areal og ingen behov for ekstra kontrollsignaler. Denne kretsen vil allikevel til forskjell fra de andre måtte ha sleep signalet direkte inn til cellen for å styre gating av inn signal under søvnmodus. For søvnmodus har den typisk 6.4pA større lekkasjestrøm enn tykk gate krets, men har mindre maks lekkasjestrøm med hensyn på alle prosesshjørner.

Utleget av kretsene blir gjort noe større enn optimalt på grunn av at normal terskelspenning transistorer er valgt til å ha minimum bredde. Dersom denne bredden hadde blitt valgt til minimum anbefalte bredde, denne er noe større og ville sann sett ført til en økning i aktiv modus lekkasjestrøm, ville "hundebain" strukturen på disse transistorene blitt unngått. Dette ville gjort at de delene som består av normal terskelspenning transistorer kunne blitt pakket tettere sammen og bredden på hele standard celle ville blitt redusert. Besparelsen i celle bredde ville vært i størrelses orden 0.26 $\mu$ m for hvert N og P transistor par som ikke ligger på cellens ytterkant.

Dersom det ønskes større driverstyrke til latchene er det i standardcellene mulig å øke de nødvendige transistor størrelser til en viss grad uten å måtte gjøre standardcelle arealet større.

## 4. Konklusjon

Den best egna hovedtypen av retention latch for søvnmodus perioder i størrelsesorden 50ms-2s for 90nm TSMC teknologi er statiske retention latch. Tre ulike kretser for statisk retention latch er simulert og realisert som 90nm standardceller. Utleppet av kretsene tilfredsstillende alle harde design regler til TSMC 90nm prosesseteknologi. En anbefalt regel brytes, denne gjelder bredde på normal terskelspenning transistorer. Minste tillatte bredde er brukt for å få minst mulig lekkasjestrøm. Dersom anbefalt minste bredde hadde blitt brukt ville standard celle utlegget kunne vært pakket noe tettere sammen, på grunn av at normal terskel transistorer ikke hadde behovd å bli lagt ut med "hundebain" konfigurasjon. Alle standardcelle utlegg er testet at stemmer overens med tilsvarende skjemattegning. Ved bruk av standardcellen må plassering av kontakter på forsynings skinner justeres slik at de ligger på riktig 0.42 $\mu$ m grid.

Best resultater oppnås med krysskobla invertere krets som baserer seg på lekkasje i søvntransistor for å holde på retention verdi i søvnmodus. Denne kretsen har en lekkasjestrøm i aktivmodus på typisk 181pA, med transistor modell variasjon, spenning og temperatur ytterpunkter variere lekkasjestrømmen fra 16.4pA til 65nA. For søvnmodus er lekkasjestrømmen typisk 48.4pA noe som gir et lekkasje reduksjons forhold på typisk 3.85 ganger. Søvnmodus lekkasjestrømmen varierer med parameter hjørner fra 7.95pA til 30.5nA. Standardcellen for denne kretsen har et areal på 25.40  $\mu$ m<sup>2</sup>. Den behøver ingen kontrollsignaler for å styre inngang og utgang fra søvnmodus, men behøver å ha sleep signalet rutet direkte til celle. Ulempen med denne cella er at den er avhengig av å ha nok lekkasjestrøm i søvnmodus til at verdien opprettholdes noe som begrenser antall celler som kan brukes for en bestemt størrelse søvntransistor.

For tykk gate kretsen oppnås den beste typiske søvnmodus lekkasjestrømmen, denne er 6.4pA mindre enn tilsvarende for krysskobla inverter krets. Den har med prosessvariasjoner likevel tilfeller med større søvn lekkasjestrøm enn krysskobla inverter krets. Når den i tillegg har opp mot dobbel så stor lekkasjestrøm i aktiv modus, større areal og flere kontrollsignaler enn krysskobla inverter krets begynner den å bli for dårlig til å være et første valg. Det som allikevel kan tale for bruk av denne kretsen er at den ikke er avhengig av å ha en bestemt lekkasje i søvnmodus for å fungere og at lekkasjestrømmen pr celle kan minkes ved å bruke en liten søvntransistor til flere celler. Denne løsningen med bruk av tykk gate oksid transistorer kan for fremtidige prosesseteknologier bli det beste valget. Når gate oksid tykkelsen skaleres ned for vanlige transistorer vil lekkasjestrømmen i enda større grad skyldes gate lekkasje og fordelen ved å bruke tykk gate oksid transistorer vil kunne bli større.

Kretsene kan ha potensial til videre forbedringer i energieffektiviteten ved å finne egna lekkasje reduksjons teknikker som kan implementeres. Kretsene bør også oppdateres med tanke på optimalisering av lekkasjestrømmer slik som beskrevet i kapitel 3.12, dette ble ikke gjort under prosjektiden da det ble oppdaget for nær innlevering. Det vil også være viktig å simulere standardcellenes egenskaper under de forhold som vil gjelde under et bestemt bruk av dem.

## 5. Vedlegg

Vedlegg A. Simulerings resultater balloon latch

Vedlegg B. Simulerings resultater tykk gate latch

Vedlegg C. Simulerings resultater krysskobla inverter latch

## 6. Referanse liste

- [1] Dynamic State-Retention Flip-Flop for Fine-Grained Power Gating With Small Design and Power Overhead: Stephan Henzler, Georg Gergakos, Matthias Eireiner, Thomas Nirschl, Christian Pacha, Joerg Berthold and Doris Schmitt-Landsiedel [2006]
- [2] Ultra-Low Power Flip-Flops for MTCMOS Circuits: David Lecacq, Vincent Dessard and Denis Flandre [2005]
- [3] Design and Technology of Fine-Grained Sleep Transistor Circuits in Ultra-Deep Sub-Micron CMOS Technologies: Stephan Henzler, Thomas Nirschl, Jörg Berthold, Georg Gerorgakos and Doris Schmitt-Landsiedel [2005]
- [4] Data-Retention Flip-Flops for Power-Down Applications: Hamid Mahmoodi-Meimand and Kaushik Roy [2004]
- [5] Low Standby Power State Storage for Sub-130-nm Technologies: Lawrence T. Clark, Franco Ricci and Manish Biyani [2005]
- [6] A 1-V High-Speed MTCMOS Circuit Scheme for Power-Down Application Circuits: Satoshi Shigematsu, Shin'ichiro Mutoh, Yasuyuki Matsuya, Yatsuyuki Tanabe and Junzo Yamada [1997]
- [7] Analog Integrated Circuit Design: David A. Johns and Ken Martin [1997]
- [8] Analysis of Leakage Currents and Impact on Off-State Power Consumption for CMOS Technology in the 100-nm Regime: W. Kirklen Henson, Nian Yang, Stefan Kubicek, Eric M. Vogel, Jimmie J. Worthman, Kristen De Meyer and Abdalla Naem [2000]
- [9] Epost korrespondanse med professor Trond Ytterdal, NTNU institutt for elektronikk og telekommunikasjon

## Vedlegg A Simuleringsresultater Balloon latch

Her presenteres komplette simuleringsresultater for balloon latch kretsen.

### A1. Lekkasjestrømmer

Lekkasjestrømmer er simulert ved alle prosesshjørner og resultater er presentert i figur 1. Lekkasjestrømmene i både aktiv og søvn modus er funnet for to ulike tilfeller, med klokke og inngangsverdi lik 1 og det andre tilfellet med disse verdiene lik 0. Lekkasje reduksjons forholdet LRR\_0 er forholdet mellom lekkasje strømmer i aktiv og søvn modus med klokke og inngangsverdi lik 0. Tilsvarende er LRR\_1 forholdet mellom disse verdier med klokke og inngangsverdi lik 1.

1	case	I_leak_active (Clk='1',DIN='1')	I_leak_active(Clk='0',DIN='0')	I_leak_sleep(Clk='1',DIN='1')	I_leak_sleep(Clk='0', DIN='0')	LRR_0	LRR_1
2	Mtt Tt Vd12	3.05E-10	4.25E-10	6.19E-11	5.77E-11	7.35E+00	4.92E+00
3	Mtt Th Vd12	1.12E-08	1.59E-08	3.32E-09	2.96E-09	5.37E+00	3.38E+00
4	Mtt TI Vd12	4.71E-11	4.86E-11	2.33E-11	2.32E-11	2.10E+00	2.02E+00
5	Mtt Tt Vd13	3.38E-10	4.68E-10	7.11E-11	6.66E-11	7.03E+00	4.75E+00
6	Mtt Th Vd13	1.20E-08	1.71E-08	3.55E-09	3.17E-09	5.39E+00	3.39E+00
7	Mtt TI Vd13	5.64E-11	5.78E-11	2.88E-11	2.84E-11	2.04E+00	1.96E+00
8	Mtt Tt Vd10	2.48E-10	3.48E-10	4.80E-11	4.44E-11	7.82E+00	5.17E+00
9	Mtt Th Vd10	9.67E-09	1.37E-08	2.89E-09	2.58E-09	5.31E+00	3.35E+00
10	Mtt TI Vd10	3.40E-11	3.55E-11	1.58E-11	1.59E-11	2.23E+00	2.15E+00
11	Mff Tt Vd12	7.73E-09	1.11E-08	3.44E-10	2.97E-10	3.75E+01	2.25E+01
12	Mff Th Vd12	1.20E-07	1.75E-07	1.62E-08	1.44E-08	1.22E+01	7.39E+00
13	Mff TI Vd12	4.28E-10	6.12E-10	3.82E-11	3.77E-11	1.62E+01	1.12E+01
14	Mff Tt Vd13	8.59E-09	1.28E-08	3.83E-10	3.33E-10	3.83E+01	2.24E+01
15	Mff Th Vd13	1.30E-07	1.90E-07	1.75E-08	1.55E-08	1.22E+01	7.45E+00
16	Mff TI Vd13	4.94E-10	7.02E-10	4.85E-11	4.80E-11	1.46E+01	1.02E+01
17	Mff Tt Vd10	8.18E-10	9.19E-09	2.79E-10	2.38E-10	3.86E+01	2.22E+00
18	Mff Th Vd10	1.00E-07	1.46E-07	1.39E-08	1.23E-08	1.19E+01	7.23E+00
19	Mff TI Vd10	3.20E-10	4.60E-10	2.45E-11	2.41E-11	1.91E+01	1.31E+01
20	Mss Tt Vd12	4.90E-11	5.32E-11	2.44E-11	2.40E-11	2.22E+00	2.01E+00
21	Mss Th Vd12	1.31E-09	1.70E-09	7.36E-10	6.64E-10	2.57E+00	1.79E+00
22	Mss TI Vd12	3.59E-11	3.57E-11	1.79E-11	1.80E-11	1.98E+00	2.00E+00
23	Mss Tt Vd13	5.59E-11	6.02E-11	2.86E-11	2.80E-11	2.15E+00	1.96E+00
24	Mss Th Vd13	1.39E-09	1.80E-09	7.81E-10	7.04E-10	2.56E+00	1.78E+00
25	Mss TI Vd13	4.15E-11	4.11E-11	2.12E-11	2.12E-11	1.94E+00	1.95E+00
26	Mss Tt Vd10	3.83E-11	4.20E-11	1.83E-11	1.81E-11	2.33E+00	2.10E+00
27	Mss Th Vd10	1.17E-09	1.51E-09	6.52E-10	5.87E-10	2.56E+00	1.79E+00
28	Mss TI Vd10	2.73E-11	2.74E-11	1.31E-11	1.33E-11	2.06E+00	2.09E+00
29	Mfs Tt Vd12	2.71E-09	4.03E-09	1.51E-10	1.48E-10	2.72E+01	1.79E+01
30	Mfs Th Vd12	5.30E-08	7.89E-08	8.36E-09	7.63E-09	1.03E+01	6.34E+00
31	Mfs TI Vd12	1.41E-10	1.88E-10	2.51E-11	2.63E-11	7.15E+00	5.60E+00
32	Mfs Tt Vd13	2.96E-09	4.40E-09	1.70E-10	1.68E-10	2.65E+01	1.74E+01
33	Mfs Th Vd13	5.69E-08	8.47E-08	9.03E-09	8.22E-09	1.03E+01	6.30E+00
34	Mfs TI Vd13	1.61E-10	2.13E-10	3.13E-11	3.25E-11	6.56E+00	5.15E+00
35	Mfs Tt Vd10	2.23E-09	3.33E-09	1.20E-10	1.19E-10	2.81E+01	1.87E+01
36	Mfs Th Vd10	4.53E-08	6.74E-08	7.09E-09	6.53E-09	1.03E+01	6.38E+00
37	Mfs TI Vd10	1.08E-10	1.46E-10	1.68E-11	1.78E-11	8.20E+00	6.41E+00
38	Msf Tt Vd12	6.24E-10	8.80E-10	7.05E-11	5.96E-11	1.48E+01	8.86E+00
39	Msf Th Vd12	1.35E-08	1.80E-08	3.23E-09	2.72E-09	6.62E+00	4.19E+00
40	Msf TI Vd12	6.36E-11	7.40E-11	2.34E-11	2.23E-11	3.32E+00	2.72E+00
41	Msf Tt Vd13	7.00E-10	9.87E-10	7.98E-11	6.77E-11	1.46E+01	8.78E+00
42	Msf Th Vd13	1.47E-08	1.96E-08	3.43E-09	2.90E-09	6.75E+00	4.28E+00
43	Msf TI Vd13	7.47E-11	8.65E-11	2.85E-11	2.70E-11	3.20E+00	2.62E+00
44	Msf Tt Vd10	4.93E-10	6.95E-10	5.61E-11	4.70E-11	1.48E+01	8.79E+00
45	Msf Th Vd10	1.14E-08	1.51E-08	2.86E-09	2.39E-09	6.33E+00	4.00E+00
46	Msf TI Vd10	4.67E-11	5.48E-11	1.62E-11	1.56E-11	3.51E+00	2.89E+00
47							
48	Max	1.30E-07	1.90E-07	1.75E-08	1.55E-08	3.86E+01	2.25E+01
49	Mean	1.36E-08	2.00E-08	2.13E-09	1.90E-09	1.05E+01	6.43E+00
50	Min	2.73E-11	2.74E-11	1.31E-11	1.33E-11	1.94E+00	1.78E+00

Figur 1 Lekkasjestrømmer balloon latch



## A2. Tidsforsinkelser

Tabellene under gjengir tidsforsinkelser for klokke til gyldig utgang og for utgang av søvn modus til gyldig utgangsverdi hentet fra balloon latch. Disse tidsforsinkelser er oppgitt fra 50 % til 50 % av fullsving endring for de aktuelle signaler. Det er ingen tidsforsinkelse ved skriving til balloon latch ved inngang til søvnmodus grunnet endringen i bruken av kontroll signal B1, dette er aktivt så lenge kretsen er i aktivmodus.

Tabell 1 Klokke til utgangsverdi forsinkelser

Tilfelle	Klokke til utgangsverdi forsinkelse [ps]			
	Temp	Tt	Th	Tl
Mtt Vd12		225	211	239
Mtt Vd13		186	178	194
Mtt Vd10		341	305	373
Mff Vd12		141	127	154
Mff Vd13		113	105	122
Mff Vd10		223	189	252
MssVd12		334	317	349
Mss Vd13		278	270	287
Mss Vd10		501	456	531
Mfs Vd12		176	103	198
Mfs Vd13		139	121	153
Mfs Vd10		286	230	327
Msf Vd12		272	266	283
Msf Vd13		229	230	234
Msf Vd10		401	371	428

Tabell 2 Ut av søvn modus til utgang gyldig forsinkelse

Tilfelle	Søvn.ut til gyldig utgangsverdi [ps]			
	Temp	Tt	Th	Tl
Mtt Vd12		35	34	33
Mtt Vd13		30	30	29
Mtt Vd10		48	50	37
Mff Vd12		23	21	21
Mff Vd13		20	18	18
Mff Vd10		34	31	33
MssVd12		46	44	43
Mss Vd13		40	41	34
Mss Vd10		58	69	67
Mfs Vd12		41	28	39
Mfs Vd13		35	22	34
Mfs Vd10		34	43	60
Msf Vd12		30	26	26
Msf Vd13		24	23	24
Msf Vd10		40	39	33

## Vedlegg B Simuleringsresultater tykkgate latch

Dette vedlegget presenterer komplette simulerings resultater av simuleringene gjort for tykkgate latch krets. For disse simuleringene vil det være 225 hjørne tilfeller på grunn av egen transistor modell for tykkgate transistorer.

### B1. Lekkasjestrømmer

Lekkasjestrømmer er funnet for alle hjørne tilfeller og de etterfølgende figurer gjengir resultatene for alle disse. Det er tatt to ulike lekkasjestrøms målinger i både aktiv og søvnmodus, en måling hvor klokke og inngangsverdi er lik 1 og den andre målingen hvor disse er 0. lekkasje reduksjons forholdet LRR\_0 er forholdet mellom lekkasjestrømmene i aktiv og søvnmodus for målinger gjort med klokke og inngangsverdi lik 0. LRR\_1 er tilsvarende forhold for verdier med klokke og inngangsverdi lik 1.

	I_leak_active (Clk='1',DIN='1')	I_leak_active(Clk='0',DIN='0')	I_leak_sleep(Clk='1',DIN='1')	I_leak_sleep(Clk='0',DIN='0')	LRR_0	LRR_1
1	<b>M3tt Cases</b>					
2	Mtt Tt Vd12	1.78E-10	4.28E-10	7.72E-11	7.64E-12	5.57E+01 2.30E+00
3	Mtt Th Vd12	6.63E-09	1.58E-08	2.83E-09	2.39E-10	6.63E+01 2.34E+00
4	Mtt TI Vd12	2.16E-11	2.74E-11	1.28E-11	6.90E-12	3.97E+00 1.69E+00
5	Mtt Tt Vd13	1.95E-10	4.66E-10	8.41E-11	8.21E-12	5.66E+01 2.32E+00
6	Mtt Th Vd13	7.11E-09	1.70E-08	3.03E-09	2.47E-10	6.88E+01 2.34E+00
7	Mtt TI Vd13	2.48E-11	3.06E-11	1.40E-11	7.54E-12	4.06E+00 1.75E+00
8	Mtt Tt Vd10	1.46E-10	3.53E-10	6.40E-11	6.52E-12	5.41E+01 2.29E+00
9	Mtt Th Vd10	5.70E-09	1.35E-08	2.43E-09	2.23E-10	6.08E+01 2.35E+00
10	Mtt TI Vd10	1.69E-11	2.16E-11	1.06E-11	5.59E-12	3.90E+00 1.60E+00
11	Mff Tt Vd12	3.98E-09	1.24E-08	1.72E-09	7.75E-12	1.60E+03 2.32E+00
12	Mff Th Vd12	6.12E-08	1.84E-07	2.86E-08	2.50E-10	7.36E+02 2.14E+00
13	Mff TI Vd12	2.16E-10	6.20E-10	8.43E-11	6.00E-12	1.03E+02 2.56E+00
14	Mff Tt Vd13	4.43E-09	1.39E-08	1.92E-09	8.34E-12	1.66E+03 2.31E+00
15	Mff Th Vd13	6.65E-08	2.00E-07	3.13E-08	2.59E-10	7.74E+02 2.12E+00
16	Mff TI Vd13	2.48E-10	7.05E-10	9.54E-11	6.50E-12	1.08E+02 2.60E+00
17	Mff Tt Vd10	3.17E-09	9.92E-09	1.35E-09	6.60E-12	1.50E+03 2.35E+00
18	Mff Th Vd10	5.11E-08	1.53E-07	2.33E-08	2.33E-10	6.56E+02 2.20E+00
19	Mff TI Vd10	1.62E-10	4.73E-10	6.44E-11	5.01E-12	9.44E+01 2.51E+00
20	Mss Tt Vd12	2.75E-11	3.64E-11	1.66E-11	8.51E-12	4.27E+00 1.66E+00
21	Mss Th Vd12	9.89E-10	1.63E-09	5.37E-10	2.16E-10	7.56E+00 1.84E+00
22	Mss TI Vd12	1.78E-11	1.95E-11	1.18E-11	6.34E-12	3.07E+00 1.50E+00
23	Mss Tt Vd13	3.01E-11	3.95E-11	1.78E-11	9.18E-12	4.30E+00 1.69E+00
24	Mss Th Vd13	1.04E-09	1.72E-09	5.60E-10	2.23E-10	7.71E+00 1.85E+00
25	Mss TI Vd13	1.97E-11	7.15E-11	1.78E-11	8.94E-12	3.10E+00 1.54E+00
26	Mss Tt Vd10	2.29E-11	3.06E-11	1.40E-11	7.16E-12	4.27E+00 1.63E+00
27	Mss Th Vd10	8.90E-10	1.46E-09	4.90E-10	2.02E-10	7.21E+00 1.82E+00
28	Mss TI Vd10	1.43E-11	1.58E-11	9.74E-12	5.26E-12	3.01E+00 1.47E+00
29	Mfs Tt Vd12	1.01E-09	4.51E-09	7.93E-10	7.72E-12	5.84E+02 1.27E+00
30	Mfs Th Vd12	2.16E-08	8.56E-08	1.62E-08	2.49E-10	3.44E+02 1.33E+00
31	Mfs TI Vd12	5.13E-11	1.82E-10	3.87E-11	5.91E-12	3.08E+01 1.33E+00
32	Mfs Tt Vd13	1.09E-09	4.92E-09	8.75E-10	8.30E-12	5.93E+02 1.25E+00
33	Mfs Th Vd13	2.31E-08	9.21E-08	1.76E-08	2.57E-10	3.58E+02 1.31E+00
34	Mfs TI Vd13	5.75E-11	2.02E-10	4.30E-11	6.40E-12	3.16E+01 1.34E+00
35	Mfs Tt Vd10	8.42E-10	3.71E-09	6.39E-10	6.58E-12	5.64E+02 1.32E+00
36	Mfs Th Vd10	1.86E-08	7.27E-08	1.35E-08	2.31E-10	3.14E+02 1.38E+00
37	Mfs TI Vd10	4.07E-11	1.45E-10	3.07E-11	4.92E-12	2.94E+01 1.33E+00
38	Msf Tt Vd12	8.11E-10	8.27E-10	1.93E-11	7.68E-12	1.08E+02 4.19E+01
39	Msf Th Vd12	1.47E-08	1.59E-08	6.52E-10	2.39E-10	6.69E+01 2.26E+01
40	Msf TI Vd12	5.13E-11	5.31E-11	1.23E-11	6.51E-12	8.15E+00 4.17E+00
41	Msf Tt Vd13	9.08E-10	9.25E-10	2.09E-11	8.25E-12	1.12E+02 4.35E+01
42	Msf Th Vd13	1.61E-08	1.73E-08	6.84E-10	2.48E-10	7.05E+01 2.35E+01
43	Msf TI Vd13	5.85E-11	6.03E-11	1.35E-11	7.07E-12	8.53E+00 4.35E+00
44	Msf Tt Vd10	6.41E-10	6.54E-10	1.63E-11	6.54E-12	9.99E+01 3.93E+01
45	Msf Th Vd10	1.22E-08	1.33E-08	5.86E-10	2.22E-10	5.99E+01 2.09E+01
46	Msf TI Vd10	3.92E-11	4.08E-11	1.02E-11	5.39E-12	7.57E+00 3.83E+00
47						
48	Max	6.65E-08	2.00E-07	3.13E-08	2.59E-10	1.66E+03 4.35E+01
49	Mean	7.24E-09	2.08E-08	3.34E-09	8.31E-11	2.46E+02 8.02E+00
50	Min	1.43E-11	1.58E-11	9.74E-12	4.92E-12	3.01E+00 1.25E+00

Figur 1 Lekkasjestrømmer for M3tt tykkgate transistor modell

1	<b>M3ff Cases</b>	<b>L_leak_active (Clk='1',DIN='1')</b>	<b>L_leak_active(Clk='0',DIN='0')</b>	<b>L_leak_sleep(Clk='1',DIN='1')</b>	<b>L_leak_sleep(Clk='0', DIN='0')</b>	<b>LRR_0</b>	<b>LRR_1</b>
2	Mtt Tt Vd12	1.92E-10	4.41E-10	9.21E-11	1.47E-11	2.99E+01	2.09E+00
3	Mtt Th Vd12	7.64E-09	1.68E-08	3.86E-09	8.24E-10	2.04E+01	1.98E+00
4	Mtt Tl Vd12	2.20E-11	2.77E-11	1.32E-11	7.08E-12	3.92E+00	1.67E+00
5	Mtt Tt Vd13	2.11E-10	4.80E-10	9.96E-11	1.58E-11	3.08E+01	2.11E+00
6	Mtt Th Vd13	8.16E-09	1.80E-08	4.10E-09	8.51E-10	2.12E+01	1.99E+00
7	Mtt Tl Vd13	2.49E-11	3.10E-11	1.43E-11	7.70E-12	4.03E+00	1.74E+00
8	Mtt Tt Vd10	1.60E-10	3.66E-10	7.77E-11	1.31E-11	2.80E+01	2.08E+00
9	Mtt Th Vd10	6.85E-09	1.45E-08	3.39E-09	7.71E-10	1.88E+01	1.96E+00
10	Mtt Tl Vd10	1.72E-11	2.21E-11	1.09E-11	5.77E-12	3.83E+00	1.58E+00
11	Mff Tt Vd12	4.14E-09	1.26E-08	1.88E-09	1.57E-11	8.03E+02	2.20E+00
12	Mff Th Vd12	6.43E-08	1.88E-07	3.18E-08	9.02E-10	2.08E+02	2.03E+00
13	Mff Tl Vd12	2.23E-10	6.28E-10	9.19E-11	6.06E-12	1.04E+02	2.43E+00
14	Mff Tt Vd13	4.60E-09	1.40E-08	2.09E-09	1.68E-11	8.42E+02	2.20E+00
15	Mff Th Vd13	6.98E-08	2.04E-07	3.45E-08	9.33E-10	2.19E+02	2.02E+00
16	Mff Tl Vd13	2.56E-10	7.13E-10	1.04E-10	6.58E-12	1.09E+02	2.47E+00
17	Mff Tt Vd10	3.31E-09	1.01E-08	1.49E-09	7.25E-11	7.25E+02	2.22E+00
18	Mff Th Vd10	5.40E-08	1.56E-07	2.61E-08	8.41E-10	1.86E+02	2.07E+00
19	Mff Tl Vd10	1.68E-10	4.79E-10	7.07E-11	5.05E-12	9.48E+01	2.38E+00
20	Mss Tt Vd12	3.81E-11	4.70E-11	2.60E-11	1.45E-11	3.26E+00	1.47E+00
21	Mss Th Vd12	1.87E-09	2.51E-09	1.31E-09	7.48E-10	3.36E+00	1.43E+00
22	Mss Tl Vd12	1.80E-11	1.97E-11	1.20E-11	6.54E-12	3.02E+00	1.50E+00
23	Mss Tt Vd13	4.12E-11	5.05E-11	2.77E-11	1.53E-11	3.00E+00	1.49E+00
24	Mss Th Vd13	1.95E-09	2.63E-09	1.35E-09	7.72E-10	3.40E+00	1.44E+00
25	Mss Tl Vd13	2.00E-11	2.18E-11	1.31E-11	7.16E-12	3.04E+00	1.53E+00
26	Mss Tt Vd10	3.26E-11	4.03E-11	2.27E-11	1.27E-11	3.18E+00	1.44E+00
27	Mss Th Vd10	1.71E-09	2.28E-09	1.22E-09	7.01E-10	3.25E+00	1.41E+00
28	Mss Tl Vd10	1.48E-11	1.61E-11	9.97E-12	5.35E-12	3.00E+00	1.48E+00
29	Mfs Tt Vd12	1.08E-09	4.58E-09	8.65E-10	1.58E-11	2.94E+02	1.25E+00
30	Mfs Th Vd12	2.35E-08	8.76E-08	1.81E-08	8.88E-10	9.89E+01	1.30E+00
31	Mfs Tl Vd12	5.38E-11	1.84E-10	4.12E-11	5.98E-12	3.08E+01	1.31E+00
32	Mfs Tt Vd13	1.17E-09	5.00E-09	9.47E-10	1.65E-11	3.03E+02	1.23E+00
33	Mfs Th Vd13	2.51E-08	9.42E-08	1.96E-08	9.16E-10	1.03E+02	1.28E+00
34	Mfs Tl Vd13	6.02E-11	2.05E-10	4.57E-11	6.48E-12	3.18E+01	1.32E+00
35	Mfs Tt Vd10	9.07E-10	3.78E-09	7.04E-10	1.38E-11	2.74E+02	1.29E+00
36	Mfs Th Vd10	2.05E-08	7.46E-08	1.53E-08	8.27E-10	9.02E+01	1.34E+00
37	Mfs Tl Vd10	4.29E-11	1.47E-10	3.29E-11	4.96E-12	2.96E+01	1.30E+00
38	Msf Tt Vd12	8.22E-10	8.37E-10	3.03E-11	1.49E-11	5.61E+01	2.71E+01
39	Msf Th Vd12	1.58E-08	1.68E-08	1.55E-09	8.17E-10	2.08E+01	1.01E+01
40	Msf Tl Vd12	5.16E-11	5.33E-11	1.26E-11	6.18E-12	8.65E+00	4.11E+00
41	Msf Tt Vd13	9.19E-10	9.36E-10	3.23E-11	1.58E-11	5.92E+01	2.85E+01
42	Msf Th Vd13	1.70E-08	1.83E-08	1.62E-09	8.44E-10	2.16E+01	1.05E+01
43	Msf Tl Vd13	5.88E-11	6.05E-11	1.37E-11	7.17E-12	8.44E+00	4.30E+00
44	Msf Tt Vd10	6.51E-10	6.64E-10	2.63E-11	1.32E-11	5.01E+01	2.47E+01
45	Msf Th Vd10	1.31E-08	1.41E-08	1.42E-09	7.65E-10	1.85E+01	8.20E+00
46	Msf Tl Vd10	3.95E-11	4.10E-11	1.05E-11	5.49E-12	7.48E+00	3.77E+00
47							
48	<b>Max</b>	6.98E-08	2.04E-07	3.45E-08	9.33E-10	8.42E+02	2.85E+01
49	<b>Mean</b>	7.78E-09	2.15E-08	3.86E-09	2.83E-10	1.11E+02	4.10E+00
50	<b>Min</b>	1.46E-11	1.61E-11	9.97E-12	4.96E-12	3.00E+00	1.23E+00

Figur 2 Lekkasjestrømmer med M3ff tykkgate modell

1	M3ss Cases	I_leak_active (Clk='1',DIN='1')	I_leak_active(Clk='0',DIN='0')	I_leak_sleep(Clk='1',DIN='1')	I_leak_sleep(Clk='0', DIN='0')	LRR_0	LRR_1
2	Mtt Tt Vd12	1.72E-10	4.20E-10	7.12E-11	6.33E-12	6.84E+01	2.41E+00
3	Mtt Th Vd12	6.26E-09	1.54E-08	2.46E-09	7.54E-11	2.05E+02	2.55E+00
4	Mtt Tl Vd12	2.14E-11	2.72E-11	1.26E-11	6.73E-12	4.04E+00	1.70E+00
5	Mtt Tt Vd13	1.89E-10	4.59E-10	7.78E-11	6.83E-12	6.72E+01	2.43E+00
6	Mtt Th Vd13	6.73E-09	1.66E-08	2.65E-09	7.81E-11	2.12E+02	2.54E+00
7	Mtt Tl Vd13	2.43E-11	3.04E-11	1.38E-11	7.39E-12	4.11E+00	1.77E+00
8	Mtr Tt Vd10	1.41E-10	3.47E-10	5.84E-11	5.29E-12	6.56E+01	2.41E+00
9	Mtr Th Vd10	5.36E-09	1.32E-08	2.07E-09	7.00E-11	1.98E+02	2.56E+00
10	Mtr Tl Vd10	1.67E-11	2.16E-11	1.03E-11	5.96E-12	3.62E+00	1.61E+00
11	Mff Tt Vd12	3.83E-09	1.23E-08	1.58E-09	6.33E-12	1.94E+03	2.43E+00
12	Mff Th Vd12	5.88E-08	1.81E-07	2.63E-08	7.67E-11	2.36E+03	2.24E+00
13	Mff Tl Vd12	2.09E-10	6.13E-10	7.74E-11	6.00E-12	1.02E+02	2.70E+00
14	Mff Tt Vd13	4.28E-09	1.36E-08	1.77E-09	6.89E-12	1.98E+03	2.42E+00
15	Mff Th Vd13	6.40E-08	1.98E-07	2.90E-08	7.95E-11	2.49E+03	2.21E+00
16	Mff Tl Vd13	2.40E-10	6.80E-10	8.79E-11	6.50E-12	1.05E+02	2.73E+00
17	Mff Tt Vd10	3.04E-09	9.79E-09	1.22E-09	5.31E-12	1.85E+03	2.49E+00
18	Mff Th Vd10	4.89E-08	1.50E-07	2.12E-08	7.11E-11	2.11E+03	2.31E+00
19	Mff Tl Vd10	1.56E-10	4.67E-10	5.87E-11	5.00E-12	9.34E+01	2.86E+00
20	Mss Tt Vd12	2.54E-11	3.43E-11	1.47E-11	7.44E-12	4.81E+00	1.74E+00
21	Mss Th Vd12	7.54E-10	1.40E-09	3.01E-10	7.03E-11	1.99E+01	2.51E+00
22	Mss Tl Vd12	1.76E-11	1.93E-11	1.16E-11	6.25E-12	3.09E+00	1.51E+00
23	Mss Tt Vd13	2.80E-11	3.73E-11	1.59E-11	8.07E-12	4.82E+00	1.76E+00
24	Mss Th Vd13	7.96E-10	1.47E-09	3.16E-10	7.27E-11	2.03E+01	2.52E+00
25	Mss Tl Vd13	1.85E-11	2.13E-11	1.26E-11	6.80E-12	3.14E+00	1.54E+00
26	Mss Tt Vd10	2.09E-11	2.86E-11	1.23E-11	6.22E-12	4.60E+00	1.70E+00
27	Mss Th Vd10	6.71E-10	1.24E-09	2.69E-10	6.54E-11	1.89E+01	2.49E+00
28	Mss Tl Vd10	1.41E-11	1.58E-11	9.58E-12	5.44E-12	2.87E+00	1.48E+00
29	Mfs Tt Vd12	9.47E-10	4.45E-09	7.34E-10	6.33E-12	7.03E+02	1.29E+00
30	Mfs Th Vd12	2.03E-08	8.42E-08	1.49E-08	7.65E-11	1.10E+03	1.36E+00
31	Mfs Tl Vd12	4.89E-11	1.80E-10	3.64E-11	5.90E-12	3.04E+01	1.34E+00
32	Mfs Tt Vd13	1.03E-09	4.86E-09	8.13E-10	6.83E-12	7.12E+02	1.27E+00
33	Mfs Th Vd13	2.18E-08	9.07E-08	1.63E-08	7.93E-11	1.14E+03	1.34E+00
34	Mfs Tl Vd13	5.50E-11	2.00E-10	4.05E-11	6.50E-12	3.07E+01	1.36E+00
35	Mfs Tt Vd10	7.89E-10	3.66E-09	5.86E-10	5.29E-12	1.00E+03	1.42E+00
36	Mfs Th Vd10	1.75E-08	7.13E-08	1.23E-08	7.10E-11	2.91E+01	1.35E+00
37	Mfs Tl Vd10	3.87E-11	1.43E-10	2.87E-11	4.91E-12	2.91E+01	1.35E+00
38	Msf Tt Vd12	8.09E-10	8.24E-10	1.71E-11	6.33E-12	1.30E+02	4.73E+01
39	Msf Th Vd12	1.44E-08	1.57E-08	4.05E-10	7.53E-11	2.09E+02	3.56E+01
40	Msf Tl Vd12	5.11E-11	5.29E-11	1.21E-11	6.45E-12	8.20E+00	4.21E+00
41	Msf Tt Vd13	9.06E-10	9.22E-10	1.85E-11	6.84E-12	1.35E+02	4.89E+01
42	Msf Th Vd13	1.58E-08	1.71E-08	4.30E-10	7.80E-11	2.19E+02	3.67E+01
43	Msf Tl Vd13	5.83E-11	6.01E-11	1.32E-11	7.01E-12	8.57E+00	4.43E+00
44	Msf Tt Vd10	6.39E-10	6.52E-10	1.42E-11	5.30E-12	1.23E+02	4.48E+01
45	Msf Th Vd10	1.20E-08	1.31E-08	3.56E-10	6.99E-11	1.87E+02	3.36E+01
46	Msf Tl Vd10	3.90E-11	4.06E-11	1.01E-11	5.49E-12	7.40E+00	3.88E+00
47							
48	Max	6.40E-08	1.98E-07	2.90E-08	7.95E-11	2.49E+03	4.88E+01
49	Mean	6.93E-09	2.06E-08	3.03E-09	2.88E-11	4.38E+02	7.35E+00
50	Min	1.41E-11	1.56E-11	9.58E-12	4.91E-12	2.87E+00	1.27E+00

Figur 3 Lekkasjestrømmer med M3ss tykkgate transistor modell

1	M3fs Cases	I_leak_active (Clk='1',DIN='1')	I_leak_active(Clk='0',DIN='0')	I_leak_sleep(Clk='1',DIN='1')	I_leak_sleep(Clk='0', DIN='0')	LRR_0	LRR_1
2	Mtt Tt Vd12	1.89E-10	4.37E-10	8.87E-11	1.29E-11	3.40E+01	2.13E+00
3	Mtt Th Vd12	7.36E-09	1.66E-08	3.58E-09	6.56E-10	2.52E+01	2.06E+00
4	Mtt Tl Vd12	2.19E-11	2.77E-11	1.31E-11	7.04E-12	3.93E+00	1.67E+00
5	Mtt Tt Vd13	2.07E-10	4.77E-10	9.60E-11	1.36E-11	3.60E+01	2.16E+00
6	Mtt Th Vd13	7.87E-09	1.77E-08	3.81E-09	6.77E-10	2.62E+01	2.08E+00
7	Mtt Tl Vd13	2.48E-11	3.09E-11	1.43E-11	7.66E-12	4.04E+00	1.74E+00
8	Mtt Tt Vd10	1.57E-10	3.63E-10	7.45E-11	1.14E-11	3.20E+01	2.10E+00
9	Mtt Th Vd10	6.39E-09	1.42E-08	3.13E-09	6.14E-10	2.32E+01	2.04E+00
10	Mtt Tl Vd10	1.72E-11	2.21E-11	1.08E-11	6.61E-12	3.34E+00	1.59E+00
11	Mff Tt Vd12	4.11E-09	1.26E-08	1.86E-09	1.36E-11	9.27E+02	2.22E+00
12	Mff Th Vd12	6.35E-08	1.86E-07	3.08E-08	7.12E-10	2.62E+02	2.05E+00
13	Mff Tl Vd12	2.22E-10	6.27E-10	9.07E-11	6.04E-12	1.04E+02	2.45E+00
14	Mff Tt Vd13	4.57E-09	1.39E-08	2.06E-09	1.44E-11	9.70E+02	2.22E+00
15	Mff Th Vd13	6.89E-08	2.03E-07	3.38E-08	7.37E-10	2.75E+02	2.04E+00
16	Mff Tl Vd13	2.55E-10	7.12E-10	1.02E-10	6.55E-12	1.09E+02	2.49E+00
17	Mff Tt Vd10	3.28E-09	1.00E-08	1.46E-09	1.19E-11	8.40E+02	2.24E+00
18	Mff Th Vd10	5.32E-08	1.55E-07	2.54E-08	6.65E-10	2.33E+02	2.09E+00
19	Mff Tl Vd10	1.67E-10	4.78E-10	6.97E-11	5.04E-12	9.48E+01	2.40E+00
20	Mss Tt Vd12	3.53E-11	4.42E-11	2.35E-11	1.28E-11	3.45E+00	1.50E+00
21	Mss Th Vd12	1.61E-09	2.26E-09	1.08E-09	5.94E-10	3.80E+00	1.49E+00
22	Mss Tl Vd12	1.80E-11	1.97E-11	1.20E-11	6.49E-12	3.03E+00	1.49E+00
23	Mss Tt Vd13	3.83E-11	4.76E-11	2.51E-11	1.38E-11	3.60E+00	1.52E+00
24	Mss Th Vd13	1.69E-09	2.36E-09	1.12E-09	6.13E-10	3.68E+00	1.50E+00
25	Mss Tl Vd13	1.99E-11	2.17E-11	1.30E-11	7.12E-12	3.05E+00	1.53E+00
26	Mss Tt Vd10	3.00E-11	3.76E-11	2.05E-11	1.12E-11	3.37E+00	1.47E+00
27	Mss Th Vd10	1.48E-09	2.04E-09	1.01E-09	5.57E-10	3.66E+00	1.46E+00
28	Mss Tl Vd10	1.45E-11	1.60E-11	9.93E-12	5.70E-12	2.81E+00	1.46E+00
29	Mfs Tt Vd12	1.06E-09	4.56E-09	8.51E-10	1.35E-11	3.39E+02	1.25E+00
30	Mfs Th Vd12	2.31E-08	8.71E-08	1.77E-08	7.02E-10	1.24E+02	1.31E+00
31	Mfs Tl Vd12	5.34E-11	1.84E-10	4.08E-11	5.94E-12	3.10E+01	1.31E+00
32	Mfs Tt Vd13	1.15E-09	4.98E-09	9.36E-10	1.43E-11	3.49E+02	1.23E+00
33	Mfs Th Vd13	2.46E-08	9.37E-08	1.91E-08	7.25E-10	1.29E+02	1.29E+00
34	Mfs Tl Vd13	5.98E-11	2.05E-10	4.52E-11	6.45E-12	3.18E+01	1.32E+00
35	Mfs Tt Vd10	8.95E-10	3.76E-09	6.92E-10	1.19E-11	3.17E+02	1.29E+00
36	Mfs Th Vd10	2.00E-08	7.40E-08	1.49E-08	6.55E-10	1.13E+02	1.35E+00
37	Mfs Tl Vd10	4.26E-11	1.47E-10	3.26E-11	4.95E-12	2.96E+01	1.31E+00
38	Msf Tt Vd12	8.19E-10	8.35E-10	2.75E-11	1.30E-11	6.40E+01	2.98E+01
39	Msf Th Vd12	1.53E-08	1.66E-08	1.30E-09	6.51E-10	2.54E+01	1.18E+01
40	Msf Tl Vd12	5.15E-11	5.33E-11	1.25E-11	6.59E-12	8.08E+00	4.12E+00
41	Msf Tt Vd13	9.16E-10	9.33E-10	2.93E-11	1.38E-11	6.76E+01	3.12E+01
42	Msf Th Vd13	1.67E-08	1.80E-08	1.36E-09	6.72E-10	2.68E+01	1.23E+01
43	Msf Tl Vd13	5.87E-11	6.05E-11	1.36E-11	7.14E-12	8.46E+00	4.31E+00
44	Msf Tt Vd10	6.49E-10	6.13E-10	2.38E-11	1.15E-11	5.33E+01	2.73E+01
45	Msf Th Vd10	1.28E-08	1.39E-08	1.18E-09	6.10E-10	2.28E+01	1.08E+01
46	Msf Tl Vd10	3.94E-11	4.10E-11	1.04E-11	5.97E-12	6.86E+00	3.78E+00
47							
48	Max	6.89E-08	2.03E-07	3.38E-08	7.37E-10	9.70E+02	3.12E+01
49	Mean	7.64E-09	2.13E-08	3.73E-09	2.25E-10	1.28E+02	4.41E+00
50	Min	1.45E-11	1.60E-11	9.93E-12	4.95E-12	2.81E+00	1.23E+00

Figur 4 Lekkasjestrømmer med M3fs tykkgate transistor modell

1	M3sf Cases	I_leak_active (Clk='1',DIN='1')	I_leak_active(Clk='0',DIN='0')	I_leak_sleep(Clk='1',DIN='1')	I_leak_sleep(Clk='0', DIN='0')	LRR_0	LRR_1
2	Mtt Tt Vd12	1.72E-10	4.21E-10	7.18E-11	6.45E-12	6.52E+01	2.40E+00
3	Mtt Th Vd12	6.31E-09	1.55E-08	2.50E-09	9.69E-11	1.60E+02	2.52E+00
4	Mtt Tl Vd12	2.14E-11	2.72E-11	1.26E-11	6.75E-12	4.02E+00	1.89E+00
5	Mtt Tt Vd13	1.90E-10	4.59E-10	7.86E-11	6.98E-12	6.58E+01	2.42E+00
6	Mtt Th Vd13	6.78E-09	1.67E-08	2.69E-09	1.00E-10	1.66E+02	2.52E+00
7	Mtt Tl Vd13	2.43E-11	3.04E-11	1.38E-11	7.42E-12	4.10E+00	1.76E+00
8	Mtt Tt Vd10	1.42E-10	3.48E-10	5.90E-11	5.42E-12	6.41E+01	2.40E+00
9	Mtt Th Vd10	5.40E-09	1.32E-08	2.12E-09	9.02E-11	1.47E+02	2.56E+00
10	Mtt Tl Vd10	1.67E-11	2.16E-11	1.04E-11	5.49E-12	3.94E+00	1.61E+00
11	Mff Tt Vd12	3.86E-09	1.23E-08	1.60E-09	6.47E-12	1.90E+03	2.42E+00
12	Mff Th Vd12	5.93E-08	1.82E-07	2.67E-08	9.88E-11	1.84E+03	2.23E+00
13	Mff Tl Vd12	2.10E-10	6.14E-10	7.83E-11	6.00E-12	1.02E+02	2.68E+00
14	Mff Tt Vd13	4.30E-09	1.37E-08	1.79E-09	7.00E-12	1.95E+03	2.41E+00
15	Mff Th Vd13	6.46E-08	1.98E-07	2.93E-08	1.02E-10	1.94E+03	2.20E+00
16	Mff Tl Vd13	2.41E-10	6.98E-10	8.88E-11	6.51E-12	1.07E+02	2.72E+00
17	Mff Tt Vd10	3.06E-09	9.81E-09	1.24E-09	5.44E-12	1.80E+03	2.47E+00
18	Mff Th Vd10	4.94E-08	1.51E-07	2.16E-08	9.19E-11	1.64E+03	2.29E+00
19	Mff Tl Vd10	1.57E-10	4.68E-10	5.94E-11	5.00E-12	9.38E+01	2.84E+00
20	Mss Tt Vd12	2.56E-11	3.45E-11	1.48E-11	7.00E-12	4.92E+00	1.73E+00
21	Mss Th Vd12	7.81E-10	1.42E-09	3.23E-10	7.57E-12	1.88E+02	2.42E+00
22	Mss Tl Vd12	1.76E-11	1.93E-11	1.16E-11	6.26E-12	3.09E+00	1.51E+00
23	Mss Tt Vd13	2.82E-11	3.75E-11	1.59E-11	8.20E-12	4.57E+00	1.77E+00
24	Mss Th Vd13	8.24E-10	1.50E-09	3.39E-10	9.27E-11	1.62E+01	2.43E+00
25	Mss Tl Vd13	1.95E-11	2.13E-11	1.27E-11	6.81E-12	3.13E+00	1.54E+00
26	Mss Tt Vd10	2.11E-11	2.88E-11	1.24E-11	6.27E-12	4.59E+00	1.70E+00
27	Mss Th Vd10	6.96E-10	1.26E-09	2.88E-10	8.38E-11	1.50E+01	2.40E+00
28	Mss Tl Vd10	1.42E-11	1.57E-11	9.60E-12	5.23E-12	3.00E+00	1.49E+00
29	Mfs Tt Vd12	9.56E-10	4.45E-09	7.42E-10	6.45E-12	6.91E+02	1.29E+00
30	Mfs Th Vd12	2.05E-08	8.45E-08	1.51E-08	9.86E-11	8.57E+02	1.36E+00
31	Mfs Tl Vd12	4.92E-11	1.80E-10	3.67E-11	5.90E-12	3.05E+01	1.34E+00
32	Mfs Tt Vd13	1.04E-09	4.87E-09	8.21E-10	6.97E-12	6.99E+02	1.27E+00
33	Mfs Th Vd13	2.20E-08	9.10E-08	1.65E-08	1.02E-10	8.92E+02	1.34E+00
34	Mfs Tl Vd13	5.53E-11	2.00E-10	4.08E-11	6.41E-12	3.13E+01	1.36E+00
35	Mfs Tt Vd10	7.96E-10	3.66E-09	5.93E-10	5.42E-12	6.76E+02	1.34E+00
36	Mfs Th Vd10	1.76E-08	7.17E-08	1.25E-08	9.17E-11	7.81E+02	1.42E+00
37	Mfs Tl Vd10	3.89E-11	1.43E-10	2.89E-11	4.91E-12	2.91E+01	1.35E+00
38	Msf Tt Vd12	8.09E-10	8.25E-10	1.73E-11	6.46E-12	1.28E+02	4.89E+01
39	Msf Th Vd12	1.45E-08	1.57E-08	4.28E-10	9.67E-11	1.62E+02	3.39E+01
40	Msf Tl Vd12	5.12E-11	5.29E-11	1.21E-11	6.46E-12	8.19E+00	4.21E+00
41	Msf Tt Vd13	9.06E-10	9.23E-10	1.87E-11	6.99E-12	1.32E+02	4.84E+01
42	Msf Th Vd13	1.59E-08	1.71E-08	4.54E-10	1.00E-10	1.71E+02	3.49E+01
43	Msf Tl Vd13	5.83E-11	6.01E-11	1.32E-11	7.02E-12	8.56E+00	4.42E+00
44	Msf Tt Vd10	6.39E-10	6.52E-10	1.44E-11	5.43E-12	1.20E+02	4.44E+01
45	Msf Th Vd10	1.21E-08	1.31E-08	3.78E-10	9.01E-11	1.45E+02	3.19E+01
46	Msf Tl Vd10	3.91E-11	4.06E-11	1.01E-11	5.33E-12	7.62E+00	3.87E+00
47							
48	Max	6.46E-08	1.98E-07	2.93E-08	1.02E-10	1.95E+03	4.84E+01
49	Mean	6.99E-09	2.07E-08	3.08E-09	3.41E-11	3.97E+02	7.20E+00
50	Min	1.42E-11	1.57E-11	9.60E-12	4.91E-12	3.00E+00	1.27E+00

Figur 5 Lekkasjestrømmer med M3sf tykkgate transistor modell

## B2. Tidsforsinkelser

De etterfølgende fem tabellene viser variasjon i ulike tidsforsinkelser over alle prosess hjørner. Alle tidsforsinkelser er målt fra 50 % til 50 % av endelig verdi for de aktuelle signaler. Input-output valid er tids forsinkelse fra inngangsverdi til utgangsverdi. Act2low-retention valid er fra Act2low signal settes til 50 % av gyldig verdi er skrevet til retention verdi i skyggelatch. Sleep.out-Output valid er tids forsinkelse fra søvnmodus avsluttes til utgangsverdi er 50 % gyldig med verdi hentet fra skygge latches sin retention verdi. For hver av de aktuelle tidsforsinkelser er det to ulike verdier en verdi med endring fra lav til høy og motsatt. Alle verdier oppgitt i tabellene under viser den av disse to verdiene som for det aktuelle prosess hjørne er størst.

**Tabell 1: Forsinkelse data med M3tt tykk gate modell**

MOS 1.8V modell	Temp. Setting	Tt		
	Parameter	Input - output valid [ps]	Act2low – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	188	296	156
	Vd13	184	248	133
	Vd10	221	491	255
Mff	Vd12	230	282	192
	Vd13	229	236	173
	Vd10	248	468	275
Mss	Vd12	195	318	170
	Vd13	176	267	140
	Vd10	293	528	303
Mfs	Vd12	247	287	162
	Vd13	250	240	143
	Vd10	276	475	276
Msf	Vd12	137	310	148
	Vd13	132	258	126
	Vd10	218	517	234

**Tabell 2: Forsinkelse data med M3tt tykk gate modell**

MOS 1.8V modell	Temp. Setting	Th		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	224	319	201
	Vd13	219	275	180
	Vd10	250	481	277
Mff	Vd12	278	304	303
	Vd13	271	261	261
	Vd10	306	458	403
Mss	Vd12	195	344	170
	Vd13	198	297	162
	Vd10	270	515	282
Mfs	Vd12	285	311	208
	Vd13	278	269	185
	Vd10	315	466	298
Msf	Vd12	167	331	181
	Vd13	162	284	162
	Vd10	197	503	257



**Tabell 3: Forsinkelse data med M3tt tykk gate modell**

MOS 1.8V modell	Temp. Setting	Tl		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	160	276	139
	Vd13	157	226	115
	Vd10	215	498	268
Mff	Vd12	194	263	137
	Vd13	196	215	117
	Vd10	206	475	235
Mss	Vd12	195	296	165
	Vd13	164	243	131
	Vd10	345	536	256
Mfs	Vd12	217	266	153
	Vd13	214	219	123
	Vd10	253	481	305
Msf	Vd12	154	290	129
	Vd13	109	237	109
	Vd10	239	526	231

**Tabell 4: Forsinkelse data med M3ff tykk gate modell**

MOS 1.8V modell	Temp. Setting	Tt		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	186	239	126
	Vd13	175	208	110
	Vd10	207	360	190
Mff	Vd12	214	223	138
	Vd13	215	192	125
	Vd10	223	338	189
Mss	Vd12	199	311	140
	Vd13	184	297	118
	Vd10	296	399	229
Mfs	Vd12	236	232	135
	Vd13	233	203	118
	Vd10	260	346	206
Msf	Vd12	139	251	121
	Vd13	121	216	106
	Vd10	206	383	176

**Tabell 5: Forsinkelse data med M3ff tykk gate modell**

MOS 1.8V modell	Temp. Setting	Th		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	210	266	160
	Vd13	207	236	145
	Vd10	230	368	212
Mff	Vd12	258	247	189
	Vd13	254	219	172
	Vd10	274	344	235
Mss	Vd12	200	351	157
	Vd13	189	332	139
	Vd10	258	422	223
Mfs	Vd12	271	263	166
	Vd13	266	234	149
	Vd10	294	359	224
Msf	Vd12	169	276	148
	Vd13	169	244	135
	Vd10	178	387	200

**Tabell 6: Forsinkelse data med M3ff tykk gate modell**

MOS 1.8V modell	Temp. Setting	Tl		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	155	219	113
	Vd13	149	187	95
	Vd10	204	353	193
Mff	Vd12	182	205	107
	Vd13	186	174	94
	Vd10	186	332	167
Mss	Vd12	195	289	135
	Vd13	119	282	110
	Vd10	341	389	179
Mfs	Vd12	209	212	123
	Vd13	206	182	102
	Vd10	239	338	218
Msf	Vd12	153	231	104
	Vd13	102	196	91
	Vd10	230	378	166

**Tabell 7 Forsinkelse data med M3ss tykk gate modell**

MOS 1.8V modell	Temp. Setting	Tt		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	202	383	199
	Vd13	196	310	165
	Vd10	245	710	362
Mff	Vd12	252	368	346
	Vd13	83	298	296
	Vd10	290	684	553
Mss	Vd12	205	405	214
	Vd13	184	328	171
	Vd10	309	749	429
Mfs	Vd12	262	373	216
	Vd13	254	302	179
	Vd10	302	691	395
Msf	Vd12	151	398	189
	Vd13	142	322	156
	Vd10	230	738	332

**Tabell 8 Forsinkelse data med M3ss tykk gate modell**

MOS 1.8V modell	Temp. Setting	Th		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	243	405	271
	Vd13	235	339	240
	Vd10	280	662	394
Mff	Vd12	306	390	809
	Vd13	296	326	546
	Vd10	360	638	216
Mss	Vd12	223	426	230
	Vd13	209	357	194
	Vd10	286	698	377
Mfs	Vd12	304	395	282
	Vd13	294	331	242
	Vd10	225	645	353
Msf	Vd12	185	419	233
	Vd13	178	350	208
	Vd10	225	687	353

**Tabell 9 Forsinkelse data med M3ss tykk gate modell**

MOS 1.8V modell	Temp. Setting	Tl		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	170	363	181
	Vd13	164	286	144
	Vd10	234	754	402
Mff	Vd12	212	349	186
	Vd13	207	275	157
	Vd10	234	729	359
Mss	Vd12	203	383	211
	Vd13	172	302	161
	Vd10	354	795	397
Mfs	Vd12	229	352	198
	Vd13	223	277	153
	Vd10	272	735	458
Msf	Vd12	160	378	165
	Vd13	118	297	134
	Vd10	251	785	347

**Tabell 10 Forsinkelse data med M3fs tykk gate modell**

MOS 1.8V modell	Temp. Setting	Tt		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	198	274	155
	Vd13	194	233	131
	Vd10	237	447	259
Mff	Vd12	250	259	186
	Vd13	246	218	164
	Vd10	278	426	270
Mss	Vd12	210	302	172
	Vd13	194	258	140
	Vd10	307	484	324
Mfs	Vd12	259	268	167
	Vd13	262	229	141
	Vd10	292	434	291
Msf	Vd12	146	284	146
	Vd13	146	241	124
	Vd10	196	468	233



**Tabell 11 Forsinkelse data med M3fs tykk gate modell**

MOS 1.8V modell	Temp. Setting	Th		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	239	301	196
	Vd13	233	262	172
	Vd10	270	442	277
Mff	Vd12	304	284	273
	Vd13	296	248	230
	Vd10	344	419	376
Mss	Vd12	218	334	187
	Vd13	205	291	160
	Vd10	276	488	287
Mfs	Vd12	301	298	202
	Vd13	293	261	177
	Vd10	336	435	300
Msf	Vd12	180	309	176
	Vd13	175	269	156
	Vd10	213	459	254

**Tabell 12 Forsinkelse data med M3fs tykk gate modell**

MOS 1.8V modell	Temp. Setting	T1		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	169	253	141
	Vd13	164	210	114
	Vd10	226	454	284
Mff	Vd12	210	240	135
	Vd13	210	199	115
	Vd10	231	434	240
Mss	Vd12	203	276	170
	Vd13	205	232	160
	Vd10	344	487	272
Mfs	Vd12	226	246	157
	Vd13	222	206	124
	Vd10	265	440	334
Msf	Vd12	152	264	127
	Vd13	115	219	107
	Vd10	234	477	230

**Tabell 13 Forsinkelse data med M3sf tykk gate modell**

MOS 1.8V modell	Temp. Setting	Tt		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	178	340	162
	Vd13	174	279	138
	Vd10	212	595	267
Mff	Vd12	212	323	213
	Vd13	211	265	189
	Vd10	224	564	311
Mss	Vd12	191	364	173
	Vd13	174	298	143
	Vd10	301	643	309
Mfs	Vd12	237	327	173
	Vd13	232	269	148
	Vd10	265	572	285
Msf	Vd12	147	357	155
	Vd13	122	292	131
	Vd10	225	630	251

**Tabell 14 Forsinkelse data med M3sf tykk gate modell**

MOS 1.8V modell	Temp. Setting	Th		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	210	362	213
	Vd13	206	306	191
	Vd10	235	565	293
Mff	Vd12	253	344	345
	Vd13	248	292	300
	Vd10	276	536	476
Mss	Vd12	204	402	194
	Vd13	191	348	167
	Vd10	260	607	292
Mfs	Vd12	301	350	202
	Vd13	293	297	177
	Vd10	336	544	300
Msf	Vd12	180	378	176
	Vd13	175	325	156
	Vd10	213	594	254

**Tabell 15 Forsinkelse data med M3sf tykk gate modell**

MOS 1.8V modell	Temp. Setting	Tl		
	Parameter	Input - output valid [ps]	Sleep – retention valid [ps]	Sleep.out – Output valid [ps]
	Voltage Setting			
Mtt	Vd12	169	320	141
	Vd13	164	257	114
	Vd10	226	627	248
Mff	Vd12	210	304	135
	Vd13	210	244	115
	Vd10	231	593	240
Mss	Vd12	203	345	170
	Vd13	171	275	133
	Vd10	344	681	272
Mfs	Vd12	226	308	157
	Vd13	222	247	124
	Vd10	265	601	334
Msf	Vd12	152	338	127
	Vd13	115	270	107
	Vd10	234	666	230

## Vedlegg C krysskobla inverter krets

### C1. Lekkasjestrømmer

Lekkasjestrømmer er simulert ved alle prosess hjørner og resultater er presentert i figur 1. Lekkasje strømmene i både aktiv og søvn modus er funnet for to ulike tilfeller, med klokke og inngangsverdi lik 1 og det andre tilfellet med disse verdiene lik 0. Lekkasje reduksjons forholdet LRR\_0 er forholdet mellom lekkasjestrømmer i aktiv og søvn modus med klokke og inngangsverdi lik 0. Tilsvarende er LRR\_1 forholdet mellom disse verdier med klokke og inngangsverdi lik 1.

1	Tilfelle	I_leak_active (Clk='1',DIN='1')	I_leak_active(Clk='0',DIN='0')	I_leak_sleep(Clk='1',DIN='1')	I_leak_sleep(Clk='0', DIN='0')	LRR_0	LRR_1
2	Mtt Tt Vd12	1.82E-10	1.80E-10	5.64E-11	4.03E-11	4.47E+00	3.23E+00
3	Mtt Th Vd12	5.62E-09	5.33E-09	1.96E-09	2.59E-09	2.06E+00	2.87E+00
4	Mtt Tl Vd12	4.94E-11	5.10E-11	1.40E-11	1.28E-11	3.97E+00	3.52E+00
5	Mtt Tt Vd13	2.16E-10	2.15E-10	4.42E-11	6.06E-11	3.54E+00	4.89E+00
6	Mtt Th Vd13	6.04E-09	5.74E-09	2.03E-09	2.68E-09	2.15E+00	2.97E+00
7	Mtt Tl Vd13	6.96E-11	7.20E-11	1.63E-11	1.51E-11	4.76E+00	4.27E+00
8	Mtt Tt Vd10	1.34E-10	1.32E-10	3.39E-11	4.93E-11	2.67E+00	3.96E+00
9	Mtt Th Vd10	4.81E-09	4.56E-09	1.82E-09	2.43E-09	1.88E+00	2.65E+00
10	Mtt Tl Vd10	2.56E-11	2.63E-11	1.05E-11	9.43E-12	2.79E+00	2.43E+00
11	Mff Tt Vd12	3.93E-09	3.91E-09	1.54E-10	1.04E-09	3.75E+00	2.54E+01
12	Mff Th Vd12	5.99E-08	5.89E-08	7.50E-09	2.14E-08	2.76E+00	7.98E+00
13	Mff Tl Vd12	2.68E-10	2.72E-10	2.62E-11	5.50E-11	4.95E+00	1.02E+01
14	Mff Tt Vd13	4.39E-09	4.37E-09	1.68E-10	1.10E-09	3.96E+00	2.61E+01
15	Mff Th Vd13	6.50E-08	6.40E-08	8.16E-09	2.23E-08	2.87E+00	7.97E+00
16	Mff Tl Vd13	3.32E-10	3.37E-10	3.05E-11	6.14E-11	5.48E+00	1.09E+01
17	Mff Tt Vd10	3.11E-09	3.10E-09	1.32E-10	9.29E-10	3.34E+00	2.36E+01
18	Mff Th Vd10	5.01E-08	4.92E-08	6.86E-09	1.96E-08	2.51E+00	7.30E+00
19	Mff Tl Vd10	1.80E-10	1.82E-10	1.99E-11	4.48E-11	4.06E+00	9.09E+00
20	Mss Tt Vd12	3.78E-11	3.76E-11	1.62E-11	1.39E-11	2.71E+00	2.33E+00
21	Mss Th Vd12	6.61E-10	5.82E-10	4.93E-10	4.33E-10	1.35E+00	1.34E+00
22	Mss Tl Vd12	2.91E-11	2.98E-11	1.18E-11	1.04E-11	2.87E+00	2.47E+00
23	Mss Tt Vd13	5.03E-11	5.04E-11	1.82E-11	1.56E-11	3.22E+00	2.77E+00
24	Mss Th Vd13	7.09E-10	6.27E-10	5.09E-10	4.51E-10	1.39E+00	1.39E+00
25	Mss Tl Vd13	3.98E-11	4.08E-11	1.34E-11	1.19E-11	3.43E+00	2.97E+00
26	Mss Tt Vd10	2.28E-11	2.22E-11	1.30E-11	1.10E-11	2.01E+00	1.75E+00
27	Mss Th Vd10	5.76E-10	5.04E-10	4.63E-10	3.93E-10	1.28E+00	1.25E+00
28	Mss Tl Vd10	1.64E-11	1.66E-11	9.16E-12	7.95E-12	2.09E+00	1.79E+00
29	Mfs Tt Vd12	1.39E-09	1.39E-09	4.14E-10	8.57E-11	1.62E+01	3.35E+00
30	Mfs Th Vd12	2.65E-08	2.64E-08	4.66E-09	1.09E-08	2.43E+00	5.68E+00
31	Mfs Tl Vd12	1.00E-10	1.02E-10	1.61E-11	2.35E-11	4.37E+00	6.25E+00
32	Mfs Tt Vd13	1.53E-09	1.54E-09	4.31E-10	9.12E-11	1.88E+01	3.56E+00
33	Mfs Th Vd13	2.65E-08	2.84E-08	4.82E-09	1.12E-08	2.53E+00	5.91E+00
34	Mfs Tl Vd13	1.28E-10	1.31E-10	1.85E-11	2.63E-11	4.99E+00	6.95E+00
35	Mfs Tt Vd10	1.13E-09	1.13E-09	7.64E-11	3.81E-10	2.96E+00	1.48E+01
36	Mfs Th Vd10	2.26E-08	2.25E-08	4.36E-09	1.02E-08	2.20E+00	5.19E+00
37	Mfs Tl Vd10	6.44E-11	6.52E-11	1.24E-11	1.91E-11	3.42E+00	5.18E+00
38	Msf Tt Vd12	3.37E-10	3.27E-10	4.05E-11	6.66E-11	4.91E+00	8.32E+00
39	Msf Th Vd12	6.74E-09	6.02E-09	1.39E-09	2.03E-09	2.96E+00	4.86E+00
40	Msf Tl Vd12	5.38E-11	5.51E-11	1.78E-11	1.51E-11	3.64E+00	3.01E+00
41	Msf Tt Vd13	3.91E-10	3.80E-10	4.51E-11	7.04E-11	5.40E+00	8.66E+00
42	Msf Th Vd13	7.33E-09	6.56E-09	1.46E-09	2.09E-09	3.13E+00	5.03E+00
43	Msf Tl Vd13	7.30E-11	7.50E-11	2.03E-11	1.75E-11	4.29E+00	3.60E+00
44	Msf Tt Vd10	2.55E-10	2.46E-10	6.01E-11	3.24E-11	7.57E+00	4.24E+00
45	Msf Th Vd10	5.68E-09	5.04E-09	1.25E-09	1.91E-09	2.64E+00	4.52E+00
46	Msf Tl Vd10	3.04E-11	3.08E-11	1.39E-11	1.15E-11	2.69E+00	2.19E+00
47							
48	Max	6.50E-08	6.40E-08	8.16E-09	2.23E-08	1.68E+01	2.61E+01
49	Mean	6.87E-09	6.73E-09	1.10E-09	2.55E-09	3.90E+00	6.20E+00
50	Min	1.64E-11	1.66E-11	9.16E-12	7.95E-12	1.28E+00	1.25E+00

Figur 1 Lekkasjestrømmer krysskobla inverter krets

## C2. Tidsforsinkelser

Tabell 1 viser variasjon i inngangs til utgang forsinkelse over prosess hjørner. Denne kretsen har ingen tidsforsinkelser forbundet med inngang og utgang av søvn modus.

Tabell 1 Inngangs til utgangsforsinkelse

MOS modell	Spenning /temp setting	Inngangs til utgangsforsinkelse [ps]		
		Tt	Th	Tl
Mtt	Vd12	133	145	122
	Vd13	129	142	117
	Vd10	162	162	172
Mff	Vd12	142	157	128
	Vd13	143	156	130
	Vd10	145	163	131
Mss	Vd12	162	158	174
	Vd13	141	146	140
	Vd10	250	211	290
Mfs	Vd12	197	213	184
	Vd13	194	208	180
	Vd10	220	230	216
Msf	Vd12	114	97	129
	Vd13	89	80	101
	Vd10	183	152	205