

**Høgskolen i Gjøviks rapportserie, 2007 nr 8**

**FPLD leverandører på verdensbasis i 2007  
En oversiktsundersøkelse**

Knut Wold

Elektroseksjonen ved  
Institutt for Ingeniør og Allmennfag



**Gjøvik 2007**  
**ISSN 0806-3176**

# Forord

Anvendelsen av FPLD kretser har økt sterkt de siste årene. Særlig innen prototype utvikling er disse integrerte kretsene et nyttig utviklings verktøy.

Denne rapporten er utviklet for å få en liten oversikt over dagens FPLD leverandører/produsenter.

Rapporten vil bli benyttet som læremiddel i faget VHDL-Programmerbare kretser - ELE3161. Studentversjon av rapporten av mars 2006 er allerede anvendt.

Det rettes en stor takk til studentene på Elektro ved HiG for deres bidrag til denne rapporten. Studentene er listet opp etter det året de tok faget Digitalteknikk II/VHDL-Programmerbare kretser.

2001:

Jan Westgård, Simen Andre Aasberg, Karl Otto Oppegård, Ivar Johnsrud, Roger Ekeberg, Elin Engelién og Anders Hansen.

2002:

Kjell Jonny Sætren, Fredrik Husby, Alexander Havstad, Øystein Børresen, Robert Skinnerlien, Kjell Joar Alme, Øyvind Nedregård og Lars Helland.

2004:

Morten Algarheim, Ståle Bjørnesset, Per Omar Kvist El-Melhaoui, Peer Joakim Ensby, Olav Audun Grjøtheim, Bjørn Ivar Høie, Øyvind Knutsen Hårstad, Eimund Smestad og Joar Ølmheim.

2005:

Erling Bjerke, Håvard Feiring, Svern Erik Høylye, Kim Espen Nyhus, Martin Rognerud, Lars Gunnar Thingnes, Ole Kristian Tørresen, Runar Tømte, Tim Valio, Thomas Wassenden, Per Marius K. Ødegaard.

2006:

Kristel Bræin, Øyvind Borgersen, Terje Trønnes, Lars Hilden, Espen Sevendal, Ole Magnus Ludvigsen.

2007:

Lars Mølster, Bjørn Håvar Mellembakken.

Eventuelle feil og mangler i denne rapporten påtar vi oss ikke noe ansvar for.

HiG 21. sept 2007

Knut Wold

# Innholdsfortegnelse

<b>FORORD</b> .....	<b>2</b>
<b>INNHOLDSFORTEGNELSE</b> .....	<b>3</b>
<b>INNLEDNING</b> .....	<b>5</b>
<b>TEKNOLOGI OVERSIKT</b> .....	<b>6</b>
INNLEDNING.....	6
SRAM PROGRAMMERINGS-TEKNOLOGI .....	7
CPLD .....	9
ANTIFUSE TECHNOLOGY - SIKRINGSBRYTENDE .....	11
<b>ACTEL CORPORATION</b> .....	<b>15</b>
SELSKAPET.....	15
TEKNOLOGI.....	15
KRETSER.....	17
<b>AGERE SYSTEMS</b> .....	<b>19</b>
SELSKAPET.....	19
TEKNOLOGI OG KRETSER .....	19
<b>ALTERA CORPORATION</b> .....	<b>20</b>
SELSKAPET.....	20
TEKNOLOGI.....	20
KRETSER .....	23
<b>AMD</b> .....	<b>29</b>
SELSKAPET.....	29
<b>ATMEL CORPORATION</b> .....	<b>30</b>
SELSKAPET.....	30
ATMEL SINE FPGA KRETSER: .....	31
ATMEL SINE SPLD KRETSER: .....	31
ATMEL SINE CPLD KRETSER: .....	33
FPSLIC: .....	34
<b>CYPRESS</b> .....	<b>35</b>
SELSKAPET.....	35
TEKNOLOGI.....	36
<b>GPS – GEC PLESSEY SEMICONDUCTORS</b> .....	<b>39</b>
SELSKAPET.....	39
<b>LATTICE</b> .....	<b>40</b>
SELSKAPET.....	40
TEKNOLOGI / KRETSER .....	41
CPLD .....	41
FPGA .....	42
FPSC.....	43
SPLD.....	44
<b>LUCENT TECHNOLOGIES</b> .....	<b>46</b>

SELSKAPET.....	46
<b>MITEL CORPORATION .....</b>	<b>47</b>
SELSKAPET.....	47
<b>QUICKLOGIC .....</b>	<b>48</b>
SELSKAPET.....	48
TEKNOLOGIEN.....	48
KRETSER .....	49
<b>TRISCEND CORPORATION.....</b>	<b>53</b>
SELSKAPET.....	53
TEKNOLOGI.....	53
KRETSER.....	54
<b>XILINX.....</b>	<b>57</b>
SELSKAPET.....	57
TEKNOLOGI.....	57
<i>Kort oversikt</i> .....	57
<i>Detaljert oversikt - Teknologi</i> .....	58
KRETSER.....	75
<b>ZARLINK SEMICONDUCTORS.....</b>	<b>78</b>
SELSKAPET.....	78
TEKNOLOGI.....	80
<b>KONKLUSJON.....</b>	<b>81</b>
<b>FORKORTELSER.....</b>	<b>82</b>
<b>VEDLEGG 1.....</b>	<b>83</b>
UTGANGSPUNKT FOR UNDERSØKELSEN I 2006.....	83

## **Innledning**

Denne rapporten er et forsøk på å gi litt generell informasjon om forskjellige FPLD produsenter og hva denne teknologien inneholder. Denne rapporten er laget på bakgrunn av opplysninger hentet fra informasjon på nettet til de forskjellige produsentene. Rapporten er et forsøk på å systematisere de forskjellige typene FPLD kretser som finnes pr i dag.

Rapporten tar for seg de forskjellige leverandørene og deres teknologi. Deretter kommer en oppstilling av de forskjellige kretsene som de har i sitt produktspekter innen FPLD kategorien.

Opplistingen er alfabetisk etter navn på produsentene.

Det kan være at enkelte produsenter er utelatt eller at alle typer FPLD ikke er tatt med for den enkelte produsent.

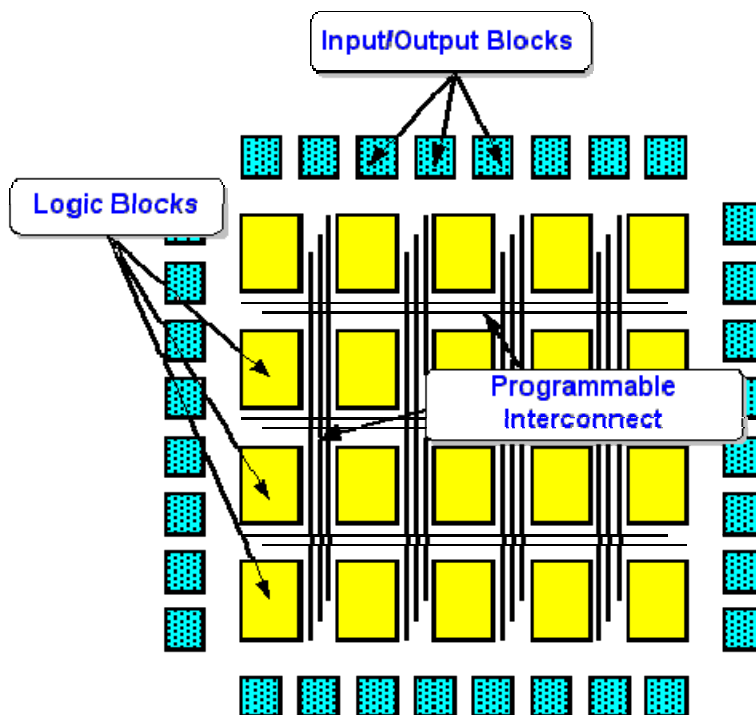
I de tilfeller hvor produsenter har sluttet eller er overtatt av andre er dette kommentert.

# Teknologi oversikt

## Innledning

En FPGA/FPLD krets består av en matrise med blokker, omgitt av programmerbare I/O blokker og koblet sammen med programmerbare sammenkoblinger. Det er en stor variasjon i hvordan arkitekturen i disse blokkene er realisert. Hemmeligheten ved stor tetthet og høy ytelse i disse kretsene ligger i hvordan de logiske blokkene/cellene (LC) er realisert og hvordan ytelsen og effektiviteten er i rutings algoritmene.

En typisk FPLD inneholder fra 64 til titusener av logiske blokker og et enda større antall flip-flopper. De fleste FPLD-er har ikke en 100% sammenkoblings mulighet mellom de logiske blokkene (dette vil være svært dyrt å utføre). De har isteden svært sofistikerte software som plasserer og ruter logikken i kretsene på en måte som er lik autorutere i kretskortutleggs program.

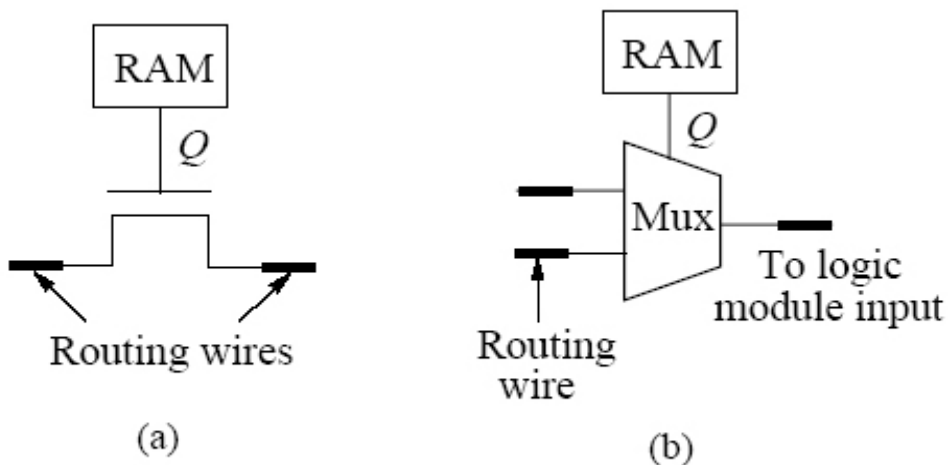


Det skilles vanligvis mellom tre typer av FPLD kretser:

- SRAM baserte (ISP programmerbare)
- CPLD type (EPROM baserte)
- Antifuse type (sikringsbrytende)

## SRAM Programmerings-Teknologi.

SRAM programmerings-teknologi kalles også SRAM FPGA som betyr Static RAM Field Programmable Gate Arrays. SRAM teknologien benytter såkalte SRAM celler for å konfigurere logikk og kontrollere signaler. Disse cellene brukes til å styre "Pass-transistorer" og "multiplexere". Dette er vist på figur 1 nedenfor.



Figur 1: a) Cellene styrer en pass-transistor. b) Cellene styrer en multiplexer.

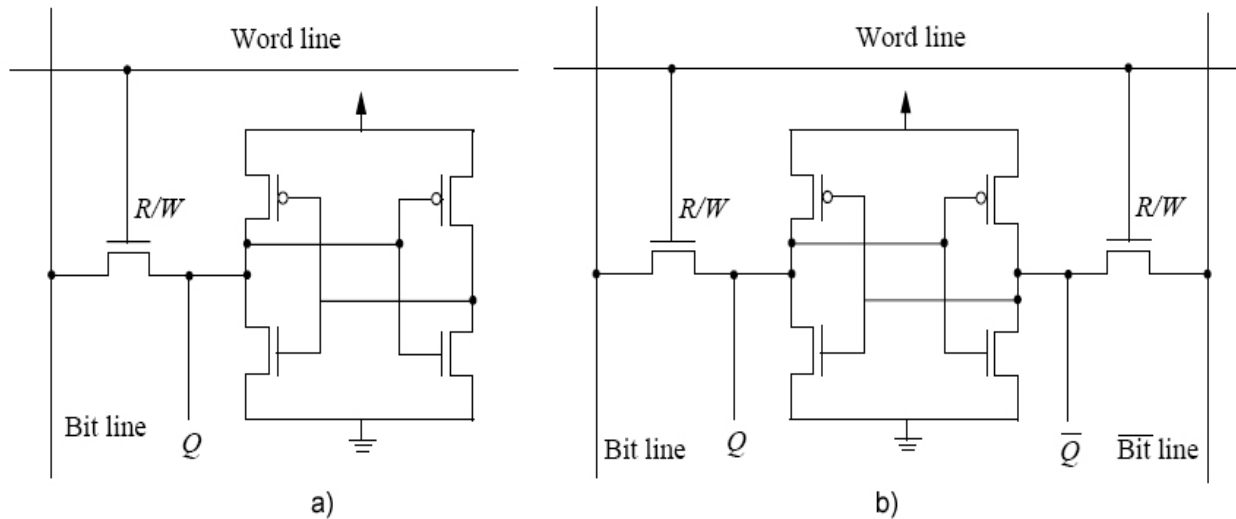
For "pass-transistoren" vist på figur 1.a) styrer SRAM cellene tilstanden til transistoren. Den kan enten være av eller på og fungerer dermed som en bryter. Når transistoren går til tilstand "på" virker transistoren som en motstand på under  $2k\Omega$  mellom de to såkalte "Routing wires" fra figur 1. og bryteren som transistoren lager blir lukket. Det er med andre ord kontakt mellom de to "Routing wires". Når transistoren går til "av" blir det derimot en veldig høy motstand mellom de to "Routing wires" og bryteren blir stående oppe. Det er altså ikke kontakt.

For multiplexeren på figur 1.b) fungerer nivået på SRAM cellen som et styringssignal som styrer inngangene på multiplexeren.

SRAM cellene vist på figur 2.a) og 2.b) er implementert ved å benytte fem og seks transistorer der fire av disse igjen danner to CMOS innvertere koblet som vist på figur 2.a). Når det benyttes fem transistorer som vist på figur 2.a) benyttes da den siste transistoren som en Read/Write (lese/skrive) kontroll komponent for å lade cellen og lese tilbake programmeringen. For løsningen der det benyttes seks transistorer som vist på figur 2.b) benyttes den sjette transistoren som en Read/Write kontroll komponent på den andre siden.

SRAM cellen gir et utsignal, kalt Q på figur 2, som er koplet til og kontrollerer en separat bryter. Denne kan være en "pass-transistor" eller en "multiplexer" som vist på figur 1.

Når det kommer til fordeler og ulemper er løsningen med fem transistorer mer kompakt mens løsningen med seks transistorer har høyere toleranse for støy og er enklere å konstruere. Som følge av den gode stabiliteten på løsningen med seks transistorer har denne fordeler i bruk i "deep-submicron" prosesser og lav spennings teknologier.



Figur2: a) SRAM teknologi med fem transistorer. b) Løsning med seks transistorer.

Videre fordeler med SRAM teknologien i seg selv er at den er enkel å produsere, den er enkel å reprogrammere (ISP-In System Programming), ingen likestrømstap og den programmeres uten ekstra spenninger.

Allikevel har teknologien bakdeler ettersom dens fysiske størrelse er svært stor. En annen interessant egenskap ved SRAM teknologien er at programmeringen går tapt hvis spenningen forsvinner. Dette forutsetter da at man har en ekstern disk som kan stå for programmeringen. Dette er det allerede lagt inn logikk for slik at den laster ned den riktige konfigurasjonen ved oppstart (Spenning på) fra en ROM, krets eller disk. På den annen side gir denne egenskapen bedre design sikkerhet ettersom en design er tapt hvis spenningen forsvinner.

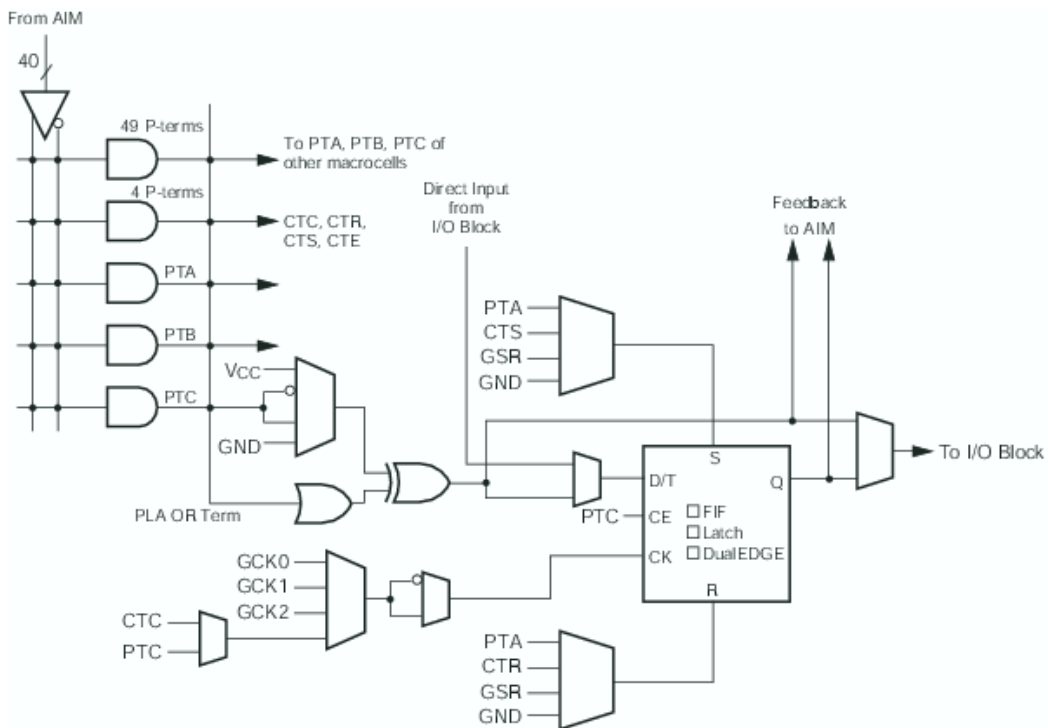


# CPLD

CPLD står for Complex Programmable Logic Device. De første PLDene kom på markedet i 1970 i form av PROM. Disse var betydelig enklere i sin oppbygning i forhold til de PLDene som finnes i dag. Derfor kalles det CPLD fordi de er mer kompliserte enn de første PLDene. De første PLDene blir i dag kalt SPLD der S'en står for Simple.

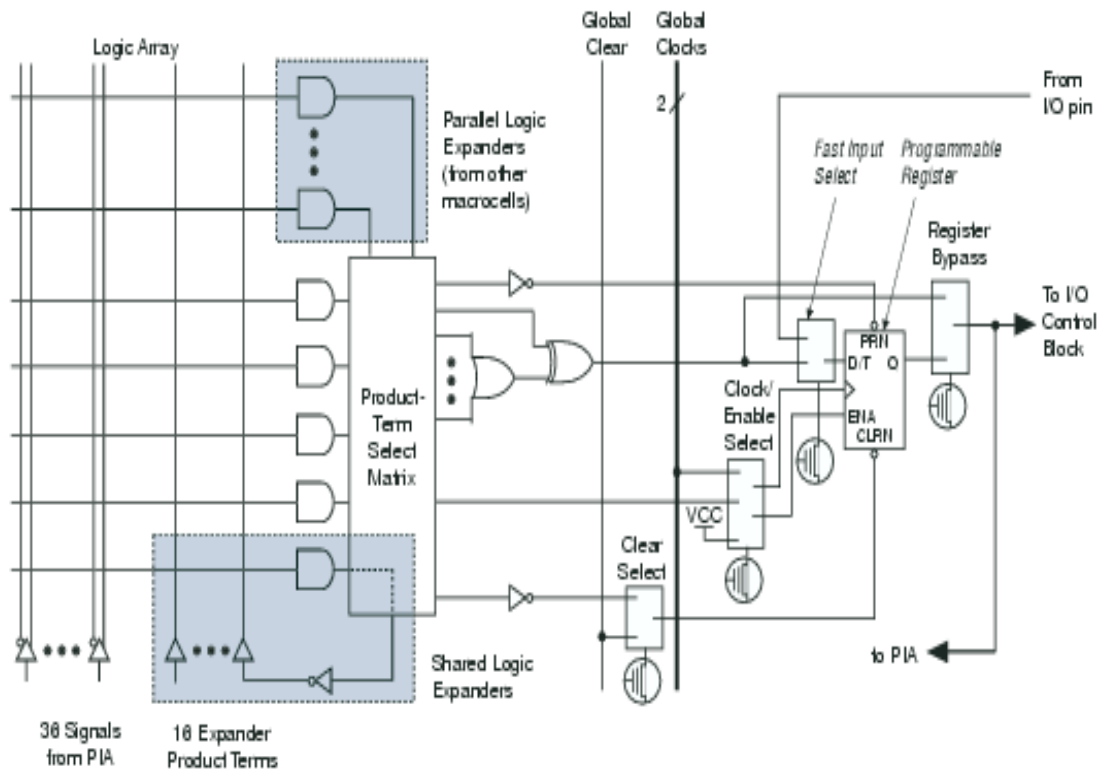
CPLD begynte å komme på markedet i slutten av 1970-åra og starten av 1980-åra. Det første store steget framover kom i 1984 da nyoppstarta Altera introduserte en CPLD som var basert på en kombinasjon av CMOS og EPROM teknologier.

CPLD består generelt av en del SPLD'er, oftest PAL, som er koblet sammen med hverandre igjennom en programmerbar koblingsmatrise. Avhengig av produsenten, er CPLDenes programmerbare svitsjer basert på EPROM, EEPROM, FLASH eller SRAM. Hvis de er basert på SRAM, kan noen av cellene bli brukt som RAM istedetfor programmerbare svitsjer.



Figur3: Makrocelle fra Xilinx CoolRunner-II

Figur 3 viser en makrocelle som sitter i CoolRunner-II fra Xilinx. CoolRunner-II kan fåes med fra 32 til 512 makroceller. Mellom makrocellene er det koblingsmatrise, som kalles AIM (Advanced Interconnect Matrix). AIM styres av programvare og kan sende opp til 40 signaler til hver makrocelle. Alle signaler går igjennom AIM. Signalene som kommer fra I/O går igjennom AIM og alle utgangene fra makrocellene går gjennom AIM.



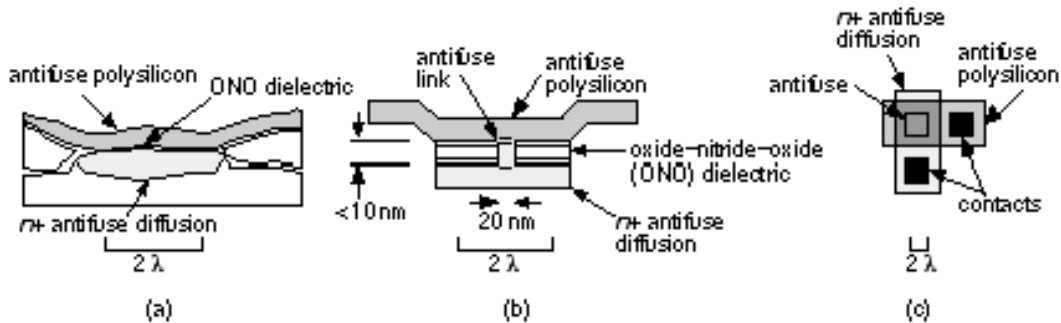
Figur 4: Makrocelle fra Altera MAX7000

Figur 4 viser en makrocelle fra MAX7000. MAX7000 serien kommer også med fra 32 til 512 makroceller. Mellom makrocellene er det en koblingsmatrise som Altera kaller PIA (Programmable Interconnect Array). PIA kan gi 36 signaler til hver makrocelle. Som en kan se fra figur 3 og 4 er det mange likheter mellom de forskjellige makrocellene. Altera og Xilinx er de to største innen CPLDer og en kan dermed regne med at de er representative for hvordan en typisk makrocelle ser ut.

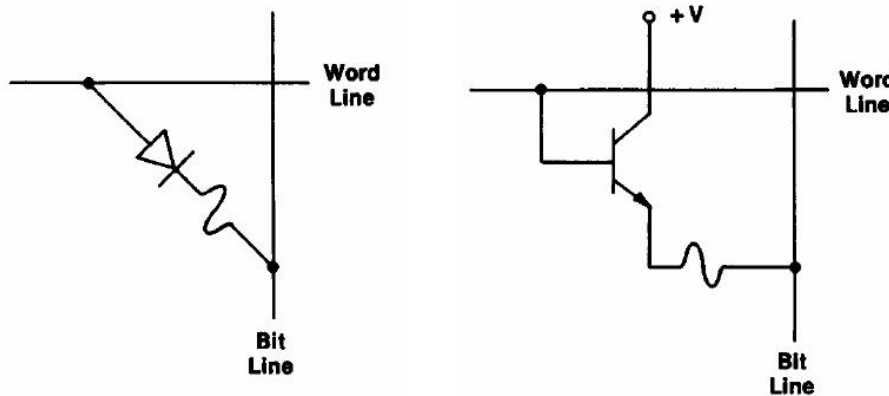
FPGA og CPLD er begge FPLDer (Field Programmable Logic Devices). Forskjellene mellom de er at FPGA lages stort sett i SRAM, noe som gjør at en trenger en egen ROM-brikke som inneholder det som skal på FPGAen. Da CPLD lages i EEPROM eller FLASH trenger en ikke en ekstra brikke og sparer da noen kroner i designet. CPLD er tenkt mer som en brikke som binder sammen annet utstyr. Dette ser en ved at CPLDer er veldig I/O basert, de har mange pinner for å koble til forskjellige ting som busser. Et par eksempler: Hos MAX II CPLDene fra Altera har den minste CPLDen 80 I/O pinner og 240 Logiske Elementer (tilsvarende rundt 192 makroceller). Den minste FPGAen, Cyclone, har 2910 Logiske Elementer og 104 I/O pinner. Den største CPLDen har 2210 Logiske Elementer (tilsvarende rundt 1700 makroceller) og 272 I/O pinner. Den største Cyclonen har 20060 Logiske Elementer og 301 I/O pinner. CPLDer er tenkt til mer enkle logiske operasjoner der det er mange I/O en trenger å koble seg til. FPGAer er tenkt til større logiske operasjoner da de kan inneholde flere mikroprosessorer og DSPer. Det er en viss overlapp og de er sammenlignbare når det gjelder pris per Logiske Element, men CPLDer er billigere når en ser på antall pinner.

# Antifuse technology - Sikringsbrytende

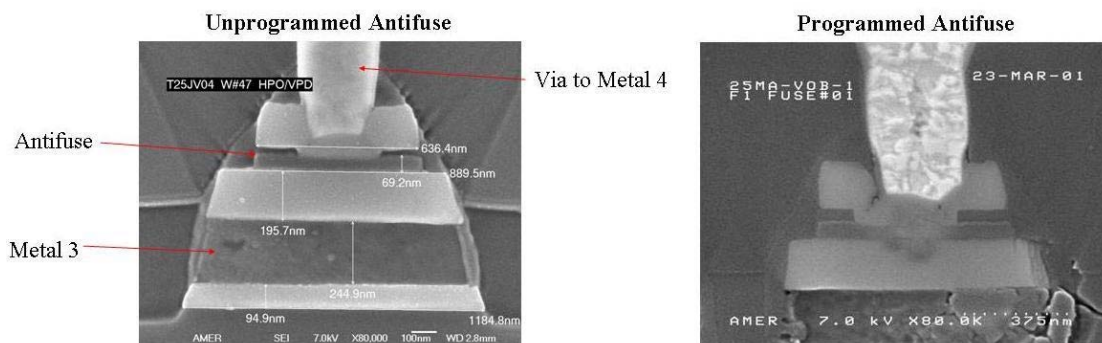
Programmering ved antifuse teknologi kan bare gjøres en enkelt gang på noen typer avhengig av teknologien som benyttes. Kommerielle typer vil la se omprogrammere ca 100-100000 ganger. Ved å sende en strøm (ca 5mA avhengig av type/levrandør) gjennom en normalt åpen krets som smelter et tynt isolerende dielektrikum mellom polysilikon og diffusjons elektroder. Dette former en tynde og permanent silisium overgang.



Figur 5: Antifuse



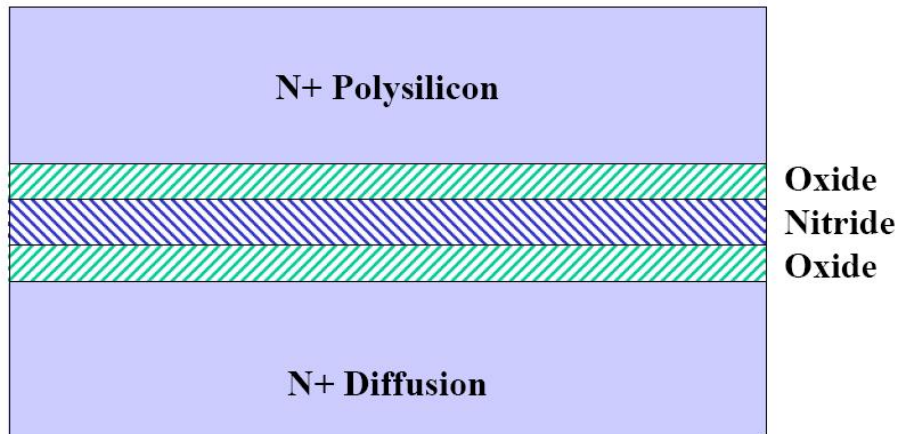
Figur 6: PROM Celler



Figur 7: Uprogrammert og programmert Antifuse.

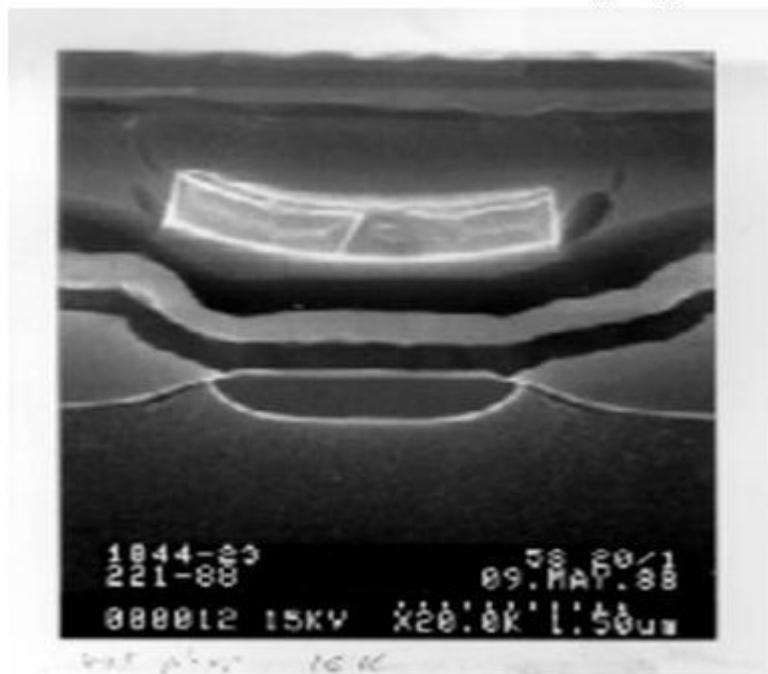
Den første antifuse-teknologien som ble benyttet i FPGA var av typen ONO (oxide, nitride, oxide), som vist på figurene 5 og 6.

## ONO Antifuse



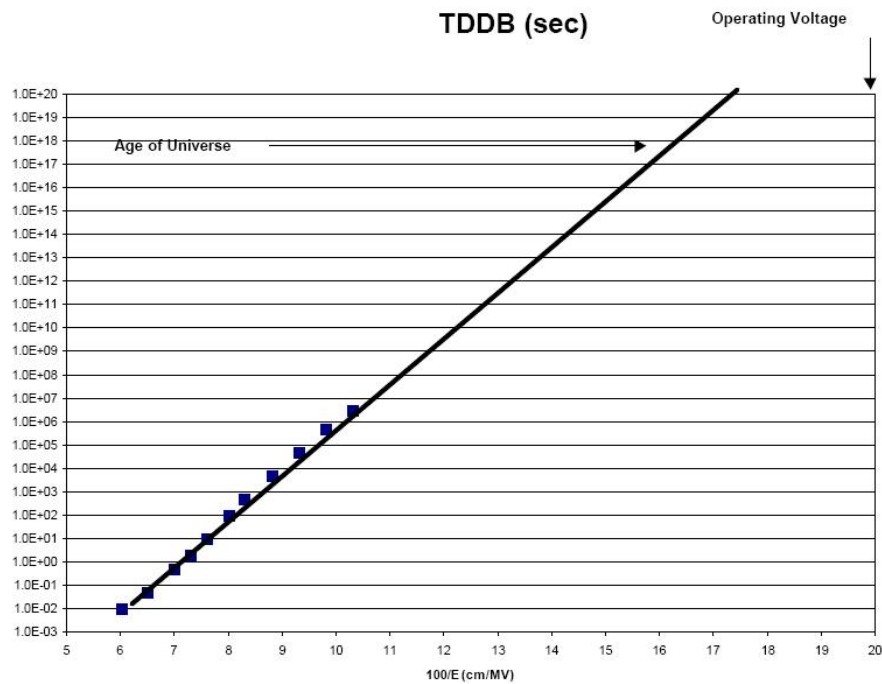
Figur 8.

## ONO Antifuse Photomicrograph



Figur 9.

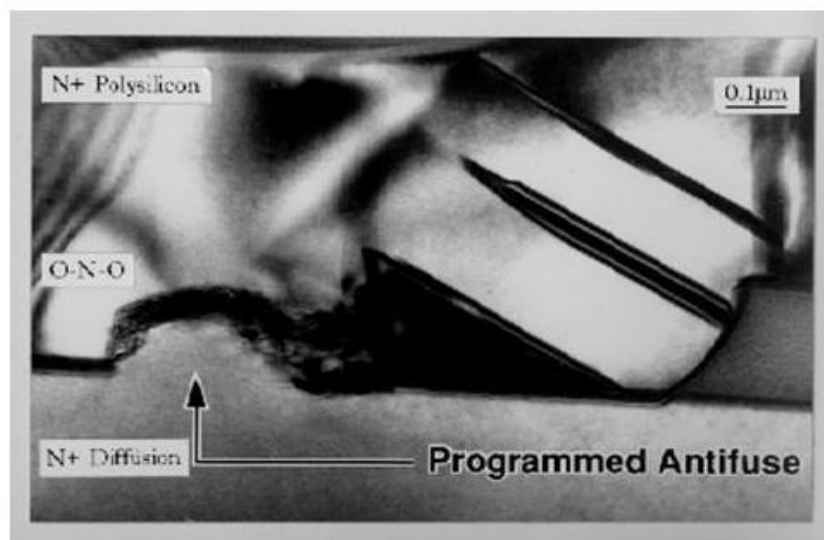
Utfordring med denne teknologien var å kunne opprettholde  $V_{cc}$  spenning over dielektrikumet hele kretsens livstid uten kortslutning. Dette testes ved noe som kalles TDDB (time dependant dielectric breakdown). TDDB tester kretsen for spenninger som langt på vei overgår kretsens maksimale operasjons spenning. Tiden det tar før kretsen knekkes kan da leses ut av TDDB-kurven, som vist under i figur 10.



Figur 10: TDDB (Time Dependant Dielectricum Breakdown).

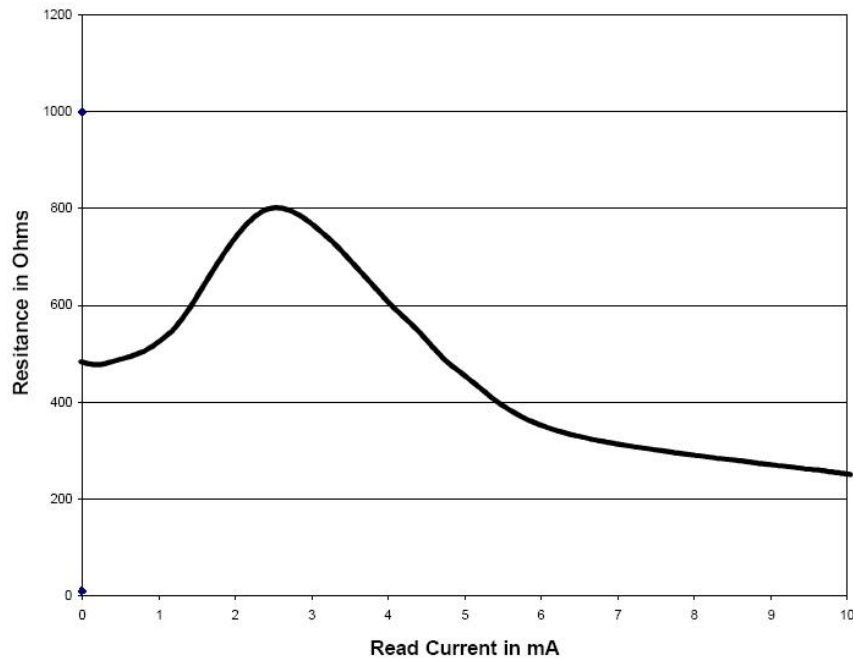
Samtidig med TDDB-testen foretaes det ogs a en HTOL (High Temperature Operating Life), som er en industriell standardtest. Denne testen tester kvaliteten p  dielektrikumet og bekrefter TDDB-testen.

En programmert antifuse krets m  kunne t le mange AC str mpulser uten at den skal  ke resistansen. Likt electromigration i metalloverganger som er forvitring av ledningsbaner grunnet reaksjoner mellom elektroner og ioner ved p satt str m. For   hindre dette legges et tynt konduktivt lag som vist p  figuren under.



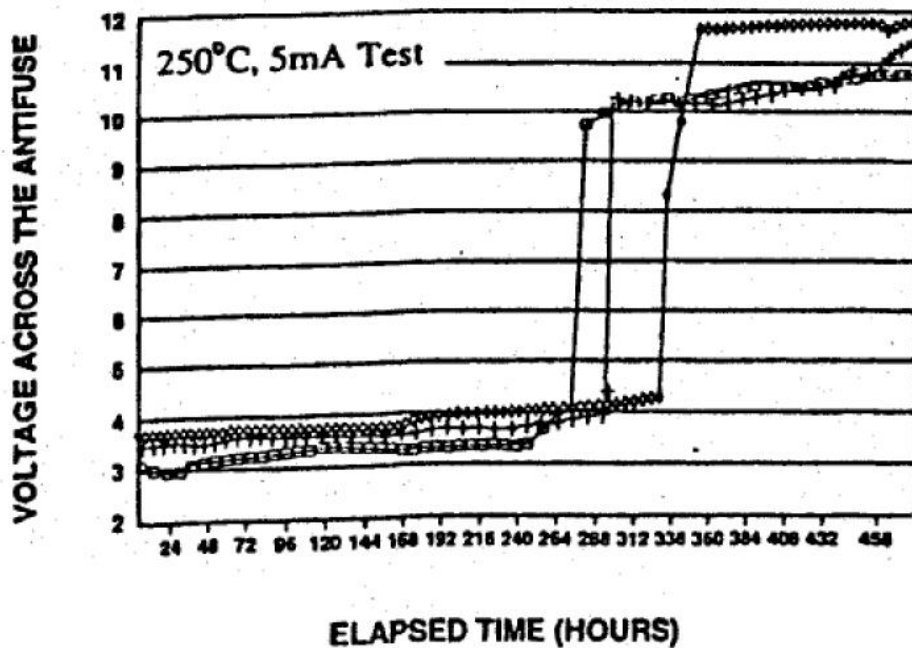
Figur 11: Programmert Antifuse.

I dette tilfellet av ONO vil det konduktive laget redusere resistansen med  kende str mbelastning, se figur 12.



Figur 12: Karakteristikk for Antifuse resistans mot belastningsstrøm.

For å bekrefte at kretsene ikke sluttet å virke ved høye temperaturer ble de varmet opp og testet til de brøt sammen ved 250°C som vist på figur 13.



Figur 13: ONO Antifuse switch of test.

**Kilder:**

<http://klabs.org/fpgas.htm>

The Illustrated Dictionary of Electronics, Stan Gibilisco

The Electrical Engineering Handbook, Shu-Park Chan

# Actel Corporation



## Selskapet

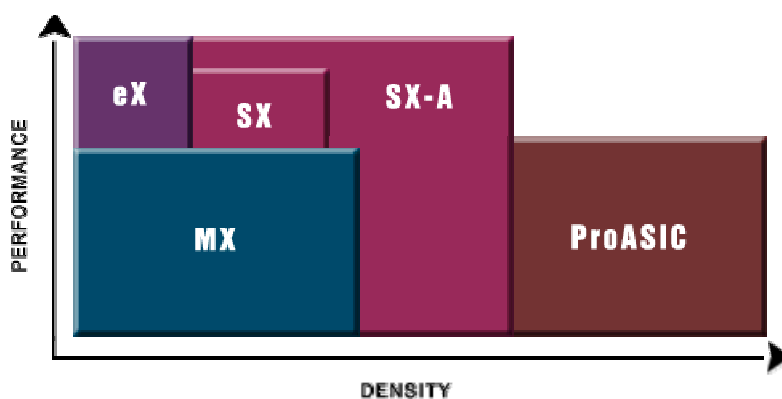
Actel designer, utvikler og markedsfører FPGA-er med tilhørende design og utviklings software og hardware verktøy. Actel sine FPGA er basert på antifuse teknologi og har introdusert ProASIC familien av reprogrammerbare FPGA-er basert på flash teknologien. Ledes av John C. East President & CEO.

Adresse hovedkontor:	Norsk forhandler:	Norsk forhandler:
Actel Corporation 2061 Stierlin Court Mountain View, CA 94043 USA	ACAL Norge Vik Torg Postboks 74 3529 Royse Norway tlf: 32 16 20 60 Fax: 32 16 20 69	Arrow Norge AS Trygve Nilsens v 8 Postboks 92, Furuset 1001 Oslo Norway tlf: 52 76 30 00 Fax: 21 30 65 50
Hjemmeside: <a href="http://www.actel.com">www.actel.com</a>	<a href="http://www.acal.no">www.acal.no</a>	

## Teknologi

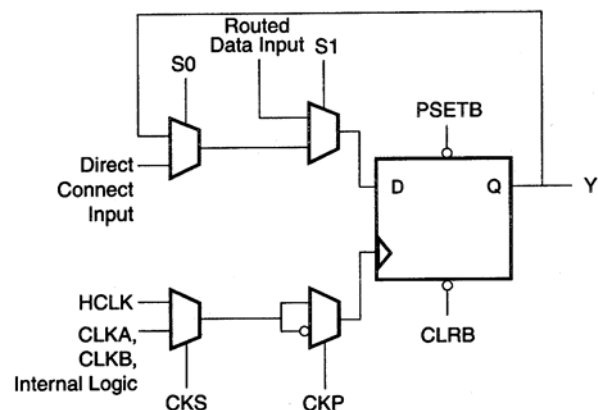
Kretstypene eX, SX-A / SX og MX er basert på antifuse teknologi. Kretstypen ProASIC er basert på Flash teknologi.

I valget av type teknologi vil tetthet i antall gater komme opp mot ytelsen. Figuren under illustrerer de forskjellige familiene opp mot hverandre med tanke på tetthet og ytelse.



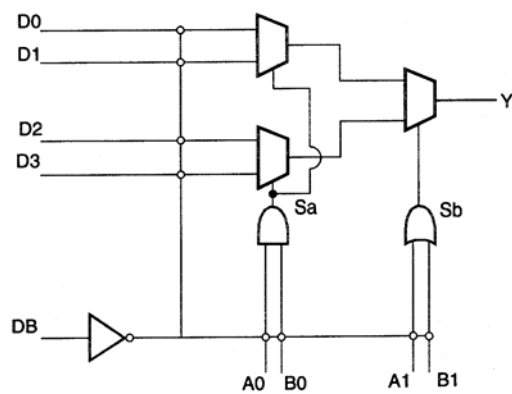
Figur 14: Forskjellige kretsfamilier sine egenskaper

eX familien benytter to typer logiske celler. Register cellen (R-cell) og kombinatorisk celle (C-cell). R-celle viktigste oppgave er at en kan velge polaritet på klokka fra en register-register basis. Klokka kan velges fra en rutet klokke eller fra klokke kilden (krystallet).



Figur 15: R-celle

C-cellene sørger for at en kan velge forskjellige kombinatoriske løsninger/funksjoner. Antall kombinatoriske funksjoner som kan realiseres er øket fra ca 800 til ca 4000 mulighetet i eX arkitekturen.



Figur 16: C-celle



## Kretser

**Axcelerator familien** har fra 125.000 – 2.000.000 gater. Systemets klokke hastighet er 350MHz. Opp til 648 bruker programmerbare I/O er. Benytter 0.15 $\mu$  CMOS antifuse teknologi. Type innpakninger som er tilgjengelig: CS180, FG256, FG324, FG484, FG676, FG896, FG1152, PQ208, CQ208, CQ352, CQ352, BG729, CG624.

Axcelerator tilbyr en ny type teknologi som før bare var tilgjengelig i ASIC.

Krets	Gater	Max Registre	Max I/O	Embedded RAM(bits)	Pris	Annet
AX125	125.000	1.344	168	18.432		
AX250	250.000	2.816	248	55.296		
AX500	500.000	5.376	336	73.728		
AX1000	1.000.000	12.096	516	165.88		
AX2000	2.000.000	21.504	684	294.912		

**eX familien** har fra 3.000-12.000 gater. Klokke hastighet internt er 330 MHz (240 MHz system ytelse). Opp til 130 bruker programmerbare I/O er. Opp til 256 flip-floppe. Benytter 0.22 $\mu$  CMOS teknologi. Type innpakninger som er tilgjengelig er TQ64, TQ100, CS49 og CS128 og CS180.

Krets	Gates	Dedicated Registre	Celler	Max I/O	Pris	Annet
eX64	3.000	64	128	84		
eX128	6.000	128	256	100		
eX256	12.000	256	512	132		

**SX-A/SX familien** har fra 12.000-108.000 gater. Klokke hastighet internt er 350 MHz. Opp til 249 bruker programmerbare I/O er. Opp til 1080 flip-floppe. Benytter 0.35 $\mu$  CMOS teknologi. Type innpakning som er tilgjengelig er PLCC84, PQFP208, VQFP100, TQFP144, TQFP176, PBGA313, PBGA329 og FBGA144. LM=Logic Modules.

Krets	Gates	Dedicated Registre	LM	Max I/O	Pris	Annet
A54SX08/08A	12.000	256	786	130		
A54SX16/16A	24.000	528	1.452	175		
A54SX16P	24.000	528	1.452	177		
A54SX32/32A	48.000	1.080	2.880	249		
A54SX72A	10.8000	2.012	6.036	360		

**MX familien** har fra 3.000-52.000 gater. Klokke hastighet er 250 MHz i ytelse. Opp til 202 bruker programmerbare I/O er. Opp til 2,5 Kbit med konfigurert Dual-Port SRAM. 100 MHz FIFO. Type innpakning som er tilgjengelig er PL44, PL68, PL84, PQ100, PQ160, PQ208, PQ240, VQ80, VQ100, TQ176, BG272, CQ208 og CQ256. LM=Logic Modules

Krets	Gates	LM	Max Registre	Max I/O	Pris	Annet
A40MX02	3.000	295	147	57		
A40MX04	6.000	547	273	69		
A42MX09	14.000	684	516	104		
A42MX16	24.000	1.232	928	140		
A42MX24	36.000	1.890	1.410	176		
A42MX36	52.000	2.438	1.822	202		

**ProASIC3 familien** har fra 30k -3M gater. Klokkehastighet internt er 250 MHz. Opp til 604 bruker programmerbare I/O er. Opp til 75.264 flip-flopper. Benytter 0.25 $\mu$  LVCMOS teknologi. Type innpakning som er tilgjengelig er PQFP208, PBGA272, PBGA456 og FBGA580.

Krets	Gates	Ram kbits	Flip-Flops	Max I/O	Pris	Annet
A3P030	30k	-	768	81		
A3P060	60k	18	1.536	96		
A3P125	125k	36	3.072	133		
A3P250	250k	36	6.144	157		
A3P400	400k	54	9.216	194		
A3P600	600k	108	13.824	227		
A3P1000	1M	144	24.576	288		
A3PE600	600k	108	13.824	270		
A3PE1500	1,5M	270	38.400	439		
A3PE3000	3M	504	75.264	616		

**ProASIC plus familien** har fra 75k – 1M gater. Den bygger på samme betingelser som ProASIC familien. Den har opptil 712 bruker programmerbare I/O er. Den har opp til 56.320 registre. Type innpakning som er tilgjengelig er: PQFP208, FBGA144, PBGA456, FBGA256, FBGA484, FBGA676, FBGA896, FBGA1152, TQFP100.

Krets	Gates	Ram kbits	Registre	Max I/O	Pris	Annet
APA075	75k	27	3.072	158		
APA150	150k	36	6.144	242		
APA300	300k	72	8.192	290		
APA450	450k	108	12.228	344		
APA600	600k	126	21.504	454		
APA750	750k	144	32.786	562		
APA1000	1M	198	56.320	712		

# Agere Systems



## Selskapet

Agere Systems var tidligere mikroelektronikk divisjonen til Lucent Technologies. Er i dag en av de største innen salg av kommunikasjons produkter.

Omsetningen var i 2000 4,7 milliarder dollar. Det er 12.000 ansatte fordelt over hele verden.

Fra 1998 til 2000 har det vært en gradvis overtakelse av flere selskaper for å danne Agere Systems.

Adresse hovedkontor:	Norsk forhandler:
Agere Systems 555 Union BLvd. Allentown, PA 18109 USA	
Hjemmeside: <a href="http://www.agere.com/">http://www.agere.com/</a>	

## Teknologi og Kretser

Agere overtok Lucent sine kretser, men FPLD versjonen er ikke i dag å finne i utvalget av kretser som de har. Kanskje de vil komme i nær fremtid.

# Altera Corporation



## Selskapet

Altera Corporation, grunnlagt i 1983, var den første leverandøren av reprogrammerbare logiske kretser (PLD). I dag er de blant de største leverandørene av programmerbare kretser, og de leverer også programmeringssoftware som MAX+PLUS II og Quartus II. De har ca. 500 kretser og tilbyr derfor et bredt sortiment som bør tilfredsstillende nesten alle behov.

Altera har hovedkvarter i San Jose, California og har ca 1880 ansatte i 14 land med rundt 14.000 kunder over hele verden.

Adresse hovedkontor:	Norsk forhandler:	
Altera Corporation 101 Innovation Drive San Jose California 95134 USA	Arrow Amsosen N-5578 Nedre Vats Norway  Tel: +47 52 76 30 00 Fax: +47 52 76 53 39	EBV Elektronik  Ryensvingen 3B P.O. BOX 101, Manglerud N-0612 OSLO, Norway  Tlf: (47) 22 67 17 80 Faks: (47) 22 67 17 89
Hjemmeside: <a href="http://www.altera.com">www.altera.com</a>	<a href="http://www.arrow.no">www.arrow.no</a>	<a href="http://www.ebv.com">www.ebv.com</a>

## Teknologi

Altera tilbyr disse krets familiene:

ACEX, APEX, FLEX, MAX. Alle kretsene er ISP og er basert på CMOS teknologi.

ISP = In System Programmable

### ACEX 1K

ACEX 1K er en PLD med høy kapasitet med mulighet for:

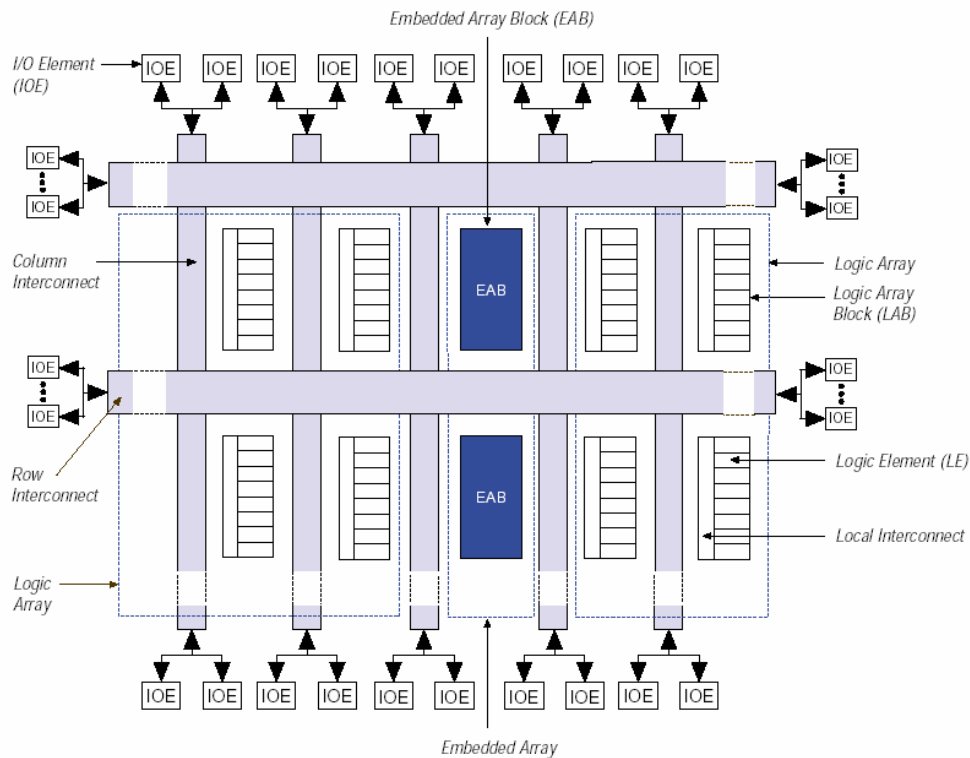
- 10,000 – 100,000 gates
- Opp til 49,152 RAM bits
- 2.5 volts drivspenning
- Opp til 333 I/O

Oppbygd av 2 typer celler :

- Minne celler (Embedded array, EA) som gir oss mulighet til å realisere store funksjoner, for eksempel effektivt minne og spesielle logiske funksjoner.
- Logiske celler (Logic array, LA) som inneholder generell logikk.

Minne cellene til ACEX 1K er brukt til å implementere komplekse logikk funksjoner for eksempel DSP, mikrokontroller applikasjoner, data transformasjoner, eller de kan benyttes til å implementere forskjellige minne funksjoner som RAM, ROM og FIFO register. Logikk cellene til ACEX 1K blir benyttet til å realisere generell logikk f.eks tellere, summasjonskretser, tilstands maskiner og multipleksere.

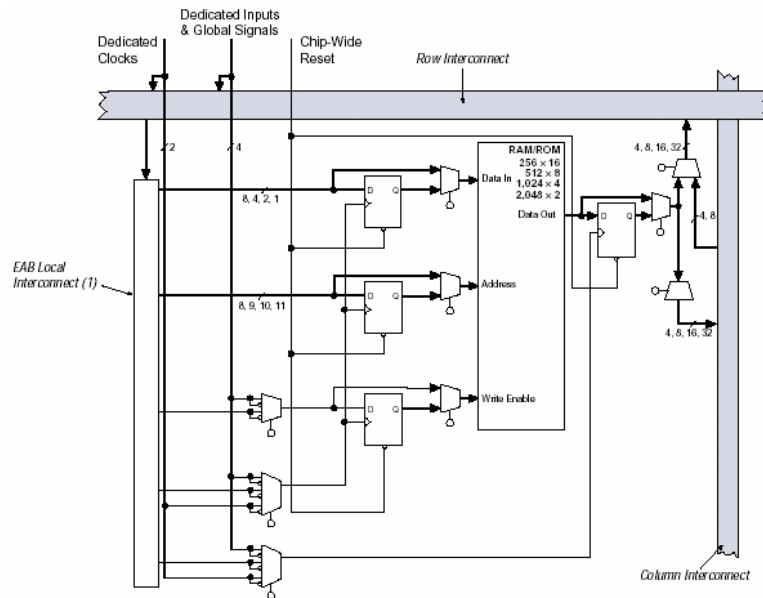
I figuren nedenfor er det vist hvordan ACEX 1K er inndelt i minneceller ( EA ) og logikk celler ( LA).



Figur 17: Inndeling av ACEX I minneceller

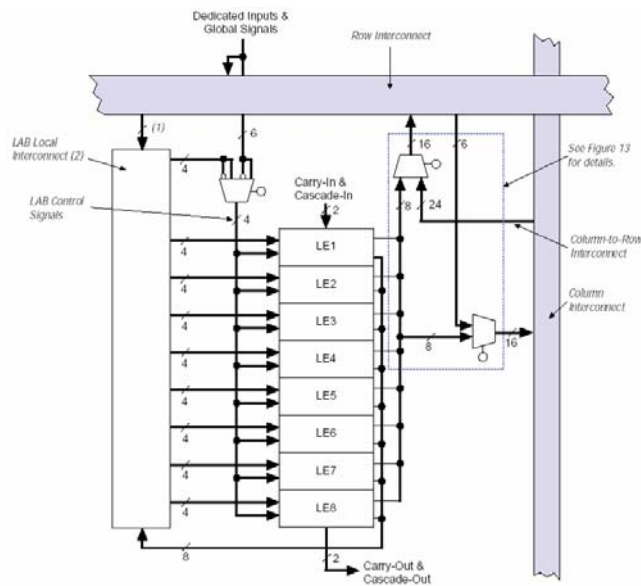
Hver minne celle er inndelt i flere mindre minne blokker. Disse minneblokkene kan programmeres til å handtere data enkeltvis eller i sammen. Hver minne blokk inneholder ei fleksibel RAM blokk som kan konfigureres som LUT, RAM, ROM eller FIFO . Når minnecellen benyttes til logikk funksjoner, vil det bli laget en LUT. (look-up table) Denne tabellen vil inneholde resultatet som den logiske funksjonen ville skape ut i fra de samme innsignalene som LUT har inn. Ved å benytte LUT isteden for logiske kretser, vil dette føre til at de komplekse funksjonene blir mye raskere en om vi skulle beregne resultatet ved å benytte logikk.

På neste side ser vi hvordan minneblokkene er oppbygd:



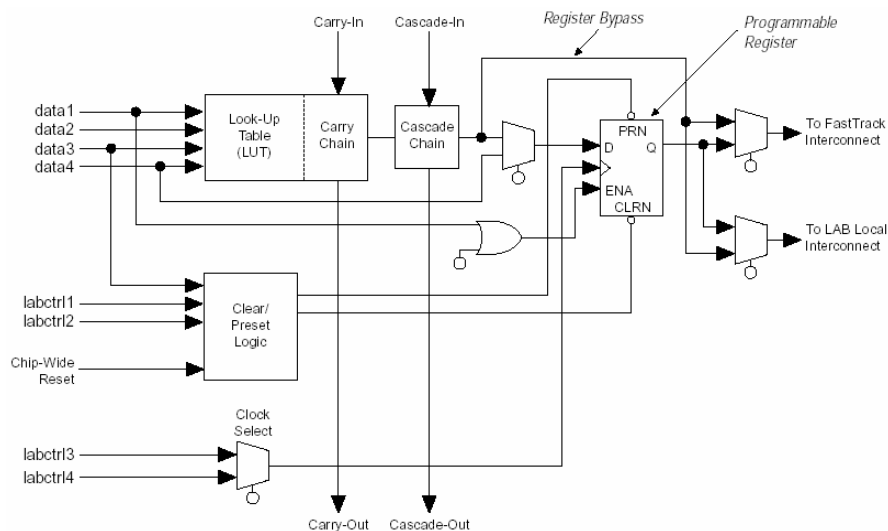
Figur 18: Oppbygging av minneblokker

Hver logikk celle er inndelt i mindre logiske blokker, som vist i figuren nedenfor. Denne blokken inneholder 8 mindre logiske element samt sammenkoplingen til hvert element .



Figur 19: Inndelingen av logikk celle i mindre logiske blokker.

Det minste elementet i ACEX 1K arkitekturen er logikk elementene som har en kompakt størrelse for å få en effektiv utnyttelse av logikken. Hver logikk element inneholder en 4 inngangs LUT. LUT kan benyttes som en funksjons generator til å utføre en funksjon med 4 variabler inn. I tillegg inneholder hvert logikk element en programmerbar vippe som kan konfigureres til 4 forskjellige vippe funksjoner hhv. D, T, JK, eller SR. Det er også mulig å styre vippens klokke, clear og preset innganger i fra globale signal.



Figur 20: Minste elementet i ACEX arkitekturen.

## Kretser

### ACEX 1K familien

- 10.000 -100.000 gater.
- 2.5 Volts drivspenning.
- Klokke hastighet 66 MHz

Krets	Gates	Registre	Celler	I/O	Annet
EP1K10	10,000	12,228 bit	576	136	
EP1K30	30,000	24,576 bit	1,728	171	
EP1K50	50,000	40,960 bit	2,880	249	
EP1K100	100,000	49,152 bit	4,992	333	

### APEX II familien

- 600,000 – 3,000,000 gater.
- 1.5 Volts drivspenning.

Krets	Gates	Register	Celler	I/O	Annet
EP2A15	600,000	425,984 bit	16,640	492	
EP2A25	900,000	622,592 bit	24,320	607	
EP2A40	1,500,000	655,360 bit	38,400	735	
EP2A70	3,000,000	1,146,880 bit	67,200	1,060	

### APEX 20K familien

- 30,000-1,500,000
- 1.8 eller 2,5 Volts drivspenning

Kretser	Gates	Register	Celler	I/O	Annet
EP20K100	263,000	53,248 bit	4,160	252	
EP20K200	526,000	106,496 bit	8,320	382	
EP20K400	1,052,000	212,992 bit	16,640	502	

## APEX 20KC og APEX 20KE

Kretser	Gates	Register	Celler	I/O	Annet
EP20K30 <sup>(1)</sup>	30,000	24,576 bit	1,200	128	
EP20K60 <sup>(1)</sup>	60,000	32,768 bit	2,560	196	
EP20K100 <sup>(1)</sup>	100,000	53,248 bit	4,160	246	
EP20K160 <sup>(1)</sup>	160,000	81,920 bit	6,400	316	
EP20K200	200,000	106,496 bit	8,320	376	
EP20K300 <sup>(1)</sup>	300,000	147,456 bit	11,520	408	
EP20K400	400,000	212,992 bit	16,640	488	
EP20K600	600,000	311,296 bit	24,320	588	
EP20K1000	1,000,000	327,680 bit	38,400	708	
EP20K1500	1,500,000	442,368 bit	51,840	808	

<sup>1</sup> Produseres bare i APEX 20KC

## FLEX 10K familien

- 10.000-250.000 gater.
- 5.0, 3.0 eller 2.5 volt drivspenning.
- Klokke hastighet opp til 204 MHz.

Krets	Gates	Register	Celler	I/O	Annet
EPF10K10	10,000	6,144 bit	576	134	
EPF10K20	20,000	12,288 bit	1,152	150	
EPF10K30	30,000	12,288 bit	1,728	189	
EPF10K40	40,000	16,384 bit	2,300	246	
EPF10K50	50,000	20,480 bit	2,880	189	
EPF10K70	70,000	18,432 bit	2304	358	
EPF10K100	100,000	24,576 bit	3,744	406	
EPF10K130V	130,000	32,768 bit	6,656	470	
EPF10K200E	200,000	98,304 bit	9,984	470	
EPF10K250A	250,000	40,960 bit	12,160	470	

## FLEX 6000 familien

- 10,000-24,000 gater
- 3.3 eller 5.0 volt drivspenning

Krets	Gates	Register	Celler	I/O	Annet
EPF6010A	10,000		880	117	
EPF6016	16,000		1,320	204	
EPF6016A	16,000		1,320	218	
EPF6024A	24,000		1960	218	

## FLEX 8000 familien

- 2,500-16,000 gater
- 3.3 eller 5.0 volts drivspenning

Krets	Gates	Register	Celler	I/O	Annet
EPF8282A	2,500		208	78	
EPF8452A	4,000		336	120	
EPF8636A	6,000		504	136	
EPF8820A	8,000		672	152	
EPF81188A	12,000		1,008	184	
EPF81500A	16,000		1,296	208	



### MAX 3000A familien

- 600 – 5,000 gater.
- 3.3 volt drivspenning.

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EPM3032A	600		32	34	
EPM3064A	1,250		64	66	
EPM3128A	2,500		128	96	
EPM3256A	5,000		256	158	
EPM3512A	10,000		512	208	

<sup>1</sup> Macrocells

### MAX 7000 familien

- 600-10,000 gater.
- Blir produsert i 3 versjoner:
  - MAX 7000B 2.5 Volt.
  - MAX 7000A 3.3 Volt.
  - MAX 7000S 5.0 Volt.

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EPM7032	600		32	36	
EPM7064	1,250		64	68	
EPM7128	2,500		128	100	
EPM7160 <sup>(2)</sup>	3,200		160	104	
EPM7192 <sup>(2)</sup>	3,750		192	124	
EPM7256	5,000		256	164	
EPM7512 <sup>(3)</sup>	10,000		512	212	

<sup>1</sup> Macrocells.

<sup>2</sup> Produseres bare i MAX 7000S serien.

<sup>3</sup> Ikke i MAX 7000S serien

### MAX 9000 familien

- 6,000-12,000 gater

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EPM9320	6,000		320	168	
EPM9400	8,000		400	159	
EPM9480	10,000		480	175	
EPM9560	12,000		560	216	

<sup>1</sup> Macrocells.

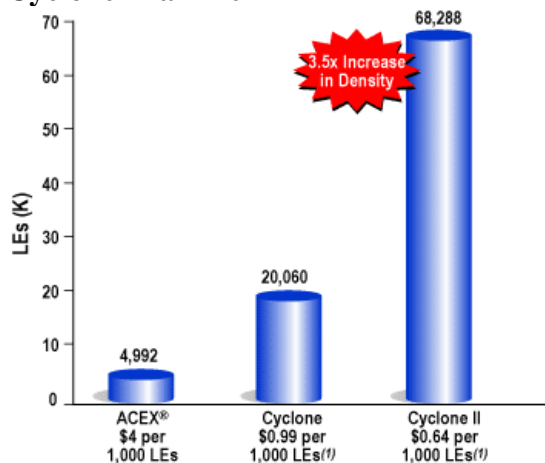
### MAX 2 familien

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EPM240/G	240		192	80	
EPM570/G	570		440	160	
EPM1270/G	1270		980	212	
EPM2210/G	2210		1700	272	

## Cyclone 3 familien

Krets	Gates	Register	Celler	I/O	Annet
EP3C5	15136			182	
EP3C10	10320			182	
EP3C16	15408			346	
EP3C25	24624			215	
EP3C40	39600			535	
EP3C55	55856			377	
EP3C80	81264			429	
EP2C120	119088			531	

## Cyclone 2 familien



Figur 21: Cyclone 2 familien

Rimeligste alternativet fra altera.

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EP2C5	4608		320	142	
EP2C8	8256		400	182	
EP2C20	18752		480	315	
EP2C35	33216		560	475	
EP2C50	50528			450	
EP2C70	68416			622	

## Cyclone familien

Tidligere modell av cyclone 2. Var det rimeligste alternativet før altera lanserte cyclone 2

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EP1C3				104	
EP1C4	8256		400	301	
EP1C6	18752		480	185	
EP1C12	33216		560	249	
EP1C20	50528			301	

## Stratix familien

Denne serien er bygd med tanke på større krav i systemene ute hos kunder. Denne serien har høy båndbredde og en lav kostnad. Bygd med tanke på å implentere NIOS prosessorene i FPGA kretser.

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EP1C10	10570		426	142	
EP1S20	18460		586	182	
EP1S25	25660		706	315	
EP1S30	32470		726	475	
EP1S40	41250		822	450	
EP1S60	57120		1022	622	
EP1S80	79040		1203		

### Stratix 2 familien

En videreutvikling av Stratix serien. Bygd med samme intensjon om å implementere NIOS prosessorene.

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EP2S15	4608		15600	366	
EP2S30	8256		33880	500	
EP2S60	18752		60440	718	
EP2S90	33216		90960	902	
EP2S130	50528		132540	1126	
EP2S180	68416		179400	1170	

### Stratix 3 familien

Krets	Gates	Register	Celler	I/O	Annet
EP3SL50	47500			480	
EP3SL70	67500			480	
EP3SL110	106500			736	
EP3SL150	142000			736	
EP3SL200	198900			864	
EP3SL340	338000			1104	
EP3SE50	47500			480	
EP3SE80	80000			736	
EP3SE110	106500			736	
EP3SE260	254400			960	

### Mercury

Denne serien er bygd for kunder som trenger båndbredde.

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EP1M120	120000		4800	303	
EP1M350	350000		14400	486	

### Arria GX familien

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EP1AGX20	21,580		341		
EP1AGX35	33,520		341		
EP1AGX50	50,160		514		
EP1AGX60	60,100		514		
EP1AGX90	90,220		538		

## Excalibur familien

Denne serien kommer med innebygd NIOS prosessor med minne og en FPGA krets rundt denne prosessoren slik at den kan programmeres til ett hvert formål.

Krets	Gates	Register	Celler <sup>(1)</sup>	I/O	Annet
EPXA1	100000		4160	178	
EPXA4	400000		16640	360	
EPXA10	1000000		38400	521	

# AMD



## Selskapet

AMD - Advanced Micro Devices Inc

Selskapet ble grunnlagt i 1969.

Det var en av de første selskapene som begynte med PLD kretser. Skilte i 1998 ut denne delen som et heleid datterselskap med navnet Vantis Corporation. Vantis ble så i 1999 solgt til Lattice Semiconductors.

I dag driver AMD mye innenfor minnekretser (særlig FLASH) og egne prosessorer.

Selskapet hadde i 2001 en omsetning på 3,9 milliarder \$.  
Med 14.757 ansatte over hele verden er det et stort selskap

<b>HOVEDKONTOR:</b>	<b>NORSKE FORHANDLERE:</b>
AMD One AMD Place P.O. Box 3453 Sunnyvale CA 94088  TEL (800) 538-8450 <a href="http://www.amd.com">www.amd.com</a>	ATMEL NORWAY Vestre Rosten 78 7075 Tiller

De har dannet et eget selskap "Alchemy Semiconductor Inc" som skal designe, utvikle og markedsføre høy ytelses men lav effekt systemer på en chip (systems-on-a-chip (SOC)) for "the Internet Edge Device market".

<http://www.alchemysemi.com/>



# Atmel Corporation



## Selskapet

Atmel corporation ble grunnlagt i 1984. De er en av verdens ledende i design, produksjon og markedsføring av avanserte semiconductors, inkludert avansert logikk, miksede signaler og RF integrerte kretser.

Selskapet har i dag over 6.600 ansatte over hele verden. De produserer ca 4 millioner integrerte kretser hver eneste dag (over 1 milliard pr år).

Atmel er en av de verdensledende firmaene, når det gjelder det å integrere "nonvolitale" minne, logikk og analoge funksjoner på en og samme krets.

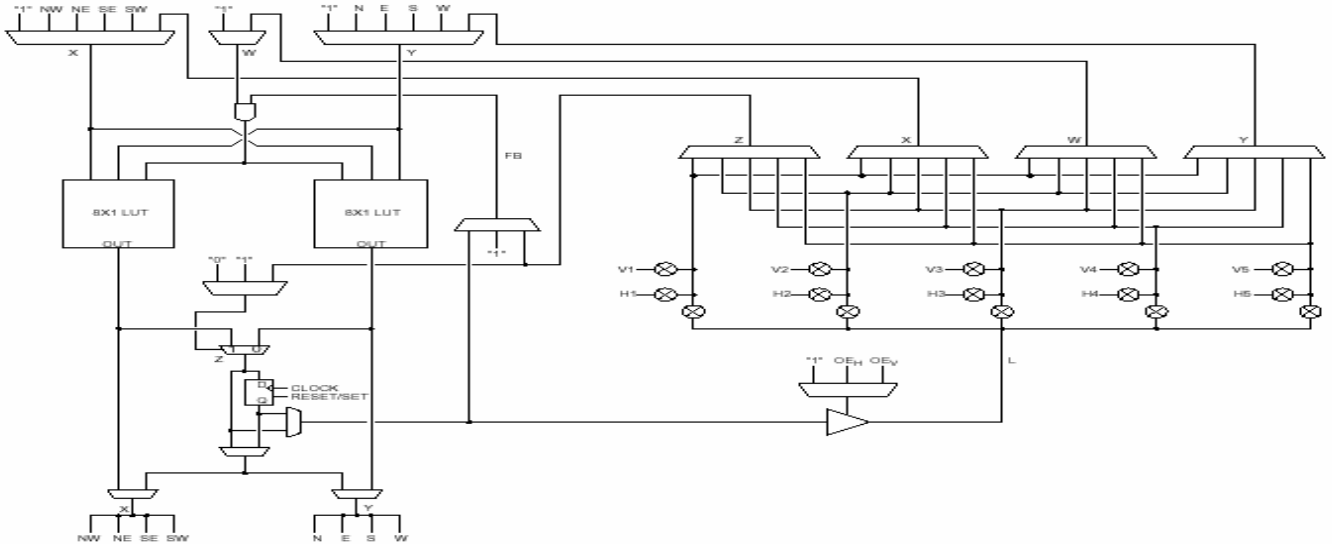
Atmel sine kretser er produsert ved å bruke den mest avanserte wafer prosess, inkludert BiCMOS, CMOS og Silisium Germanium (SiGe) teknologier.

Hovedkontor	Distributører i Norge	
	Firma	Kontakt
ATMEL CORPORATION  2325 Orchard Parkway San Jose, CA 95131 TEL (408) 441-0311 FAX(408) 487-2600  URL: <a href="http://www.atmel.com">http://www.atmel.com</a>	ACTE NC Norway AS  Vestvollveien 10C 2020 Skedsmokorset, Norway <a href="http://www.acte.no">www.acte.no</a>	Tlf: (47) 63 89 89 00 Faks: (47) 63 89 89 79
	ARROW Norway  Postbox 25 N-5578 Nedre Vats, Norway <a href="http://www.arrow.no">www.arrow.no</a>	Tlf: (47) 52 76 30 00 Faks: (47) 52 76 53 39

## Atmel sine FPGA kretser:

### AT40K og AT40KAL

AT40K er en FPGA med LUT- basert celle arkitektur. Dette er en SRAM basert FPGA med en 10 ns programmerbar synkron/asynkron, dual port/single port SRAM. Innretningen er støttet av 8 globale klokker og automatiske komponent generatorer. Den har innebygd 5k til 50k porter. Antall I/O er fra 128 til 384. AT40K kan man få i standard pakker fra 84-pin PLCC til 352-pin BGA. Alle kan bruke både 3,3V og 5V.



Figur 22: AT40KAL cell

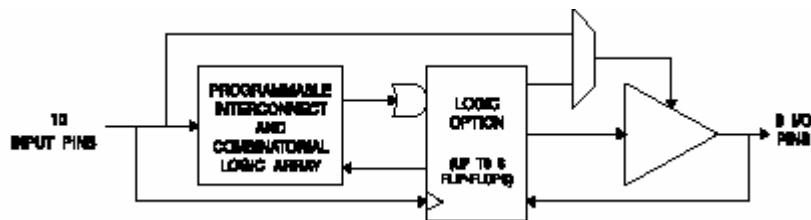
### Oversikt over Atmel sine FPGA

Krets	Gates	Registre	Celler	I/O	Annet
AT40K05/AL	5k-10k	256	256	128	
AT40K10/AL	10k-20k	576	576	192	
AT40K20/AL	20k-30k	1024	1024	256	
AT40K40/AL	40k-50k	2304	2304	384	

## Atmel sine SPLD kretser:

**ATF16V8 familien** består av *ATF16V8B*, *ATF16V8BQ*, *ATF16V8BQL*, *ATF16V8C* og *ATF16V8CZ*.

*ATF16V8B* er en CMOS Programmable logic device (PLD). Hastigheter ned mot 7.5 ns er mulig. Alle hastigheter er spesifisert over 5V +/- 10% for industrier og 5V +/- 5% for private. Strømforbruket ligger på henholdsvis: 50, 35 og 5 mA i standby og 55, 40 og 20mA i aktiv modus. Du får ATF16V8B familien i følgende pakker: TSSOP, DIP/SOIC og PLCC.

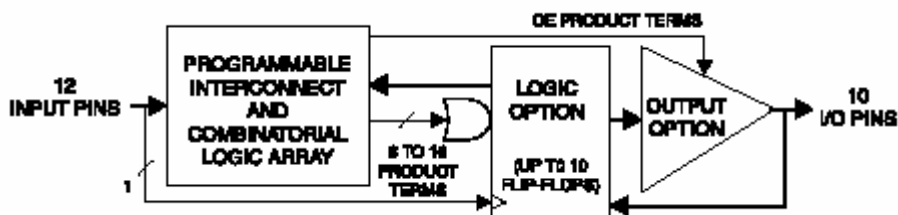


Figur 23: Blokkskjema for ATF16V8B

ATF16V8C har høg hastighet elektrisk slettbare PLD, også kalt EEPLD (Electrically Erasable). Den har hastighet ned mot 5ns og hastigheten er spesifisert over 5V +/- 10% for industrier og 5V +/- 5% for private. Kretsen har en "power down control pin", hvis denne er aktiv har den en strømtrekk på 100  $\mu$ A for private og 105  $\mu$ A for industri i standby. I aktiv modus ligger strømtrekket på maks 130mA. Finnes i følgende pakker: PLCC, PDIP, SOIC og TSSOP.

**AT22LV10 familien** består av AT22LV10B og AT22LV10C

AT22LV10 er lav-spennings slettbar, compatible CMOS Programmable Logic Devices (PLD). Hastigheter ned mot 10 ns og strømtrekk ned i 10mA. Alle hastigheter er spesifisert fra 3V til 5.5 V. Alle pinner har en +/- 10 $\mu$ A lekkasje. Pakker: DIP/SOIC og PLCC.



Figur 24: Blokkskjema for AT22LV10

*Oversikt over Atmel sine SPLD*

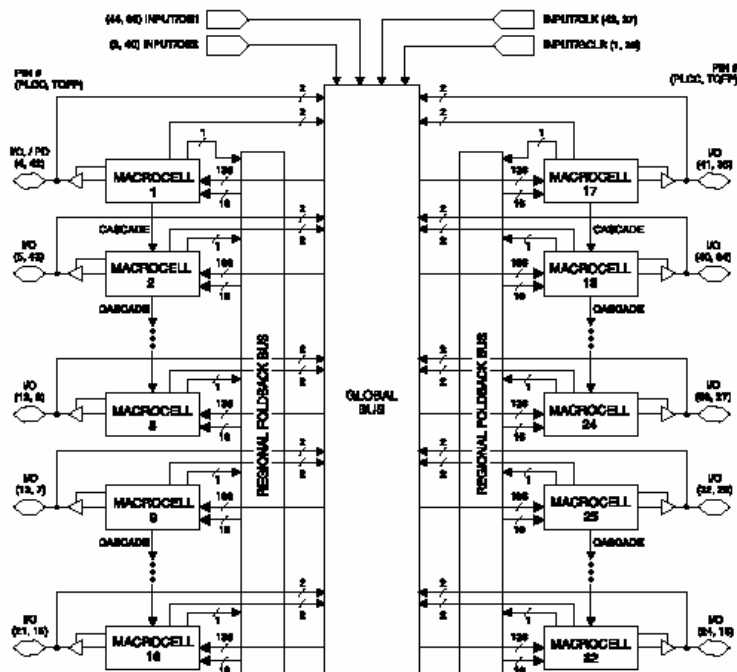
Krets	Gates	Registre	Celler	I/O	Annet
ATF16V8	150	8	8	20	
ATF20V8	200	8	8	24/28	
AT22LV10	350	10	10	24/28	
ATF22LV10	500	10	10	24/28	
AT1500A	750/1000/1500 /3000	32	32	44/68/84/100	
AT750	500	20	10	24/28	
ATV2500	1500	48	24	40/44	
ATF1500	750/1500/300	32/64/128	32/64/128	44/49/84/100/ 144/169/256	
ATF16V8	150	8	8	20	
AT6K	6 – 30 K	1024 - 6400	1024 - 6400	96 - 204	Rask



## Atmel sine CPLD kretser:

**ATF1500A familien** består av ATF1500A og ATF1500AL.

ATF1500A er en høy-tetthets kompleks PLD. Den er bygd på en avansert Flash teknologi, den har maks pinne til pinne forsinkelse på 7.5 ns og støtter logiske operasjoner for hastigheter opp til 125 MHz. I tillegg til de nevnte kretsene har Atmel kommet med "new second generation" av den populære ATF15XX serien.

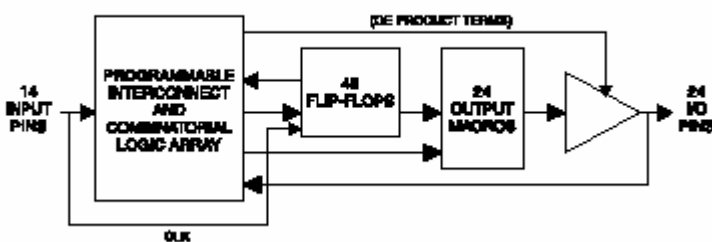


Figur 25: Blokkskjema for ATF1500 familien

**ATV2500 familien** består av ATV2500B, ATV2500BQ og ATV2500BQL.

ATV2500 er en høyhastighets, UV lys slettbar og høy-tetthets kompleks PLD krets. Den har en maks pinne til pinne forsinkelse på 7.5 ns.

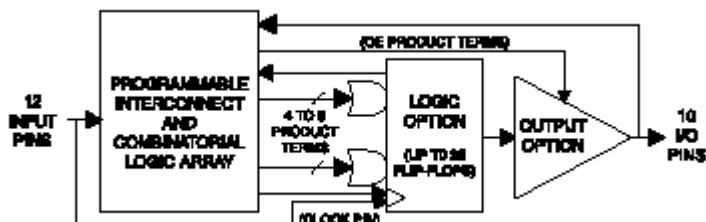
### Block Diagram



Figur 26: Blokkskjema for ATV2500

**ATV750B familien** består av *ATV750B* og *ATV750BL*.

*ATV750B* er dobbelt så kraftig som de fleste andre 24-pinneres PLD. Økte produktmuligheter og flip-flops fører til mer fleksible gates.



Figur 27: Blokkskjema for ATV750B

*Oversikt over Atmel sine CPLD*

Krets/familie	Gates	Registre	Celler	I/O
AT1500/15XX	750/1000/1500/3000	32	32	44/68/84/100
ATV2500	1500	48	24	40/44
AT750	500	20	10	24/28

**FPSLIC:**

FPSLIC ( Field Programmable System Level Integrated Circuits) kombinerer alle de vanlige byggesteinene i et system som logikk, minne og  $\mu P$  i en SRAM basert programmerbar logisk krets. FPSLIC er designet slik at man skal kunne implementere den i sitt system uten store kostnader, som man ellers ville hatt ved for eksempel å kjøpe et evaluerings kit.

Atmel har en FPSLIC familie som heter *AT94S* og disse kretsene tilbyr større sikkerhet enn for eksempel FPGA, AVR og SRAM memory. I tillegg har *AT94S* en såkalt "on chip serial configuration memory". Når en FPSLIC først er programmert er det veldig vanskelig å kopiere den. Man kan få i dag en kombinasjon fra 5k til 40k "gates" via Atmels sin *AT40K* FPGA arkitektur. FPSLIC er basert industri standard (FPGA) og mikrokontroller design verktøy.

Oversikt over Atmel sine FPSLIC kretser.

Krets	Gates	Flip-flops	Celler	Bruker I/O
AT94S05AL	5k	436	256	93
AT94S10AL	10k	846	576	137
AT94S40AL	40k	2862	2304	162

# Cypress



## Selskapet

T.J. Rodgers grunnla Cypress Semiconductor Corporation i 1982. Han er president, CEO og sitter i selskapets styre. Cypress Semiconductors er en ledende global leverandør av integrerte kretser med høy ytelse til kommunikasjons-, data- og militære systemer. Hovedkvarteret ligger i San Jose, California. Selskapet designer, utvikler og markedsfører hard- og softwareløsninger til alle typer PLD-kretser. Cypress har mer enn 3900 ansatte over hele verden og omsatte for \$705.5millioner i 1999.

Hovedkontor:	For Norge
<b>Cypress Headquarters</b> 3901 North First Street San Jose, CA 95134 USA	<b>Repretech Nordic Oy</b> Niittyrinne 6 02270 Espoo Finland Phone: +358 9 4359 8550 Fax: +358 9 4359 8555  Field Sales Engineer Sweden: Jan Andersson (mobile phone +46 705495664)  <a href="http://www.repretech.com">http://www.repretech.com</a>
<b>Europa:</b> <b>Cypress Semiconductor Intl.</b> Waterloo Office Park, Bldg.C Dreve Richelle 161 Waterloo, Belgium 1410	<b>Arrow Electronics (S) Pte Ltd.</b> Åmsosen Nedre Vats, N-5578 Norway phone: +47 52763000, fax: +47 52765339 <a href="http://www.arrowne.com">http://www.arrowne.com</a> <a href="mailto:SalesNO@arrownordic.com">SalesNO@arrownordic.com</a>
<a href="http://www.cypress.com">www.cypress.com</a>	

Cypress Semiconductor's PLD-familie tilbyr brukeren et omfattende utvalg av programmerbare logiske løsninger som bygger på det siste innen kretsdesignsteknikker. Dette gjør at Cypress-brukeren kan velge en PLD som er best tilpasset sitt system uten å ta hensyn til kretsens krav til hastighet, effektforbruk, tetthet eller kretsfleksibilitet. Selskapet produserer standardarkitektur 20- og 24 pinners kretser og 28 pinners brukerspesifiserte kretser. Utviklingsverktøy av forskjellig slag, f.eks. dataprogrammer, kan også kjøpes slik at Cypress kan tilby et komplett utvalg for å realisere PLD-løsninger.

## Teknologi

Teknologien benyttet er 0.65 micron CMOS EPROM for høy hastighet, lavt effektforbruk og høy tetthet, og 0.65 micron FLASH teknologi for høy hastighet, lavt effektforbruk og reprogrammerbare kretser. Disse reprogrammerbare minnecellene virker på samme måte som ”fusen” som brukes i de fleste andre bipolare PLD-kretser. Ved programmering påvirkes transistorer slik at inngangene får kontakt/ikke kontakt slik programmet sier.

### CPLD's:

#### CPLD Boot EEPROM

Part Number	Gates	Celler	I/O	Pinner	Pris	Utgått dato
CY3LV010	N/A	N/A	N/A	20		05-aug-2003
CY3LV512	N/A	N/A	N/A	20		

#### Delta39K CPLDs

Part Number	Gates	Celler	I/O	Pinner	Pris	Utgått dato
CY39030V	30000	512	174	256		06-jun-2005
CY39050V	50000	768	218	484		06-jun-2005
CY39100V	100000	1536	136	208		
CY39165V	165000	2560	386	676		
CY39200V	200000	3072	428	676		

#### FLASH370i CPLDs

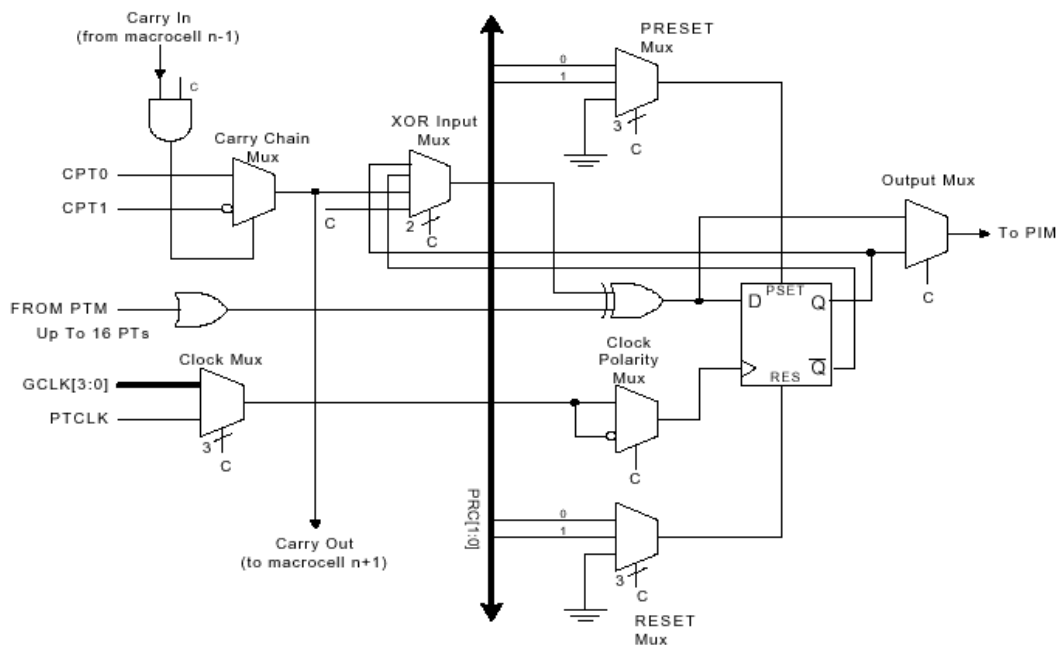
Part Number	Gates	Celler	I/O	Pinner	Pris	Utgått dato
CY7C371I	800	32	37	44		15-oct-2005
CY7C372I	1600	64	37	44		05-may-2005
CY7C373I	1600	64	69	100		05-may-2005
CY7C374I	3200	128	69	100		05-may-2005
CY7C375I	3200	128	133	160		05-may-2005

#### Quantum38K CPLDs

Part Number	Gates	Celler	I/O	Pinner	Pris	Utgått dato
CY38030	30000	512	174	256		05-nov-2003
CY38050	50000	768	218	484		05-nov-2003
CY38100	100000	1536	302	484		05-nov-2003

#### Ultra37000 CPLDs

Part Number	Gates	Celler	I/O	Pinner	Pris	Utgått dato
CY37032P	960	32	37	44		09-nov-2005
CY37032VP	960	32	37	44		09-nov-2005
CY37064P	2000	64	69	100		09-nov-2005
CY37064VP	2000	64	69	100		30-nov-2005
CY37128P	3800	128	69	100		30-dec-2005
CY37128VP	3800	128	133	160		09-may-2006
CY37192P	5700	192	125	160		
CY37192VP	5700	192	125	160		
CY37256P	7700	256	197	256		
CY37256VP	7700	256	197	256		
CY37384VP	11500	384	197	256		30-jul-2002
CY37512P	15000	512	269	352		30-nov-2005
CY37512VP	15000	512	269	400		06-jun-2005



Figur 28: Delta 39K macrocelle.

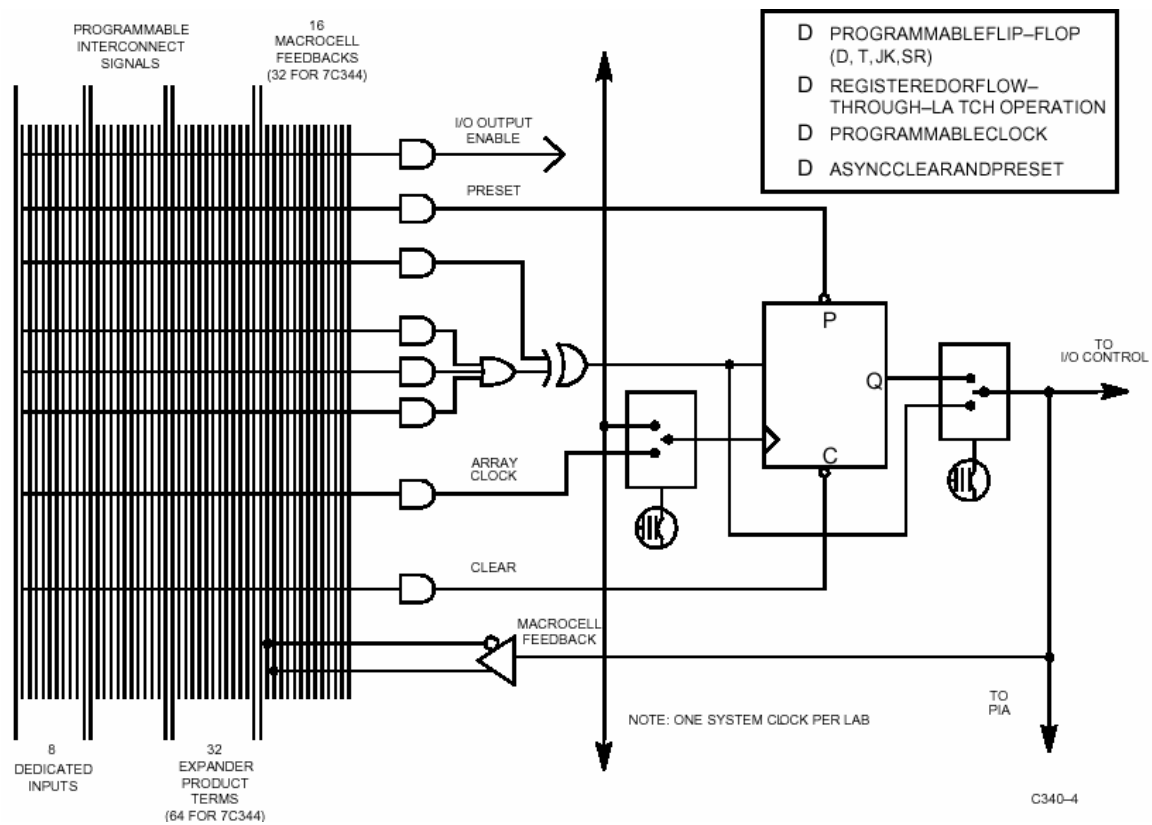
Cypress oppgir på sine hjemmesider at kun Delta39K og Ultra37000- familien skal benyttes til nye kretser. Data på de andre familiene er tilgjengelig kun for oppslag, disse skal ikke brukes ved nyutvikling.

### EPLD's:

EPLD-familien tilbyr brukeren slettbare og konfigurerbare EPLD'er som kan implementere logiske funksjoner med høy tetthet. Kretsene er bygd opp på prinsippet med "Multiple Array MatriX" som optimaliserer kretsen med tanke på hastighet, tetthet og ukomplisert design.

### MAX340 High-Density EPLDs

Part Number	Gates	Celler	I/O	Pinner	Pris	Utgått dato
CY7C341	3750	192	72	84		05-may-2005
CY7C341B	3750	192	72	84		05-may-2005
CY7C342B	2500	128	60	68		23-may-2005
CY7C343	1250	64	32	44		05-may-2005
CY7C343B	1250	64	32	44		30-sep-2005
CY7C344	600	32	24	28		05-may-2005
CY7C344B	600	32	24	28		30-oct-2005
CY7C346	2500	128	64	84		05-may-2005
CY7C346B	2500	128	48	84		28-jun-2005



Figur 29:

## SPLDs

Er den eldste industri standarden fra Cypress av programmerbare kretser. Her er det begrenset med data i datablad, og noen av disse er på vei ut av produksjon:

### SPLDs

Part Number	Gates	Celler	I/O	Pinner	Pris	Utgått dato
PALC22V10	500	10	24	24		05-may-2005
PALC22V10B	500	10	24	24		05-may-2005
PALC22V10D	500	10	24	24		05-may-2005
PALCE16V8	300	8	18	20		05-may-2005
PALCE20V8	400	8	22	28		05-may-2005
PALCE22V10	500	10	22	28		05-may-2005
PLDC20G10	400	N/A	24	24		05-may-2005
PLDC20G10B	400	N/A	24	24		05-may-2005
PLDC20G10D	400	10	24	24		05-may-2005

# GPS – GEC Plessey Semiconductors



## Selskapet

GEC Plessey Semiconductors var tidligere en ledende produsent og leverandør av halvleder komponenter som kundespesifiserte kretser, digital signal prosesseringskretser(DSP) og RISC mikroprosessorer samt diskrete halvleder komponenter. Februar 1998 solgte GEC, General Electric Company, halvleder delen av sitt selskap til Mitel Corporation for US\$225 millioner. Tanken bak salget var at GEC skulle fokusere mer på sine kjerneinteresser, og da gi slipp på sin halvledervirksomhet til et selskap som anser halvleder teknologi som sentralt i deres videre satsing. Plessey Semiconductors leverte tidligere FPLD kretser.

GEC er et verdensledende selskap med interesseområder innen kommunikasjon, elektronikk og mekanisk industri. Selskapet ble stiftet i 1886 og har rundt 127 000 ansatte  
URL: <http://www.ge.com>



## Selskapet

Lattice Semiconductor Corporation designer, utvikler og markedsfører høy ytelses PLD-er og tilhørende software. En av verdens ledende leverandør av in-system programmable enheter (ISP). ISP kretsene ble introduserte i 1991. Lattice har siden den gang produsert over 700 million E2CMOS kretser.

Lattice kjøpte i juni 1999 opp Vantis Corporation. AMD sin PLD leverandør.

Produksjonen av PLD-kretser kan deles inn i fire hovedgrupper: CPLD-kretser, FPGA-kretser, FPSC-kretser og SPLD-kretser. I tillegg produserer Lattice programmerbare analoge kretser og såkalte Digital Interconnect Devices for interface og signalruting. Til alle produktene tilbys det utviklingsverktøy, både hardware og software.

Adresse hovedkontor:	Norske forhandlere:	
Lattice Semiconductor Corporation 5555 NE Moore Ct. Hillsboro, OR 97124  <b>tlf:</b> (503) 268-8000  <b>Fax:</b> (503) 268-8037	Firma	Kontakt:
	AmDATA A/S Munkedamsveien 45F N-0250 Oslo	Tel: +47 22 83 75 90 Fax: +47 22 83 10 76
	Avnet Nortec A/S Postboks 274 Smedsvingen 4B N-1379 Nesbru	Tel: +47 66 77 36 00 Fax: +47 66 77 36 77
	Arrow-Norway P.O. Box 92 Furuset Trygve Nilsens Vei 8 N-1001 Oslo	Tel: +47 66 77 36 00 Fax: +47 66 77 36 77
	Avnet Nortec A/S Postboks 274 Smedsvingen 4B N-1379 Nesbru	Tel: +47 66 77 36 00 Fax: +47 66 77 36 77
Hjemmeside: <a href="http://www.latticesemi.com">www.latticesemi.com</a>		

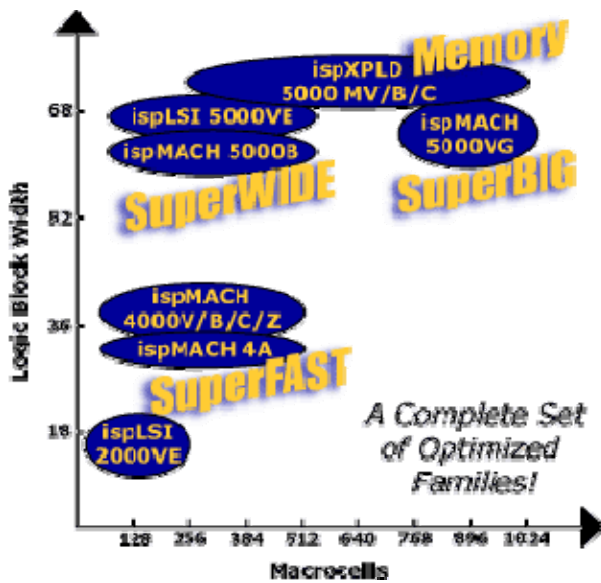




# Teknologi / Kretser

## CPLD

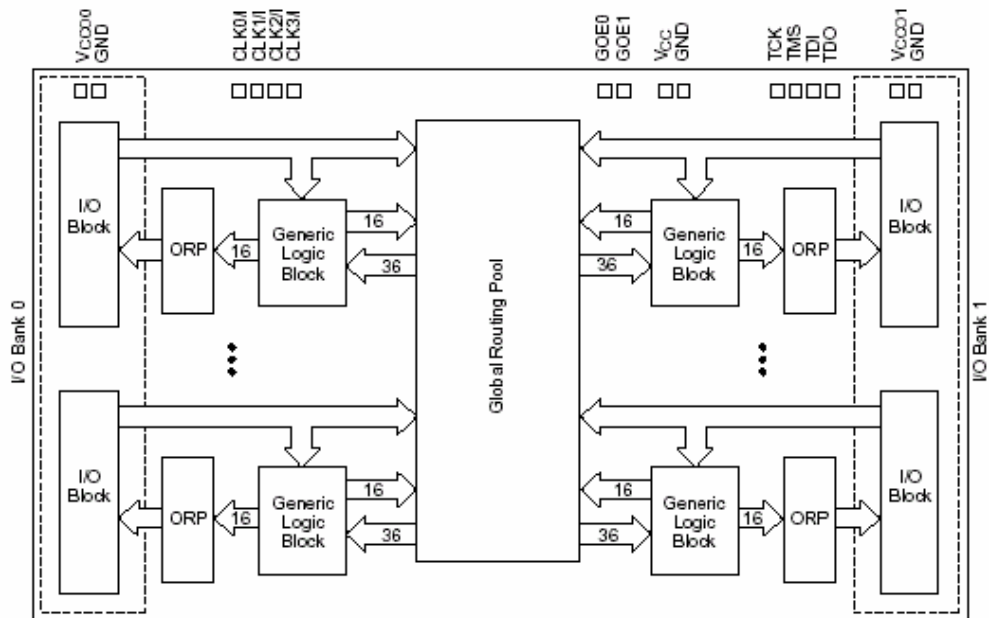
Lattice utvalg av CPLD-kretser omfatter store og raske enheter, og kretser med mange I/O. Det store variasjonen skiller seg fra andre produsenter som har et snevrere produktutvalg. De store kretsene (SuperBig) har opptil over tusen makroceller. De raske kretsene (SuperFast) har en hastighet på opptil 400 MHz og 2.5ns. SuperWide kretsene har 68 inngangsblokker for kjøring av 32- og 64-bits applikasjoner. Drivspenningen for disse kretsene er fra 1,8V til 5,0V, zero power har en standby strøm på 20µA.



Figur 30: CPLD-kretser

## Lattice sine CPLD-kretser

Krets	Gates	Registre	Celler	I/O	Pris	Annet
isoMACH 4000z			32-256	32-128		1,8
ispMACH 4000C			32-512	30-208		1,8V
ispMACH 4000B			32-512	30-208		2,5V
ispMACH 5000B			128-512	92-256		2,5V
ispMACH 5000VG			768-1024	196-384		3,3V
ispMACH 5000VE			128-512	72-256		3,3V
ispMACH 4A3			32-512	32-256		3,3V
ispMACH 4000V			32-512	30-208		3,3V
ispMACH 4A5			32-256	32-128		5,0V



Figur 31: Blokkskjema for ispMACH 4000B/V

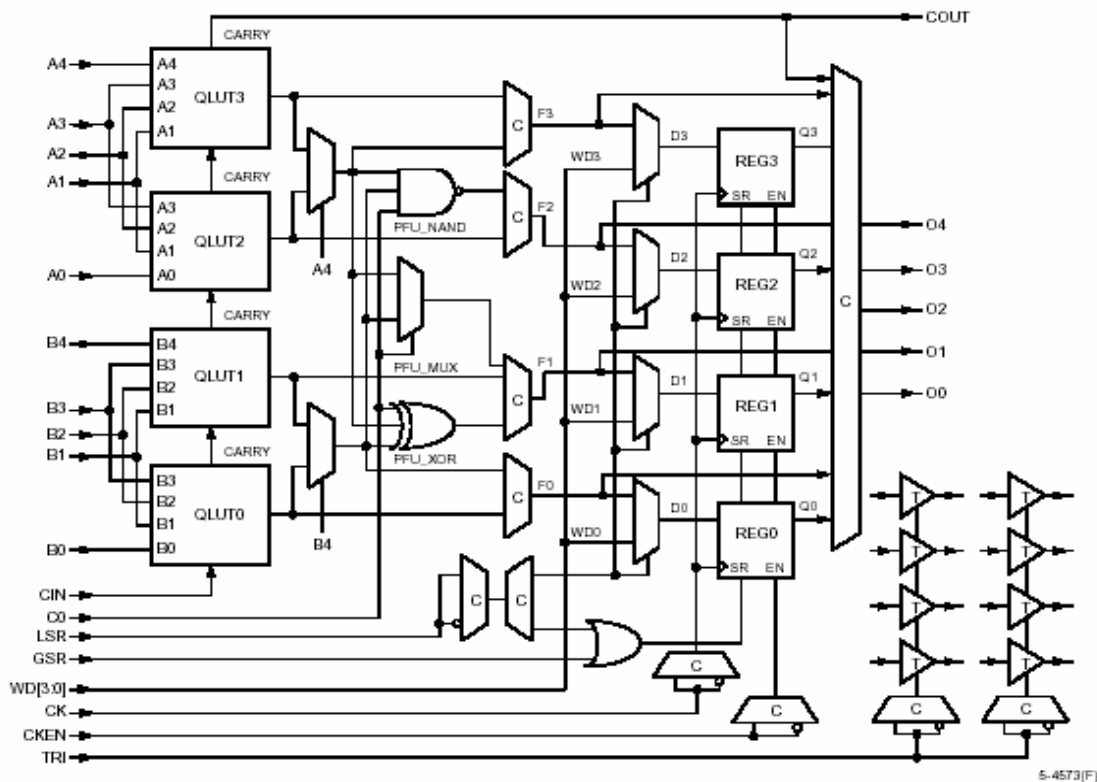
## FPGA

Disse kretsene har en fleksibel SRAM-basert programmerbar logikk, og tilbys med opptil over tusen I/O og to tusen celler. IC'ene kan deles inn i 3 familier, ORCA Series 2, ORCA Series 3 og ORCA Series 4 som den mest avanserte. Alle kretsene leveres i en rekke ulike pakker, hastigheter og temperaturområde.

ORCA Series 2 består av to basiselementer: programmerbare logiske celler (PLC) og programmerbare I/O celler (PICs). Hver PLC består av en programmerbare funksjons enhet (PFU), hvor de logiske operasjonene foregår. Hver PFU har fire 16-bits look-up tables (LUT) og fire flip-flop'er. Hver I/O kan programmeres som enten inn- eller utgang eller som både inn-og utgang (bidirectional). Andre valgmuligheter er variabel slew rate

### Lattice sine FPGA-kretser

Krets	Gates	LUT	Celler	I/O	Pris	Annet
ORCA Series 4	201K - 899K	4,992 - 16,192		405 - 466		
ORCA Series 3	36K - 340K	1,872 - 14,820		192 - 448		
ORCA Series 2	4,800 - 99,00	400 - 3,600		152 - 342		
ispXPGA 125/E	139K	1,900		176		
ispXPGA 200/E	210	2,700		208		
ispXPGA 500/E	476	7100		336		
ispXPGA 1200/E	1250	15400		496		



Key: C = controlled by configuration RAM.

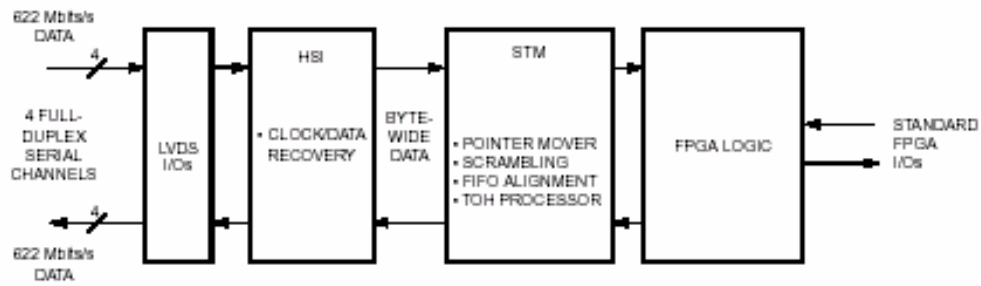
Figur 32: Forenklet oversikt over en PFU

## FPSC

FPSC-kretsene fra Lattice er en videreutvikling av FPGA-kretsene. Lattice var først ute med denne teknologien hvor ASIC makroceller og FPGA-gates er plassert på samme "silicon die". Forkortelsen står for Field-Programmable System-on-a-Chip. Den nye teknologien gjør kretsen meget anvendbar.

### Lattice sine FPSC-kretser

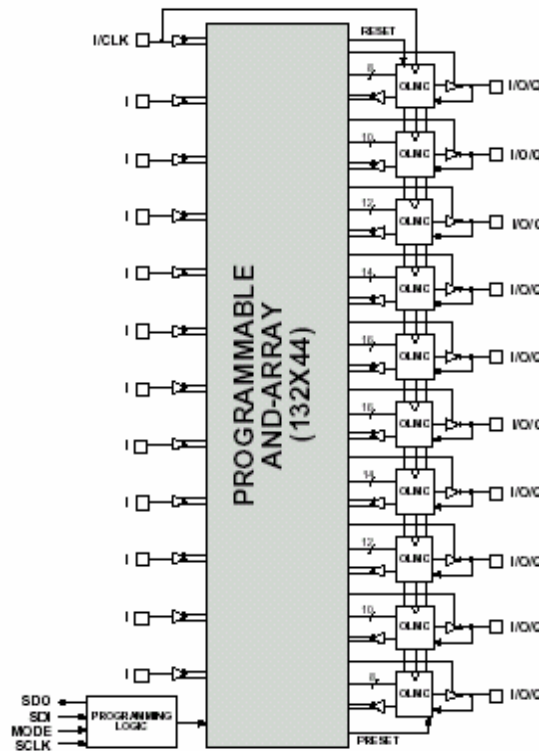
Krets	Gates	Registre	Celler	I/O	Pris	Annet
ORSP14	471-899		2024	498		
ORLI10G	333K-643K		1296	316		
ORT82G5/42G5	333K-643K		1296	372/204		
ORT8850L	201K-397K		624	278		
ORT8850H	471K-899K		2024	297		



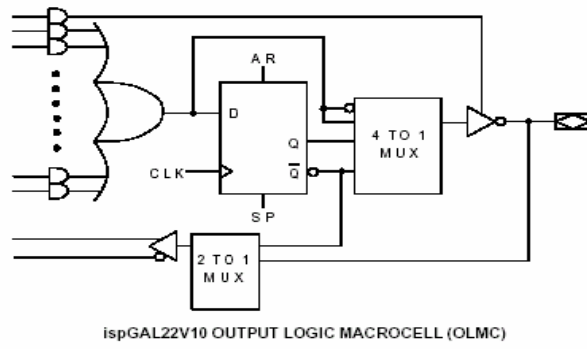
Figur 33: Blokkskjema for ORCA ORT4622

## SPLD

Lattice har også et stort utvalg av SPLD-produkter. Kretsene er delt i to hovedfamilier, ispGAL og GAL. GAL står for Generetic Array Logic. Betegnelsen isp står for in-system-programmability. Drivspenningen er enten 5,0V eller 3,3V, og de leveres som low-power eller zero-power. Hastigheten spenner seg fra 50MHz til 250MHz, mens antall pinner er fra 20 til 28.



Figur 34: Blokkdiagram for ispGAL22V10



Figur 35: Output Logic Macrocell ispGAL22V10

Krets	Gates	Registere	Celler	I/O	Pris	Annet
ispGAL				28-32		1,8-5V
GAL				20-28		3,3-5V

# Lucent Technologies

**Lucent Technologies**  
Bell Labs Innovations



## Selskapet

Lucent Technologies har designet, utviklet og markedsført FPGA kretser med tilhørende design- og utvilingsverktøy. Slik det ser ut nå har Lucent overlatt produksjonen av FPGA kretsene til andre produsenter bl.a. AT&T Microelectronics. Lucent Technologies har spesialisert seg på design og oppbygning av offentlige og private nettverk, kommunikasjons systemer, software, business telefoni systemer og andre mikroelektronikk komponenter.

Hovedkontor USA:	Norsk forhandler:
600 Mountain Ave. Murray Hill, NJ 07974 908 582-8500	
Hjemmeside: <a href="http://www.lucent.com">www.lucent.com</a> Info om FPGA kretser: <a href="http://www.lucent.com/micro">www.lucent.com/micro</a>	

## SE AGERE SYSTEMS.

**De har overtatt mikroelektronikk delen til Lucent Technologies.**

# Mitel Corporation



## Selskapet

Mitel Corporation er et selskap som legger sin tyngde hovedsaklig på halvleder virksomhet.

**Se Zarlink Semiconductors.**

URL: <http://www.mitel.com>

# QuickLogic

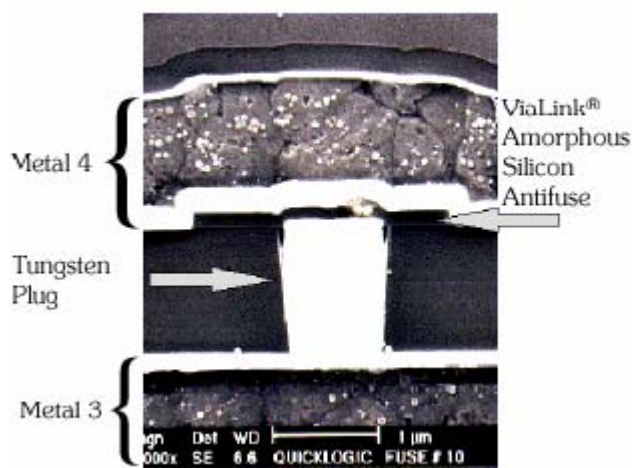


## Selskapet

QuickLogic ble grunnlagt i 1988 under navnet Peer Research Inc. av ingeniørene John Birkner, Andy Chan og H.T Chua. I 1991 skiftet selskapet navn til QuickLogic Corporation. Det samme året lanserte selskapet sitt første produkt, en familie av FPGA'er kalt pASIC1. Videre ut over 90-tallet lanseres stadig nye FPGA'er før de i 1998 lanserer sin første EPS-serie, QuickPCI ESP. I år 2000 lansertes de hittil siste produktene, QuickDSP ESP-familien. I tillegg til dette tilbyr firmaet utviklingsverktøy både for PC og arbeidsstasjoner.

Hovedkontor	Underleverandører i Norge	
	Firma	Kontakt
QuickLogic Corporation 1277 Orleans Drive Sunnyvale, CA 94089-1138 USA  Hjemmeside: <a href="http://www.quicklogic.com">www.quicklogic.com</a>	Jakob Hatteland Electronics AS Postboks 25 N-5578 Nedre Vats  <a href="http://www.hatteland.com">www.hatteland.com</a>	

## Teknologien



Figur 36: ViaLink Element

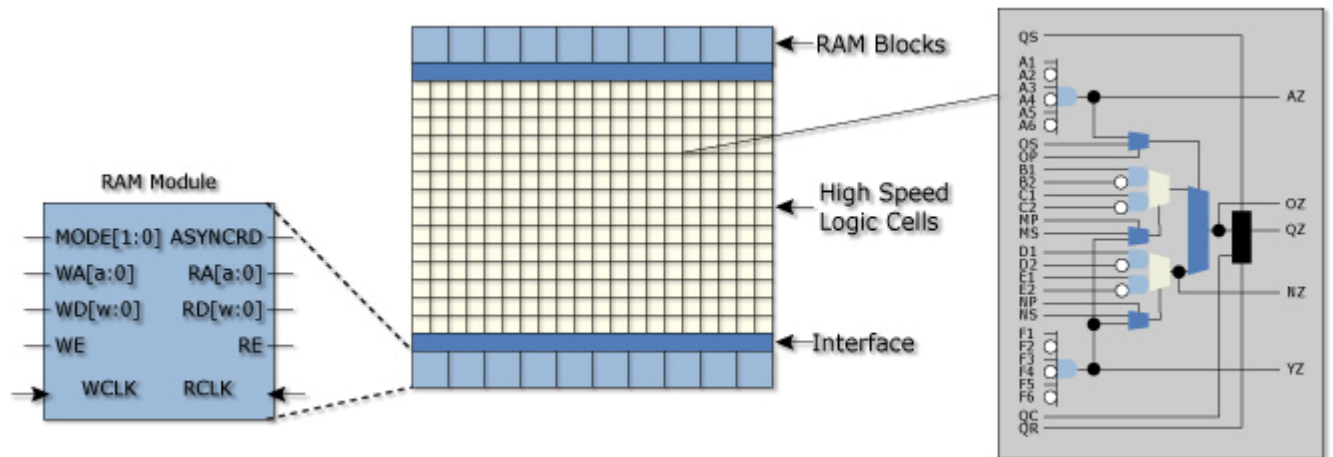
QuickLogics produkter bygger på firmaets egen patenterte teknologi, ViaLink. ViaLink- teknologien tilbyr en ikke-spenningsavhengig, permanent programmert kundespesifisert logisk funksjon som er i stand til å operere i tellerhastigheter på opp til 150 MHz. Med en "worst case" forsinkelse på 2 ns i de logiske cellene og på 8 ns fra inngang til utgang, gir høy-tetthets programmerbare kretser som kan brukes sammen med dagens raskeste mikroprosessorer.

ViaLink-teknologien bygger på metall til metall antifuse. Dette gir en tilkopling til antisikringen direkte til metall for ledningslagene og man kan benytte høyere programmeringsstrømmer for å redusere sikringens motstand. Anti fuse tar svært liten plass og gir mange sammen-koplingsmuligheter, men det kan være vanskelig å lese ut innholdet i kretsen; både på godt og vondt.



# Kretser

## QuickRAM™ ESP-serien.



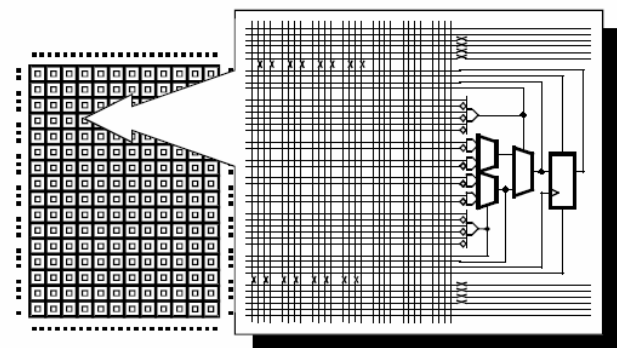
Figur 37: Oppbygging av en logisk celle for QuickRAM™ ESP-serien.

Denne serien har opp til 176 608 porter med 316 I/O-er. De har 16-bits tellerhastigheter over 250 MHz og datavei-hastigheter over 275MHz. FIFO hastighet på over 160MHz. Kretsene har multiple dual-port RAM-moduler, organisert i brukerkonfigurerbare 1.152-bits blokker. Access tiden på RAM-modulene er 5ns og hver port kan benyttes uavhengig av hverandre. Det benyttes 0,35µm 4-lags ikke-spenningsavhengig CMOS-prosess.

QuickRAM™ ESP-serien har fra 8 til 22 RAM-moduler med 9216-25344 RAM bits. Tilgjengelige innpakninger er PLCC, TQFP, CQFP, PQFP og PBGA.

Krets	Gates	Flip-Flops	Celler	I/O	Pris	Annet
QL4009	44964	242	160	82		
QL4016	61820	438	320	118		
QL4036	97128	876	672	204		
QL4058	131328	1260	1 008	252		
QL4090	176608	1900	1 584	316		

## pASIC 1-serien



Figur 38: Logisk celle for en pASIC-1

Figuren viser oppbygging av en logisk celle i pASIC 1-serien. pASIC 1-serien er QuickLogics første generasjon FPGA'er. Denne serien har opptil 8000 ASIC-porter og 32000 system porter som tilsvarer 14000 PDL-porter. Antifuse-teknologien gir intern logisk funksjonshastigheter over 100 MHz, og en logisk celledforsinkelse på under 2ns. pASIC 1 logiske celler støtter høy-hastighets aritmetikk, teller, datavei, state machine og og tilfeldig logiske

applikasjoner med opp til 14-inputs brede porter. Disse seriene har fra 4 til 32 bits register. Antall varierer litt, max er 288 stk. Typisk strømforbruk ved 5.0v drivspenning er 2mA og mindre enn 1mA ved 3.3v.

Tilgjengelige innpakninger er PLCC, TQFP, CPGA, CQFP OG FQFP.

Krets	Gates	Flip-Flops	Celler	I/O	Pris	Annet
QL8x12B	3344	160	96	64		
QL12x16B	6608	280	192	88		
QL16x24B	13108	506	384	122		
QL24x32B	26088	948	768	180		

## pASIC 2-serien

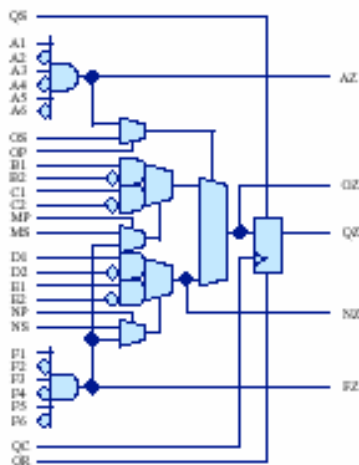
Denne serien har 16-bit tellerhastighet som overstiger 200 MHz. Den har fra 10 000 til 32 000 PDL-porter og opp til 225 I/O'er. Det er individuelt klokke input og I/O-registre og individuelt kontrollert output enables på alle I/O-pinner. Serien har fra 3000 – 9000 ASIC-porter.

Tilgjengelige innpakninger er 84PLCC, 100TQFP, 144TQFP, 208FQFP, 256PBGA.

Krets	Gates	Flip-Flops	Celler	I/O	Pris	Annet
QL2003	9916	310	192	118		
QL2005	16120	476	320	156		
QL2007	23580	654	480	174		
QL2009	32826	897	672	225		

QuickLogic avslutter produksjonen av pASIC 1 & 2 –serien i 2005, nærmere bestemt var siste mulighet for bestilling 31. januar 2005. Disse to seriene av FPGA er derfor kun tatt med for å få et historisk-teknologisk perspektiv for produksjon og utvikling hos QuickLogic.

## pASIC 3-serien



Bildet viser oppbyggingen av en logisk celle for pASIC 3-serien.

Denne serien har fra 5000 til 75 000 porter med 316 I/O-er. De har 16-bits tellerhastigheter over 300 MHz og dataveihastigheter over 275MHz. Det er I/O-celler med individuelt kontrollerte klokke og output enables. Serien leveres i pakker med 84 til 456 –pinner. Spenningsnivået som benyttes er 3.3v, men er kompartibel med 5v teknologi, og dermed bakover-kompatibel med pASIC 1&2.

Figur 39: Logisk celle for pASIC-3

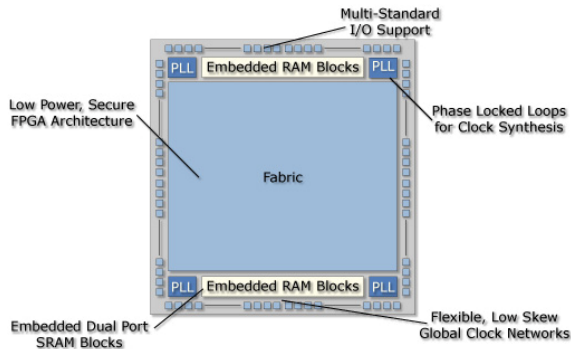
Tilgjengelige innpakninger er 68PLCC, 84PLCC, 100TQFP, 144TQFP, 208PQFP, 256PBGA, 456PBGA

Krets	Gates	Flip-Flops	Celler	I/O	Pris	Annet
QL3004	5188	178	96	74		
QL3012	15740	438	320	118		
QL3025	32616	876	672	204		
QL3040	48384	1260	1 008	252		
QL3060	75232	1900	1 584	316		
QL3004E	5188	178	96	82		
QL3006	8008	322	160	82		

## Eclipse

Fleksibel programmerbar logikk med  $0.25 \cdot 10^{-6} \text{m}$  fem lags metal, CMOS. Serien har fra 250000 opp til 580 000 porter. Opp til 36 stk 2304 bits dual port og 82900 RAM bits. 8 stk uavhengige I/O banker, to "high drive nettverk" til hver I/O bank.

Serien støtter av standarder; LVDS, LVPECL, LVTTTL, LVCMOS, PCI, GTL+, SSTL2 og SSTL3.



Figur 40: Blokkskjema for Eclipse

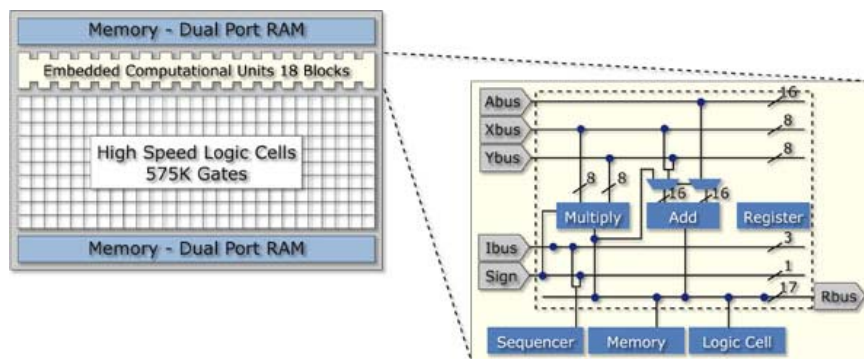
Tilgjengelige innpakninger er 208PQFP, FPBGA 0,8mm: 280, FBGA 1.00mm :484, FBGA1.27mm : 516

Krets	Gates	Flip-Flops	Celler	I/O	Pris	Annet
QL6250	248160	2670	960	250		40*24Array
QL6325	320640	3692	1536	310		48*32Array
QL6500	488064	7185	3072	347		64*48Array
QL6600	583008	9105	4032	347		72*56Array

## EclipsePlus

Fleksibel programmerbar logikk med  $0.25 \cdot 10^{-6} \text{m}$ , fem lags metal, CMOS. Fra 250.000 opp til 580 000 porter. Drivspenning på 2.5V med et strømforbruk på mindre enn 2mA. Signaleringsnivået på I/O er 3.3V. 200Mhz system hastighet, med en responstid på mindre enn 3 nS.

Det som skiller EclipsePlus fra andre kretser og tradisjonell logisk arkitektur er bruken av ECU's. Dette er innebygde aritmetriske funksjoner som, ADD og AND. Trenger man disse funksjonene gjøres adresseringen automatisk og mye mer effektivt enn i standard arkitektur.



Figur 41: Blokkskjema over cellen

Tilgjengelige innpakninger er 208PQFP, FPBGA 0,8mm: 280, FBGA 1.00mm :484, FBGA1.27mm : 516

Krets	Gates	Flip-Flops	Celler	I/O	Pris	Annet
QL7100	292160	2670	960	250		40*24Array
QL7120	373440	3692	1536	310		48*32Array
QL7160	558464	7185	3072	347		64*48Array
QL7180	662208	9105	4032	347		72*56Array

## Eclipse II

Fleksibel programmerbar logikk med  $0.18 \cdot 10^{-6} \text{m}$ , seks lags metal, CMOS. Fra 47.000 opp til 320 000 porter. Drivspenning på 1.8V med et strømforbruk på mindre enn 2mA. Signaleringsnivået på I/O er 1.8/2.5/3.3 V. opptil 328Mhz system hastighet, med en responstid på mindre enn 3 nS

Krets	Gates	Flip-Flops	Celler	I/O	Pris	Annet
QL8025	47052	532	128	92		16*8Array
QL8050	63840	884	256	124		16*16Array
QL8150	188946	1709	640	143		32*32Array
QL8250	248160	2670	960	250		40*24Array
QL8325	320640	4002	1536	310		48*32Array

## PolarPro

Fleksibel programmerbar logikk med  $0.18 \cdot 10^{-6} \text{m}$ , seks lags metal, CMOS. Fra 75.000 opp til 1 000 000 porter. Drivspenning på 1.8V med et strømforbruk på mindre enn 10uA. Signaleringsnivået på I/O er 1.8/2.5/3.3 V. opptil 200Mhz system hastighet, med en responstid på mindre enn 3 nS

Krets	Gates	Ram moduler	Celler	I/O	Pris	Annet
QL1P075	75000	8	512	172		
QL1P100	100000	8	640	188		
QL1P200	200000	12	1536	292		
QL1P300	300000	12	1920	302		
QL1P600	600000	22	4224	508		
QL1P1000	1000000	22	7680	652		

# Triscend Corporation



## Selskapet

Triscend er tilbyder av konfigurerbare System-on-Chip (CSoC) enheter for kommunikasjonsmarkedet. Triscend samler, på en chip, en dedikert industristandard mikroprosessor, programmerbar logikk, en dedikert system buss, system minne og mer. De lager også design og utviklingssoftware for dette systemet. Dette er systemer basert bla på C++ kompilatorer

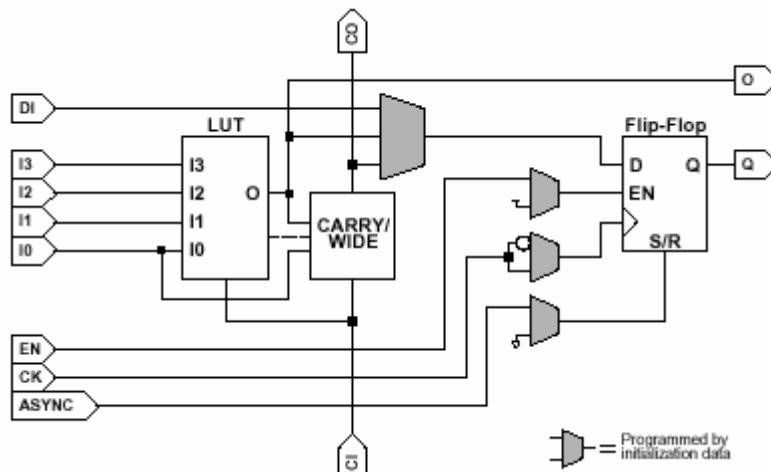
Selskapet ble dannet i 1997 og er har parnter-avtaler med bla : ARM, Cadence, Hitachi, Keil Software, Sharp og Wind River Systems.

Adresse hovedkontor:	Forhandlere:
Triscend Corporation 301 North Whisman Road Mountain View, CA 94043-3969 USA  Tlf: 650-968-8668 Fax: 650-934-9393	<b>Rochester Electronics, Ltd.</b> Suite 2D, Britannia House, Leagrave Rd. Luton, Bedfordshire England LU3 1RJ Phone: 44 (0)1582 488680 Fax: 44 (0) 1582 488681 E-Mail: <a href="mailto:dwhitlock.rochester@dial.pipex.com">dwhitlock.rochester@dial.pipex.com</a> <a href="http://www.rocelec.com">www.rocelec.com</a>  <a href="http://www.zylogic.com.cn">Zylogic Semiconductor</a> <a href="http://www.zylogic.com.cn">www.zylogic.com.cn</a>
Hjemmeside: <a href="http://www.triscend.com">www.triscend.com</a>	

## Teknologi

Den programmerbare logikken er basert på noe de selv kaller for CSL celle (Configurable System Logic). En slik celle kan konfigureres for ulike funksjoner; Logisk, Aritmetisk, Minne, Buss, Sekvensiell. De fleste av de logiske funksjonene implementeres ved hjelp av CSL cellenes 4-ingangers look-up tabeller.

De logiske cellene kommuniserer med programmerbar IO og databussen via en CSI buss (Configurable System Interconnect).



Figur 42: En CSL celle med både kombinatorisk og sekvensiell logikk.

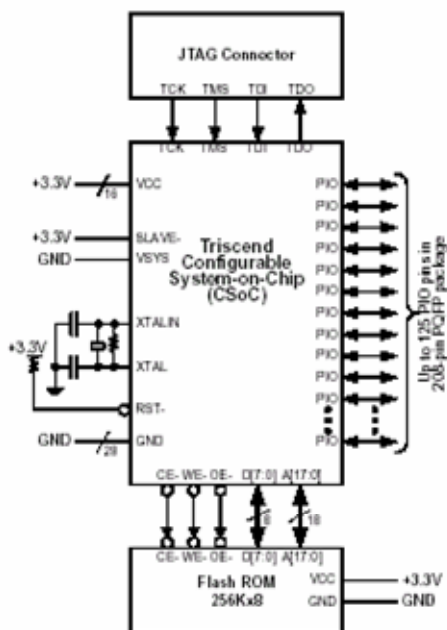
## Kretser

Triscend har to familier med konfigurerbare SoC. E5 familien er basert på en ytelsesforbedret ”turbo” versjon av en 8051 8-bit mikrokontroller. E5 familien består av fem enheter som varierer i mengde av on-chip programmerbar logikk, RAM og I/O. A7 familien er en komplett 32-bit konfigurierbar SoC. Denne familien kombinerer en 32-bit ARM7TDMI RISC prosessor kjerne med programmerbar logikk, et minne subsystem, en dedikert intern bus, og en del andre system funksjoner på en chip.

Begge familiene har blant annet uart, 16-bit timere/tellere, dma kontroller, interrupt kontroller med mer.

Krets	Gates	Celler	I/O	Annet
TE502S08	3072	256	92	8k system RAM, 8-bit uP
TE505S16	6144	512	124	16k system RAM, 8-bit uP
TE512S32	13824	1152	188	32k system RAM, 8-bit uP
TE520S40	24576	2048	252	40k system RAM, 8-bit uP
TE532S64	38400	3200	316	64k system RAM, 8-bit uP
TA7S04	25600	448	124	16k system RAM, 32-bit uP
TA7S20	24576	2048	251	16k system RAM, 32-bit uP

De programmerbare inngangs/utgangs blokkene (PIO) fungerer som grensesnitt mellom eksterne funksjoner og den interne system bussen, eller konfigurierbar system logikk.

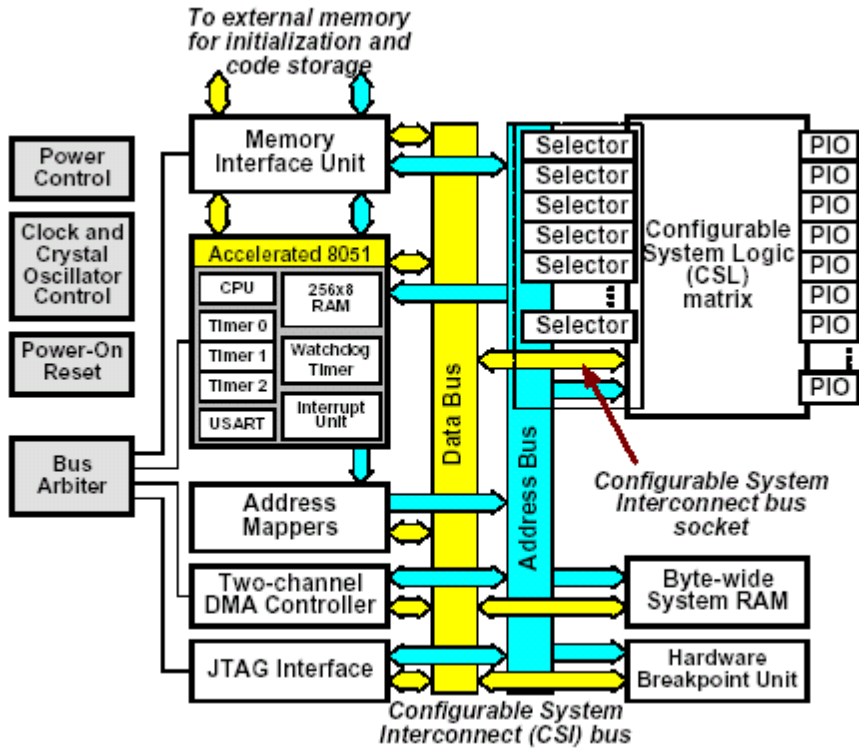


Figur 43: En komplett Triscend E520 Configurable System-on Chip (CSoC) design

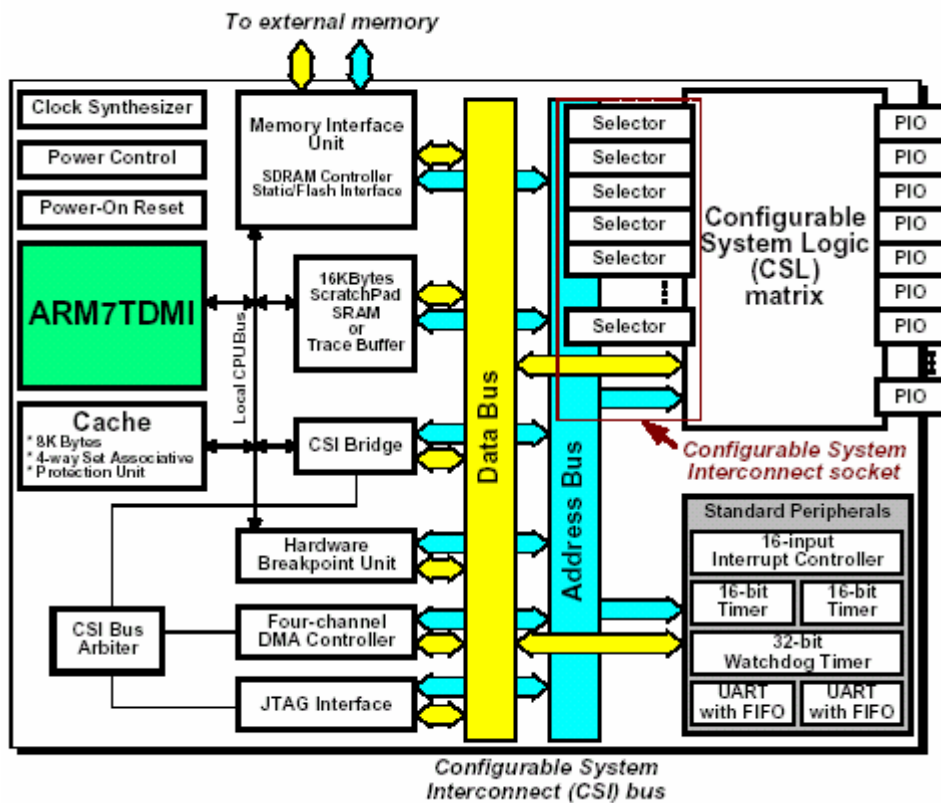
# Configurable System Logic (CSL)

CSL matrisen tilbyr en fleksibel mulighet til å programmerer nesten hvilken som helst digital funksjon. Siden CSL logikken er direkte tilkoblet CSI bussen, er den ideell til å lage digitale funksjoner som mikroprosessoren kan gjøre seng nytte av. Dette kan være en funksjon mellom prosessoren og IO-pinnene, eller en funksjon som gir resultatet tilbake til mikroprosessoren.

På de to neste figurene viser sammenkoblingen av CSL logikken og resten av mikrokontrolleren for familien E5 og A7.



Figur 44: Triscend E5 Configurable System-on-Chip (CSoC )



Figur 45: Triscend A7 Configurable System-on-Chip (CSoC )



# Xilinx



## Selskapet

Xilinx lagde verdens første Field Programmable Gate Array (FPGA) i 1984, og dette var starten på en av de raskest voksende markedene innenfor halvlederindustrien. Xilinx er en av lederne innenfor digital programmerbar logikk (PLD). De har ansatt cirka 3000 mennesker rundt om i verden. De regnes i dag for å være verdens største leverandør av digitale programmerbare løsninger, og er verdens femte største leverandør av kundespesifiserte IC'er. I følge Xilinx sine hjemmesider har de mer enn 7500 kunder på verdensbasis.

Hovedkontor	Underleverandører i Norge	
	Firma	Kontakt
XILINX, INC 2100 Logic Drive San Jose, CA 95124-3400 USA Tel: (408) 559-7778 Fax: (408) 559-7114  <a href="http://www.xilinx.com">www.xilinx.com</a>	MEMEC INSIGHT NORWAY AS  Smedsvingen 4 Postboks 194 N-1378 Nesbru Norway  <a href="http://www.memec.com">www.memec.com</a>	Tlf: (47) 66-77-97-00  Faks: (47) 66-77-97-01  <a href="mailto:info@no.memec.com">info@no.memec.com</a>
	SILICA (An Avnet Company)  Hagalokkveien 7 Postboks 63 N-1371 Asker  <a href="http://www.silica.com">www.silica.com</a>	Phone: + 47 66 77 3600  Fax: + 47 66 77 3677  Email: <a href="mailto:asker@silica.com">asker@silica.com</a>

## Teknologi

### Kort oversikt

Virtex serien har høy ytelse og Spartan serien er den rimeligere serien. Virtex brikkene kan ha innebygget mikroprosessor og har så avansert logikk av den i mange tilfeller kan erstatte en ASIC, har også flere logiske celler enn Spartan.

## **Virtex II**

Dette er Xilinx's mest kostnadseffektive løsning fordelt på tre serier med 32 enheter. I en enhet får man det mest avanserte av logiske enheter, høy ytelse, mye minne uten ekstra strømforbruk, IBM 400MHz PoverPC prosessorer og 622 Mbps til 10.3125 Gbps full duplex seriell transivere. Disse har 130 nm teknologi, 300 mm produserte FPGA'er.

## **Virtex 4**

Dette er Xilinx's nest siste serie med opp til tre ganger ytelse og en tiendels strømforbruk og de mener dette er revolusjonerende i FPGA økonomi. De har delt opp brikkene i tre hovedgrupper og har tilsammen 17 enheter å velge i. De mener også at dette er ett konkurrerende produkt til ASIC's, ASSP's og andre 90nm FPGA produkter.

## **Virtex-5**

Dette er Xilinx's siste serie, som har støtte for PCI Express og skal bruke ned mot 35% mindre effekt enn før takket være dirvspenninger på 1V og 65 nm arkitektur som de var følrt ute i verden med å levere. Slik som versjon 4 så er brikken delt inn i tre hovudgrupper og det er 13 ulike enheter å velge mellom.

## **Spartan**

Spartan-serien (FPGA) er designet som en lav-kost, høyvolum design med 15.000 til 200.000 porter. Spartan II serien bygger på en videreutviklet Virtex-arkitektur. Serien har RAM på brikken, og kan i tillegg ha distribuert RAM. Spartan-serien leveres i fire utførelser, Spartan og Spartan XL som leveres i 3.3 volt og 5.0 volt utførelse, og Spartan II som kommer i 2.5 volt utførelse. Spartan 3 serien har 1.2 volt utførelse og enda større ytelses enn II serien.

## **Coolrunner**

Coolrunner-serien (CPLD) kombinerer svært lav effekt med høy hastighet, høy følsomhet og mange I/O-porter på en brikke. På grunn av sin lave effektforbruk er denne serien ideell for batteridrift. De er tilgjengelig med 3.3V og 5V.

## **Coolrunner-II**

I følge dem selv så er dette verdens billigste og mest effektgjerrige CPLD på markedet. Bygger på 180 nm CMOS, og har en av de minste pakkene av sitt slag. Kan brukes mellom 1.5V og 3.3V

## **XC9500**

XC9500-serien CPLD er tilrettelagt for *in-system-programming*, noe som muliggjør en ubegrenset testing og endring av prototypen, og en fortløpende oppgradering. Tilgjengelig med 3.3V og 5V.

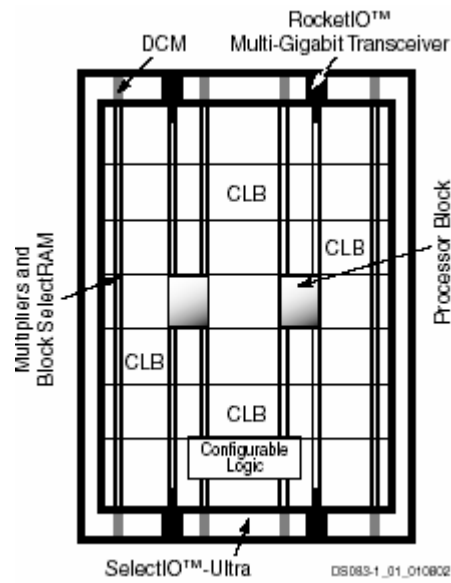
Dette er noen av de vanligste seriene til Xilinx. De har også andre typer tilgjengelig, som for eksempel **QPRO**, som benyttes i flyindustri og forsvarssammenheng.

## **Detaljert oversikt - Teknologi**

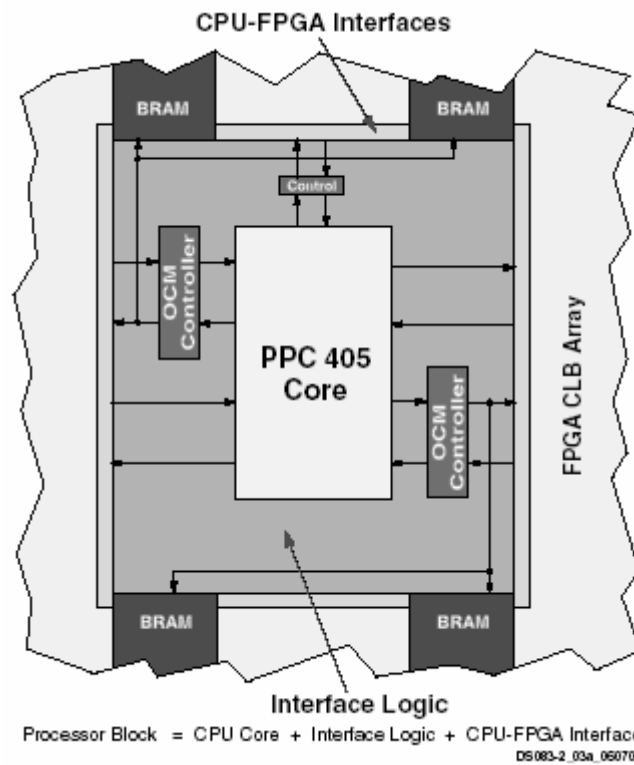
På de følgende sider kommer en mer detaljert oversikt over oppbyggingen til de forskjellige arkitekturerne og kretstypene til Xilinx.

## Virtex-II Pro X

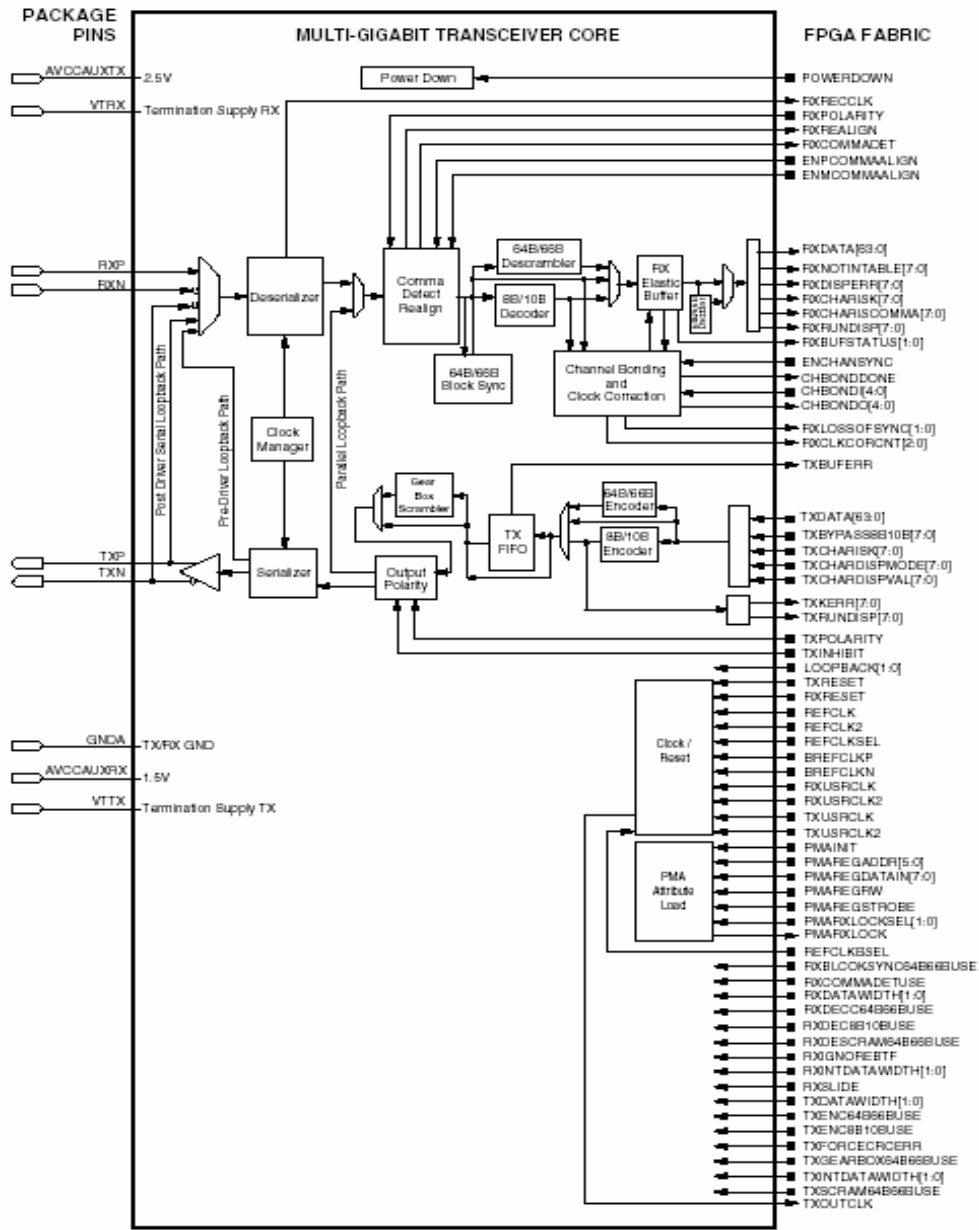
Virtex-II Pro X familien er nesten identisk med Virtex-II Pro. Den har de samme funksjonene o.l..



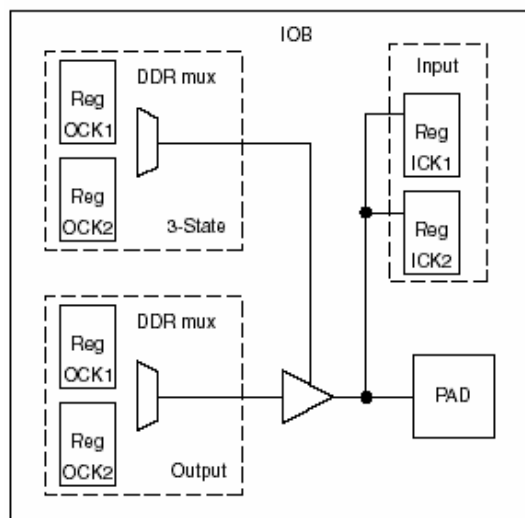
Figur 46: Virtex-II Pro X, Arkitektur



Figur 47: Virtex-II Pro X, Processorblokk - arkitektur



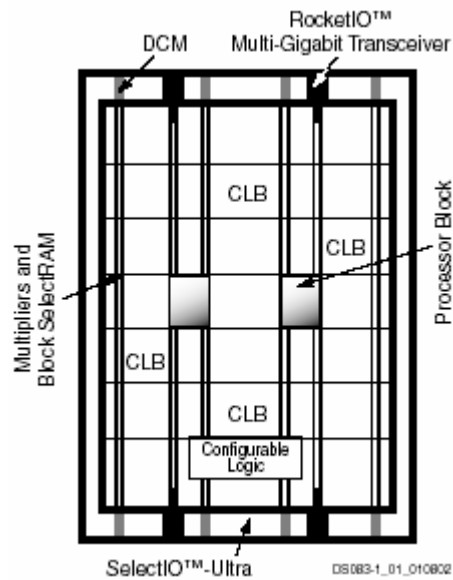
Figur 48: RocketI/O X transceiver blokkdiagram



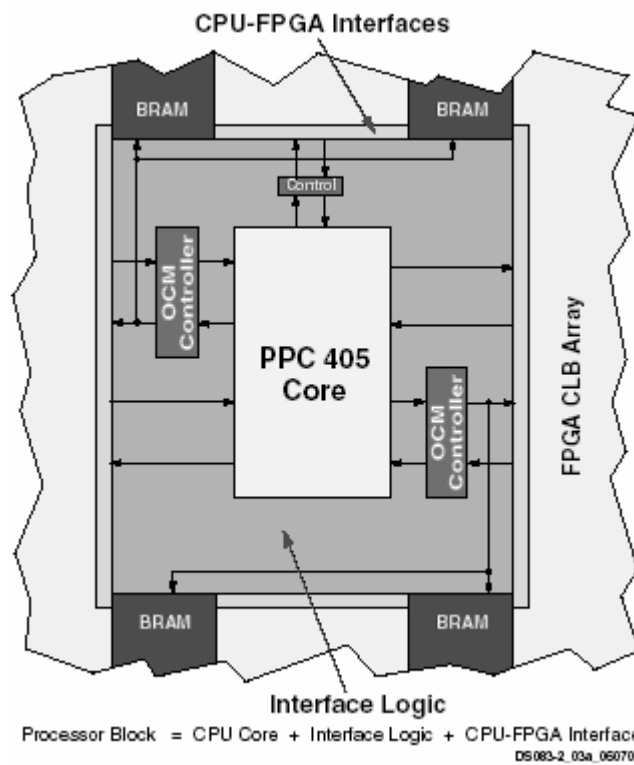
Figur 49: Virtex-II Pro X, I/O-blokk (IOB)

## Virtex-II Pro

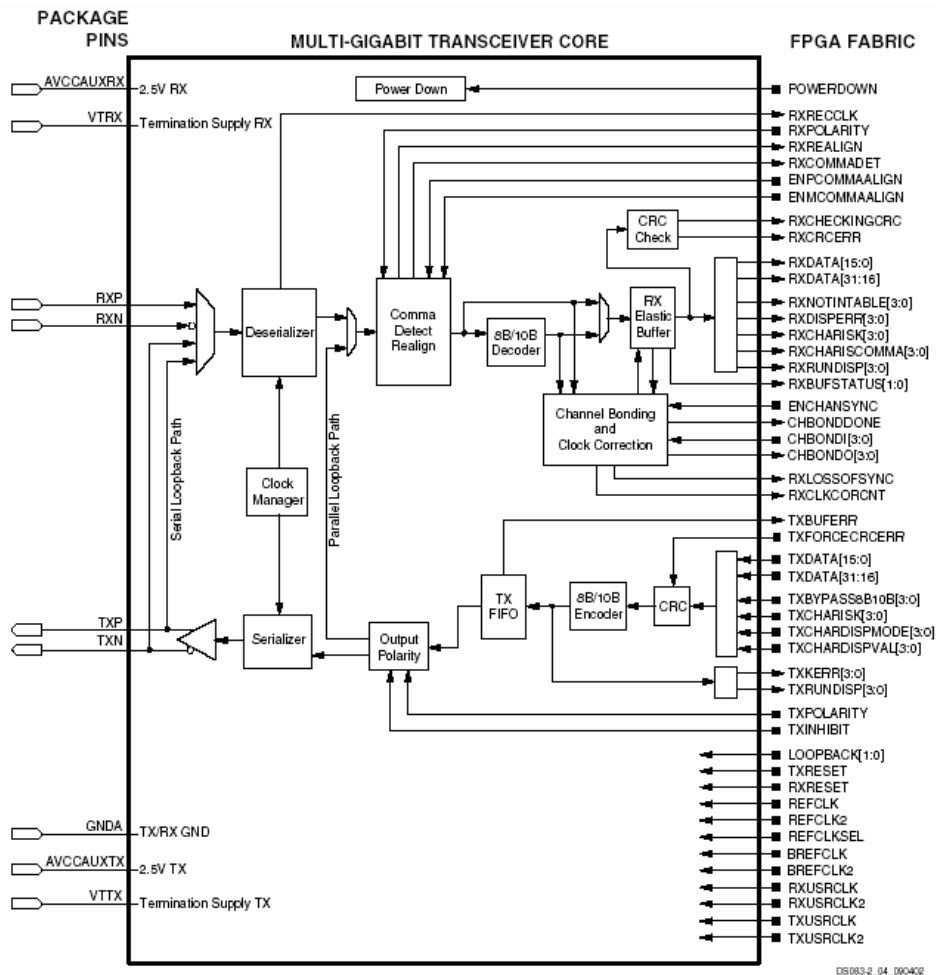
Virtex-II Pro familien er basert på IP kjerner. Familien har innbygd multigigabit transceivere og PowerPC CPU blokker. Virtex-II Pro familien leverer fullstendige løsninger for telekommunikasjon, trådløst, nettverk, lyd og bilde, og DSP applikasjoner, inkludert PCI, LVDS, og DDR grensesnitt.



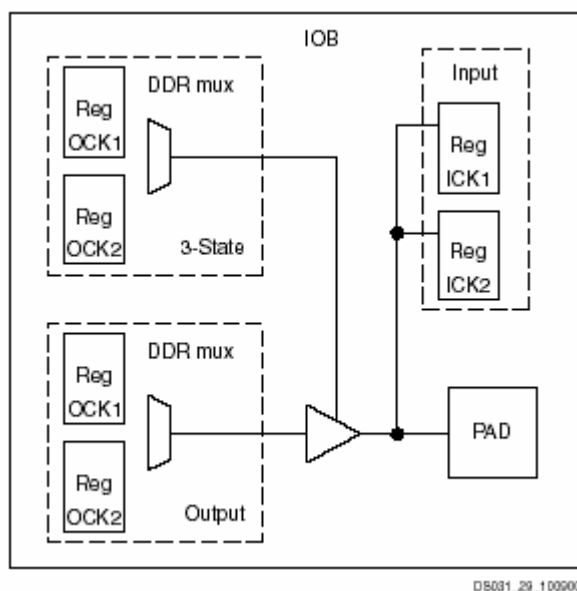
Figur 50: Virtex-II Pro, Arkitektur



Figur 51: Virtex-II Pro, Prosessorblokk - arkitektur



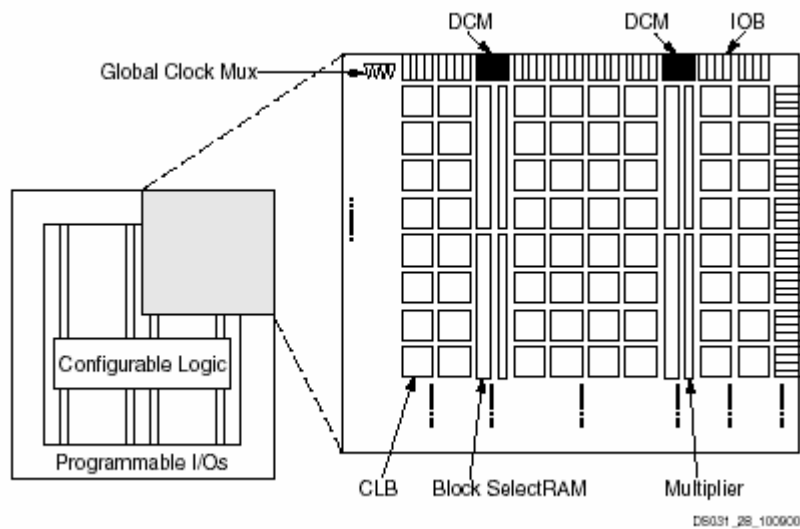
Figur 52: Rocket I/O Transceiver blokkdiagram for Virtex-II Pro



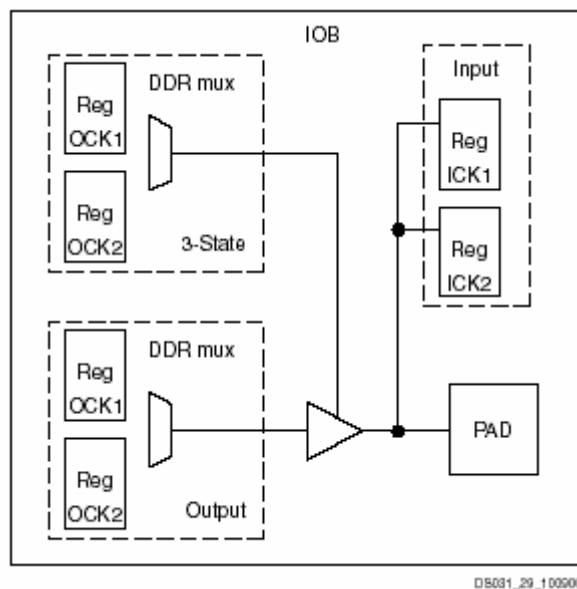
Figur 53: Virtex-II Pro, I/O-blokk (IOB)

## Virtex-II

Virtex-II familien er FPGA utviklet for høy prestasjon fra lav tetthet til høy tetthet på de logiske ressursene, som er basert på IP kjerner. Virtex-II leverer fullstendige løsninger for telekommunikasjon, trådløst, nettverk, lyd og bilde, og DSP applikasjoner, inkludert PCI, LVDS, og DDR grensesnitt. Virtex-II arkitekturen har optimalisert hastigheten og effektforbruket. Virtex-II er bygget opp av I/O blokker (IOBs) og interne Configurable Logic Blocks (CLBs).



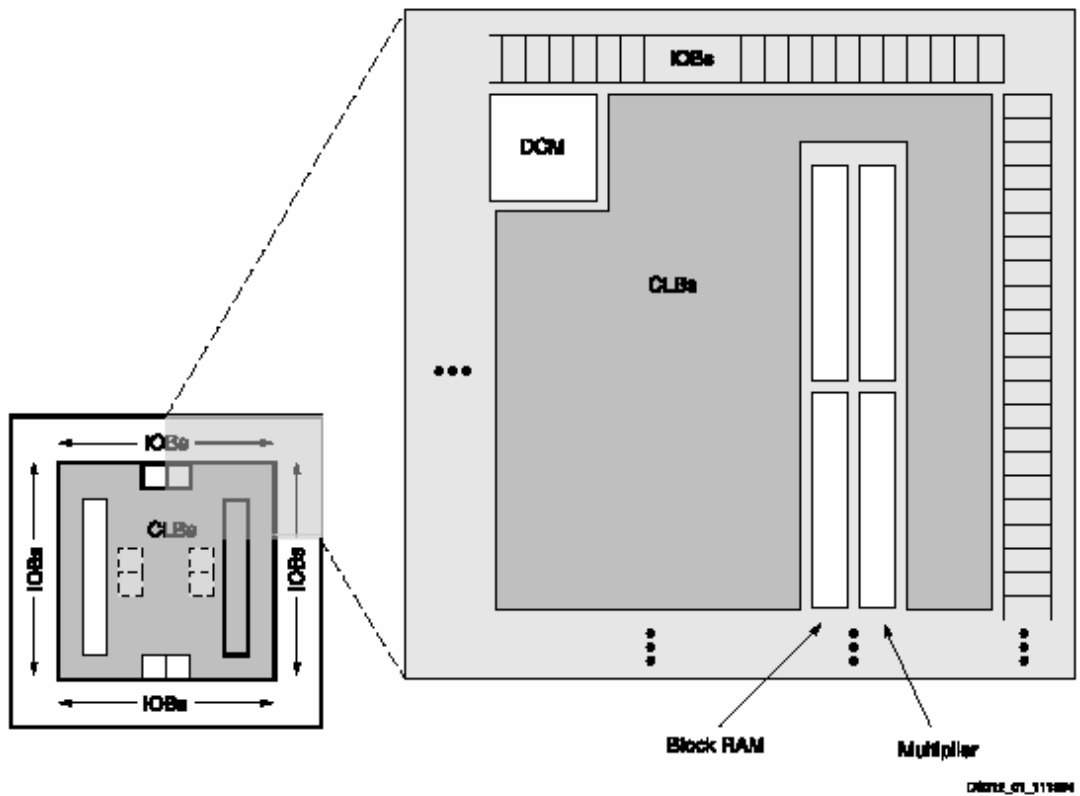
Figur 54: Virtex-II, Arkitektur



Figur 55: Virtex-II, I/O-blokk (IOB)

### Spartan-3E

Spartan-3E-familien er laget for å imøtekomme markedets behov for store volum til en lav pris, ved produksjon av forbrukerelektronikk. 3E-familien bygger på 3-familien, og har økte muligheter for logikk per I/O, samt en betraktelig lavere pris per logisk celle.

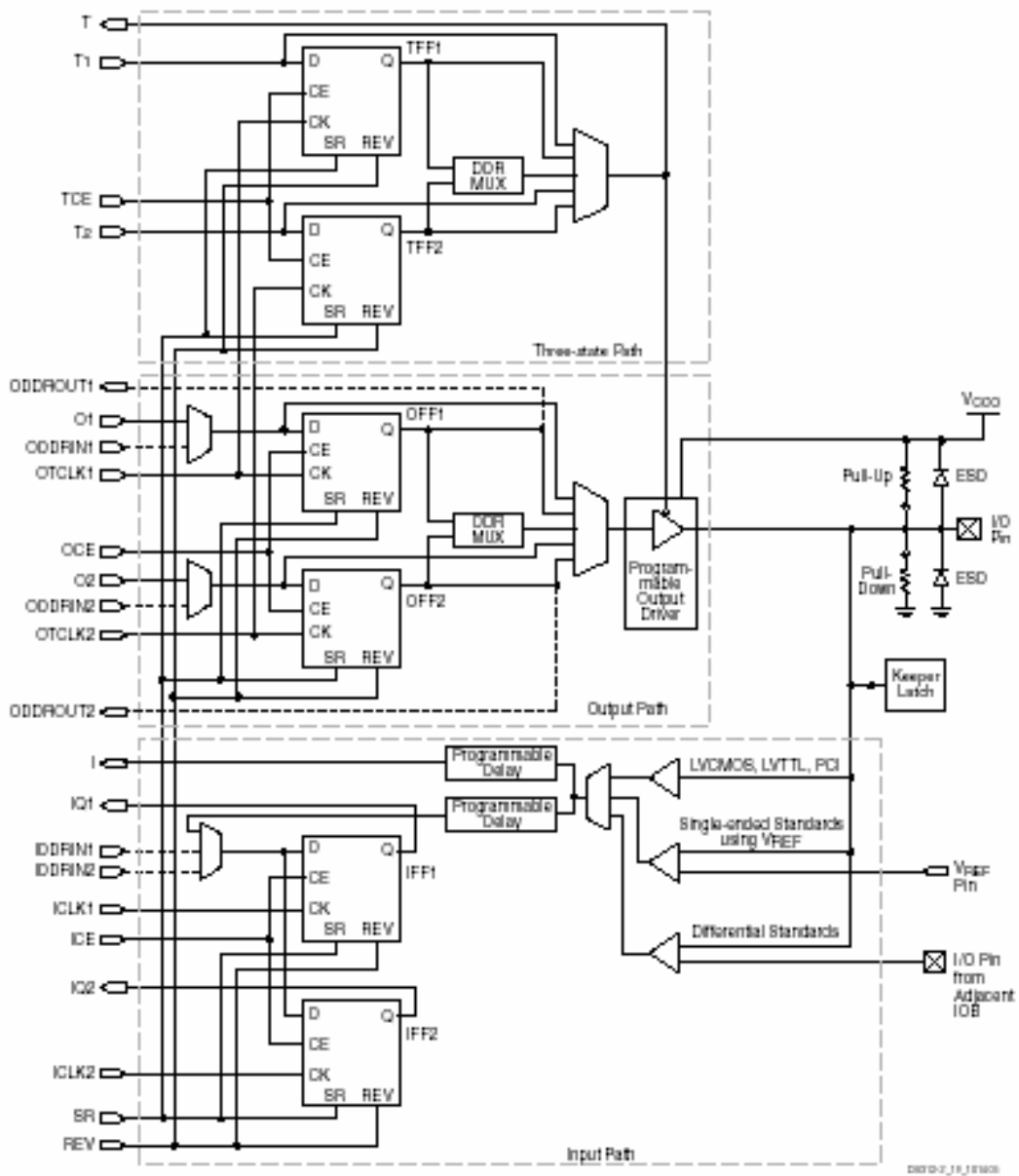


**Notes:**

1. The XC3S1200E and XC3S1600E have two additional DCMs on both the left and right sides as indicated by the dashed lines. The XC3S100E has only one DCM at the top and one at the bottom.

Figur 56: Arkitekturen til Spartan-3E-serien

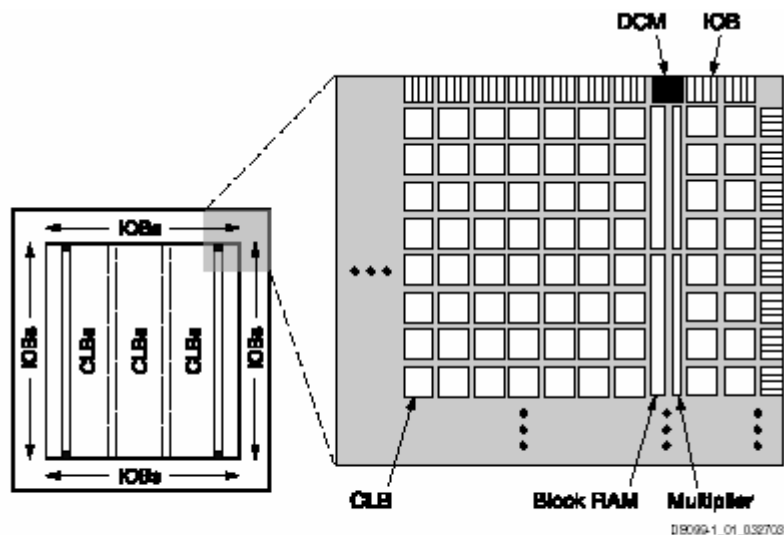




Figur 57: Spartan-3E, forenkelt I/O blokk (IOB)

## Spartan-3

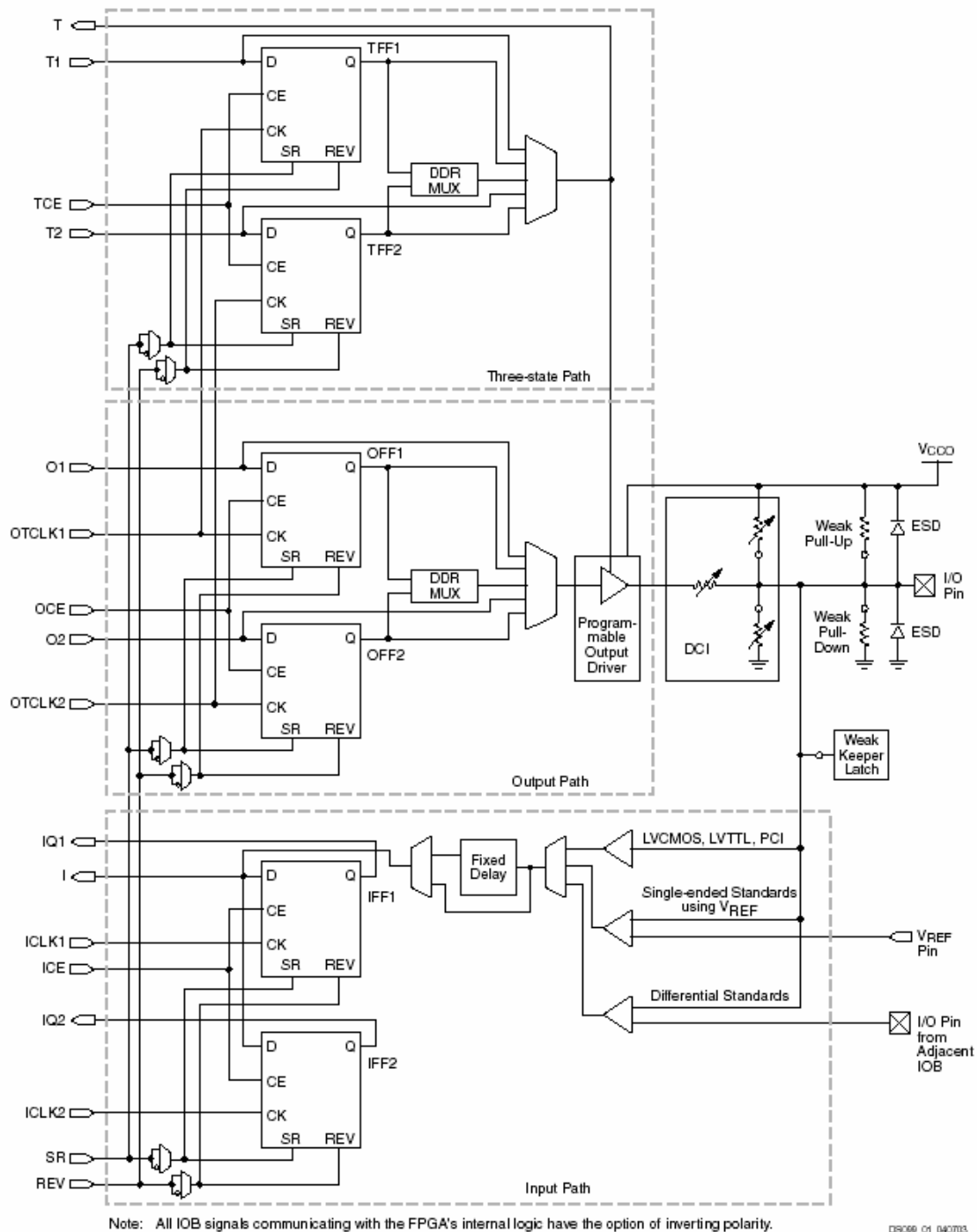
Spartan-3 familien er bygd på forgjengeren Spartan-IIE sin suksess. Man har økt tettheten ytterligere, som betyr økt logikk ressurser. Den interne RAM'en har økt kapasitet, enda flere I/O tilganger, samt generelle forbedringer på prestasjoner og klokkefrekvens. Den har også hentet forbedringer som har blitt gjort i Virtex-II familien. Spartan-3 er ekstremt kostnadseffektiv, og er som regel å foretrekke framfor ASICs.



### Notes:

1. The two additional block RAM columns of the XC3S4000 and XC3S5000 devices are shown with dashed lines. The XC3S50 has only the block RAM column on the far left.

Figur 58: Spartan-3, Arkitektur



Figur 59: Spartan-3, forenkelt I/O-blokk (IOB)

### Spartan-3A

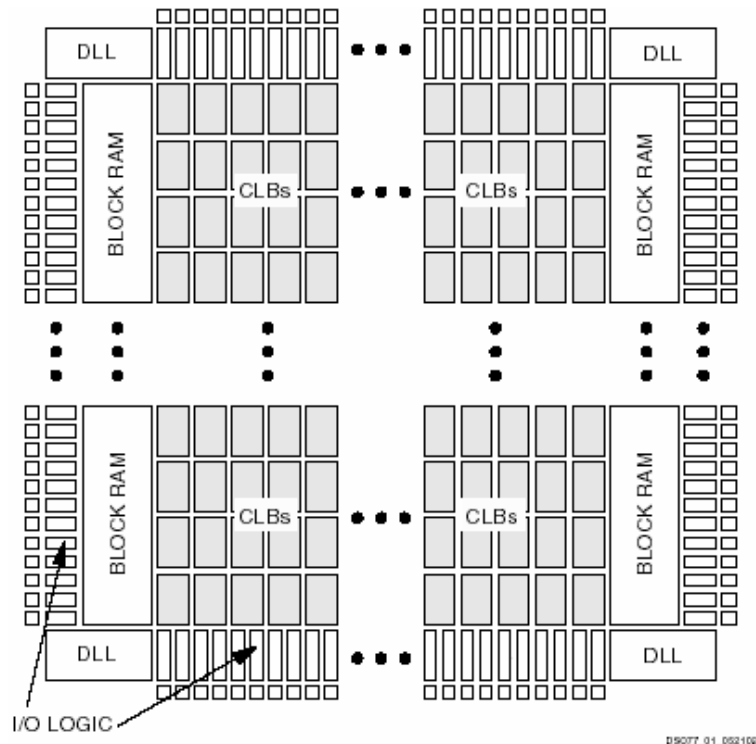
Er den utgaven i Spartan 3 serien som har mange I/O porter, men ikke så mye logikk som de to andre utgavene. Egner seg bra til DSP når behovet for en Virtex er der.

### Spartan-3AN

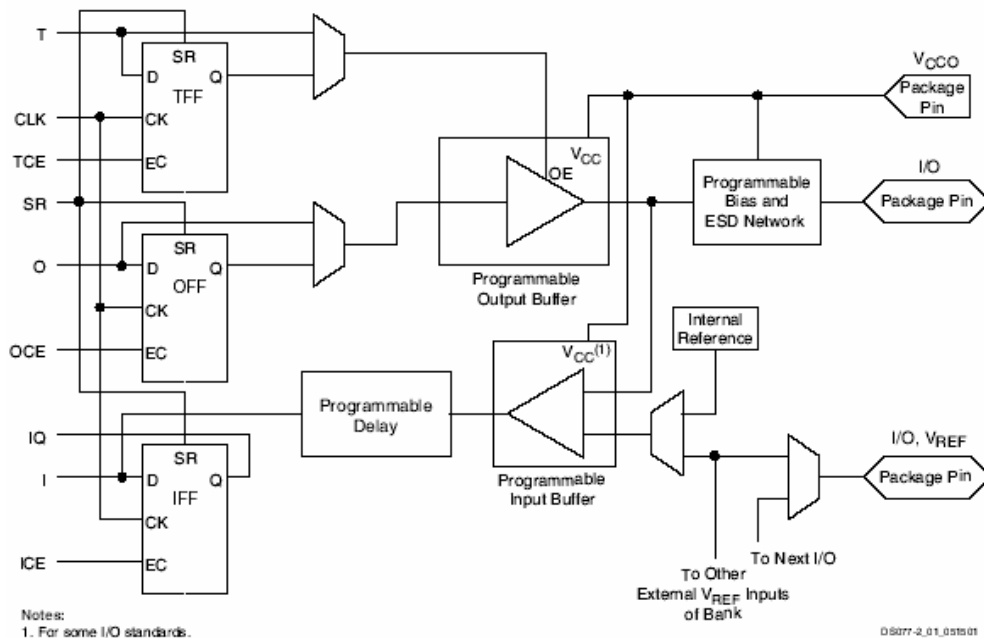
Samme Spartan 3 A, bare at den har en kombinasjon av SRAM og Flash som gjør kretsen ikke fluktig.

## Spartan-IIE

Spartan-IIE familien er nesten identisk med Spartan-II familien, men vi har mer av det meste: enda større tetthet, flere I/O og høyere hastighet.



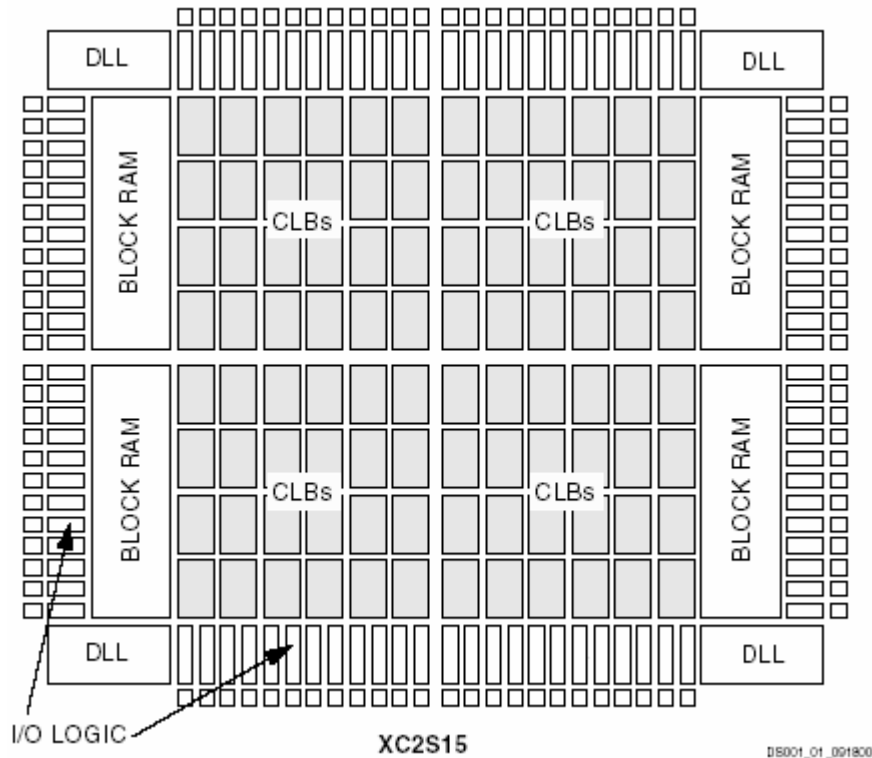
Figur 60: Spartan-IIE-familien FPGA, blokkdiagram



Figur 61: Spartan-IIE, I/O-blokk (IOB)

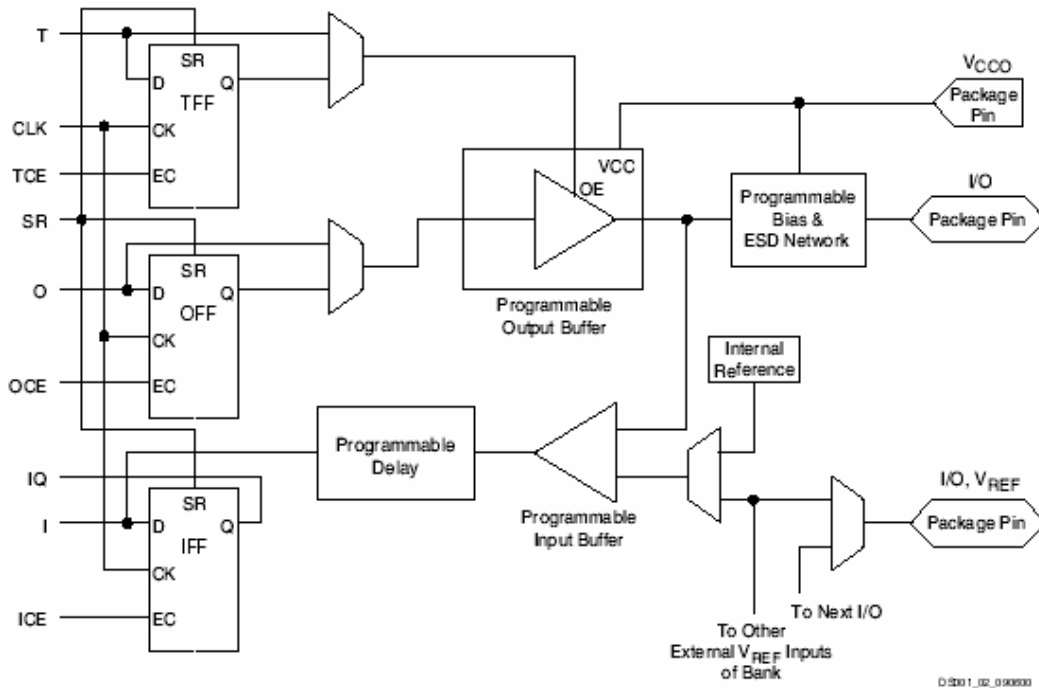
## Spartan-II

Spartan-II familien av FPGAs vanlig, fleksibel programmeringsarkitektur av Configurable Logic Blocks (CLBs), omgitt av programmerbare inn/ut blokker (IOBs). Det er fire Delay-Locked-Loops (DLLs) og RAM blokker.



Figur 62: Spartan-II-familien FPGA, blokkdiagram

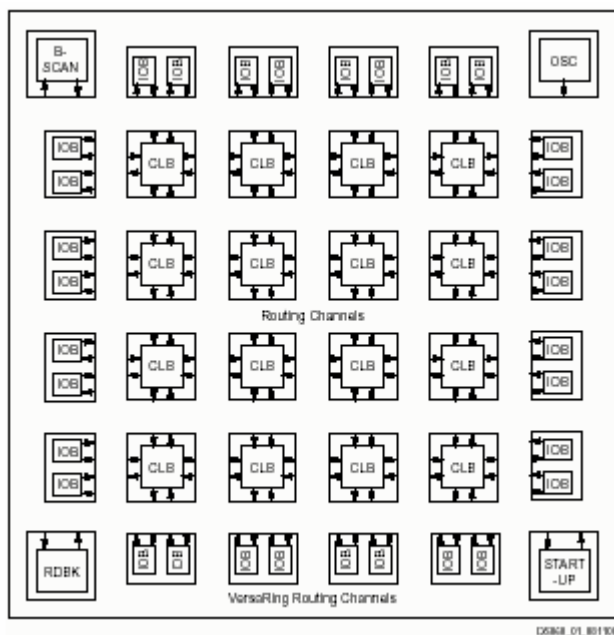
Spartan-II brukes i store applikasjoner og kostnadseffektive produkter.



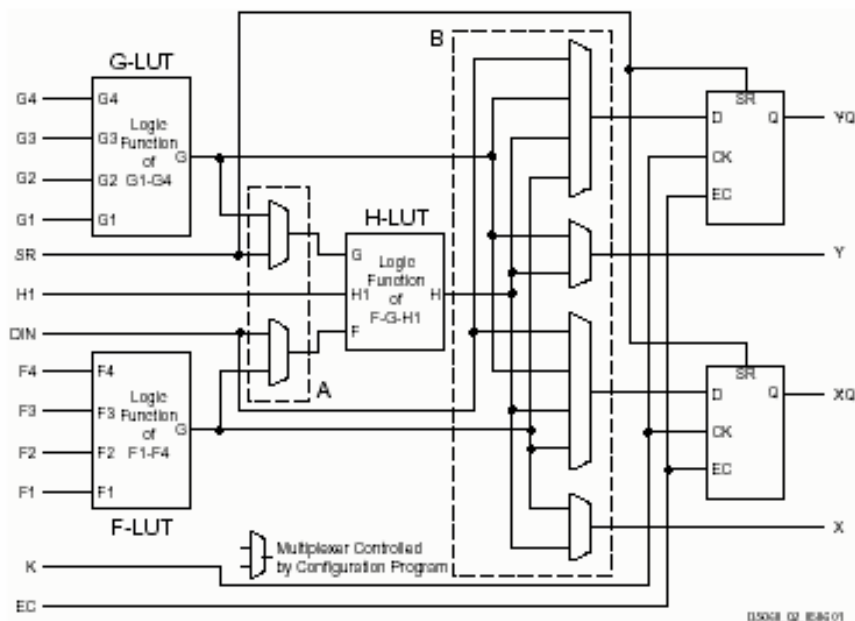
Figur 63: Spartan-II, I/O-blokken (IOB)

## Spartan-XL

Spartan-XL-familien er en løsning for store volum og kan brukes i stedet for ASIC med opp til 40.000 porter. Den inneholder RAM med høy hastighet.



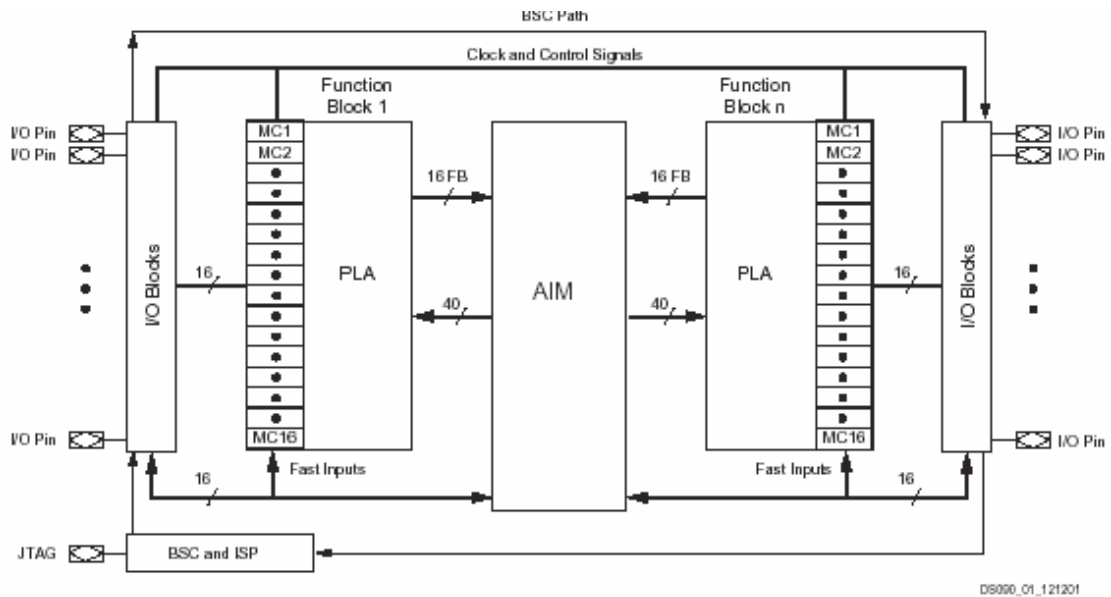
Figur 64: Arkitekturen til Spartan-XL-serien



Figur 65: Spartan-XL, forenklet I/O-blokk (IOB)

## Coolrunner-II

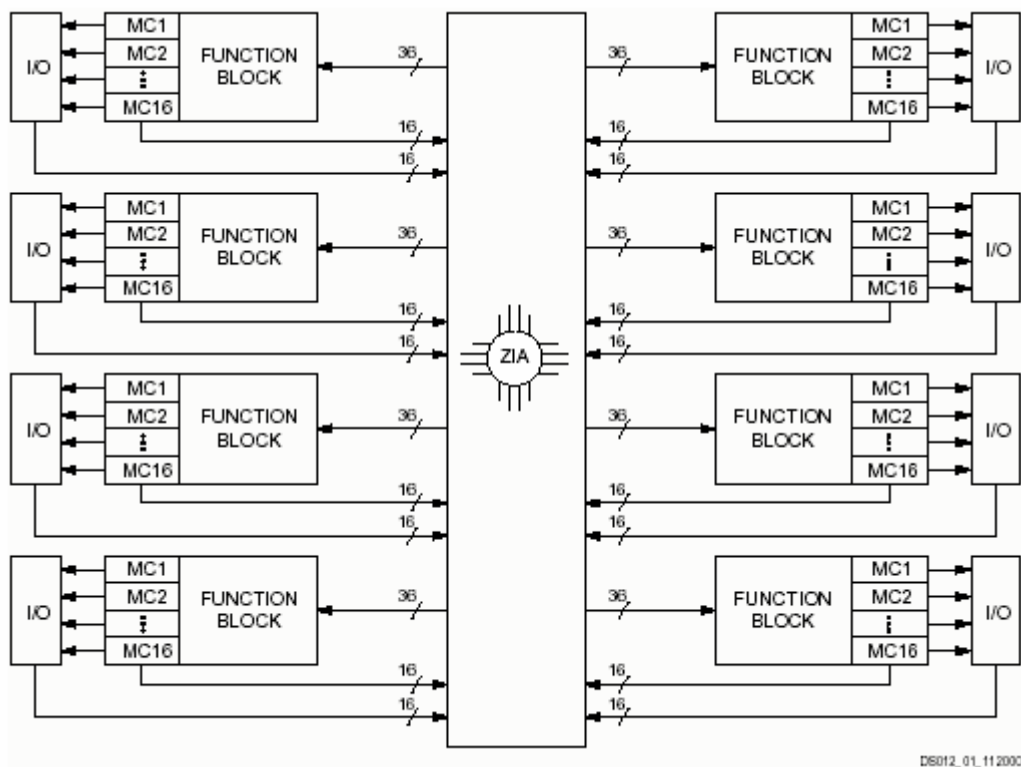
Coolrunner-II CPLDs leverer høy hastighet og brukervennlighet som XC9500/XL/XV familiene, kombinert med lavt effektforbruk som XPLA3. Det betyr at Coolrunner-II også har in-system-programming og Fast Zero Power (FZP) arkitektur.



Figur 66: Coolrunner-II, Arkitektur

### Coolrunner XPLA3

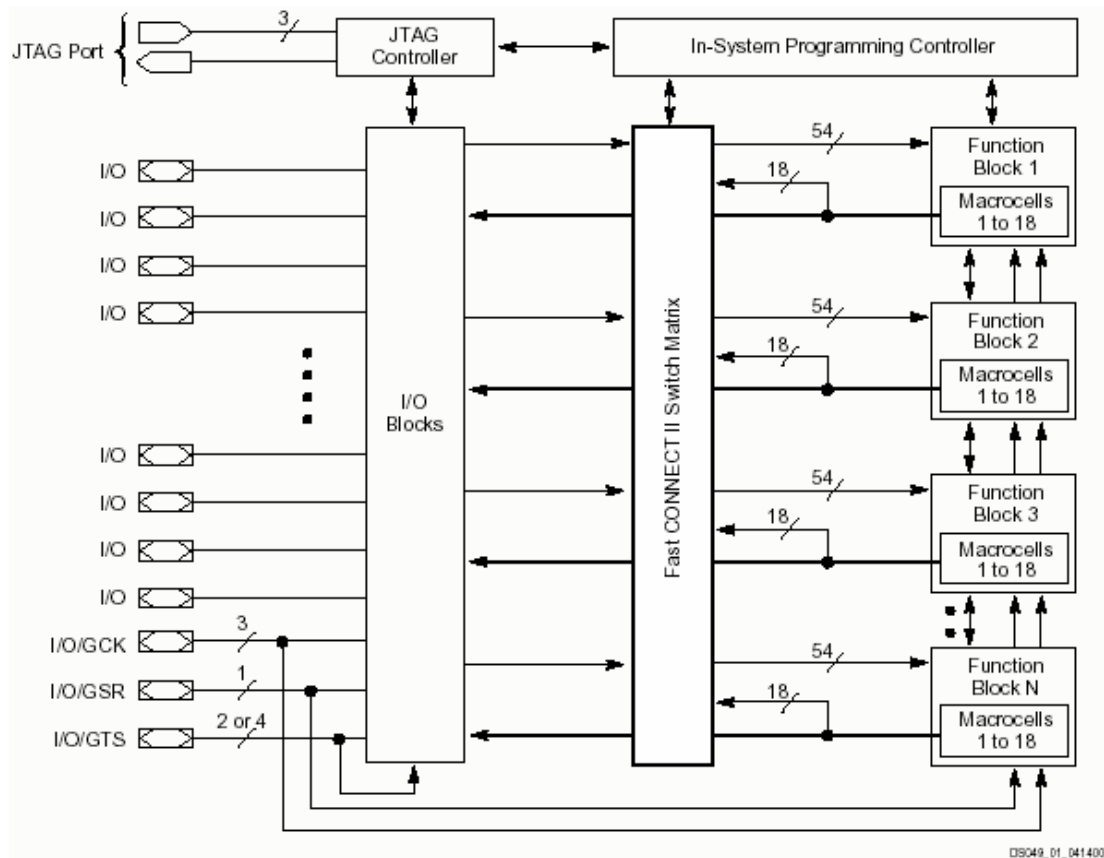
Coolrunner XPLA3 (extended Programmable Logic Array) familien av CPLD familien er ment for laveffektssystemer. XPLA3 er inkludert Fast Zero Power (FZP) teknologi som kombinerer lav effekt og høy hastighet.



Figur 67: Coolrunner-XPLA3, Arkitektur

## XC9500XV

XC9500XV familien er en 2.5 V CPLD-familie som er ment for høyhastighets- og lavspenningskommunikasjon og dataprosessering. XC9500XV støtter også in-system-programming og IEEE 1149.1 (JTAG), som gjør det lettere å feilsøke og konstruere. XC9500XV brukes der det er strenge krav til pålitelighet og liten strømspredning. Hver inngang støtter 3.3V og 2.5 V, og utgangene støtter 3.3 V, 2.5 V eller 1.8 V.

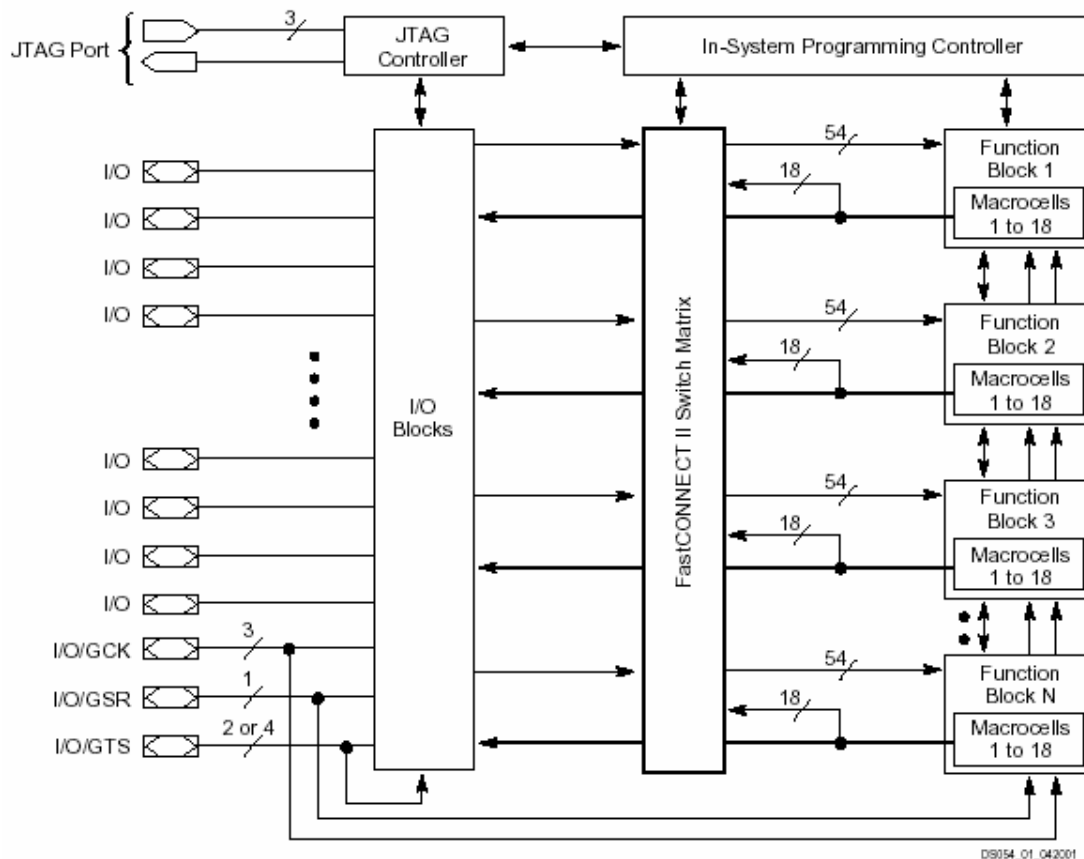


Figur 68: XC9500XV, Arkitektur



## XC9500XL

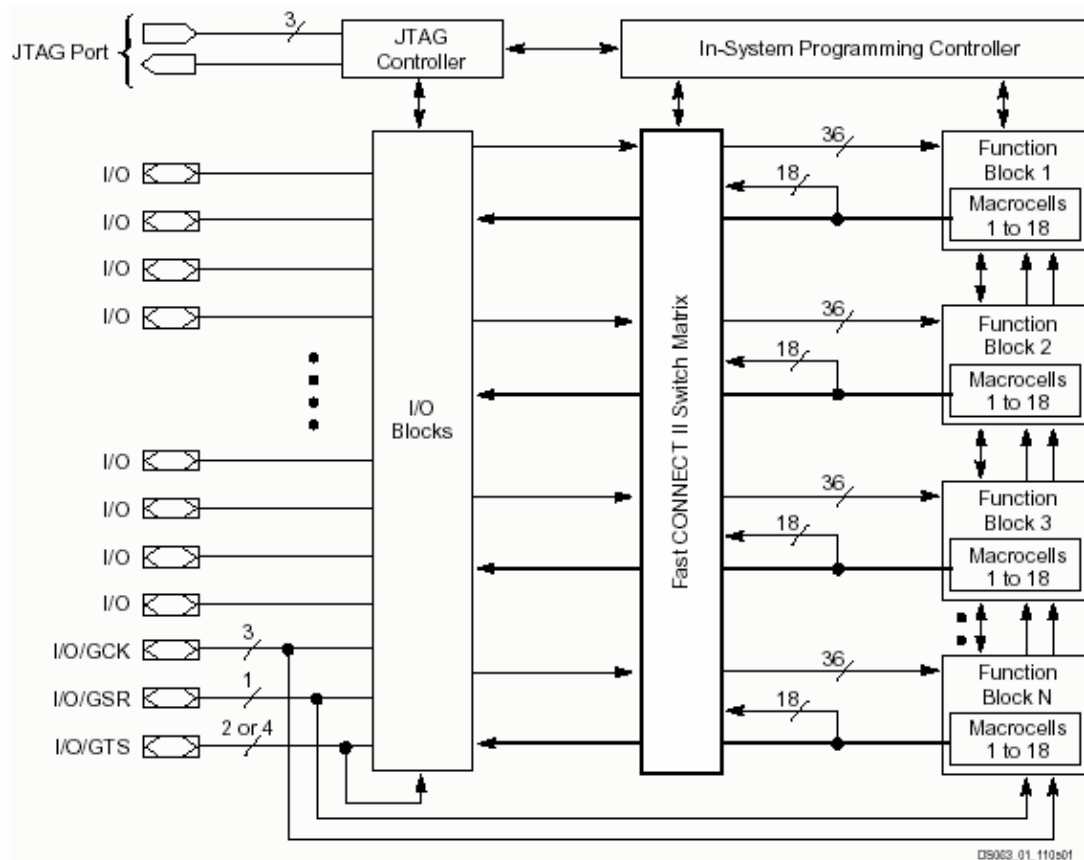
FastFLASH XC9500XL familien er en 3.3 V CPLD familie som er ment for høyhastighets- og lavspenningskommunikasjon og dataprosessering. XC9500XL støtter også in-system-programming og IEEE 1149.1 (JTAG), som gjør det lettere å feilsøke og konstruere. Hver inngang støtter 5V, 3.3V og 2.5 V, og utgangene støtter 3.3 V eller 2.5 V.



Figur 69: XC9500XL, Arkitektur

## XC9500

XC9500 CPLD familien er tilrettelagt for in-system-programming, noe som muliggjør en ubegrenset testing og endring av prototypen, og en fortløpende oppgradering. I/O pinnene kan være konfigurert enten til 3.3V eller 5 V, og med 24 mA driver på utgangene.



Figur 70: XC9500, Arkitektur

# Kretser

## XC9500XV-serien -2,5V:

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC9536XV	800	36	36	34/36		
XC9572XV	1600	72	72	34/38/72		
XC95144XV	3200	144	144	81/117		
XC95288XV	6400	288	288	117/168/192		

## XC9500XL-serien -3,3V

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC9536XL	800	36	36	34/36		
XC9572XL	1,600	72	72	34/38/52/69		
XC95144XL	3,200	144	144	81/117		
XC95288XL	6,400	288	288	117/168/192		

## XC-9500-serien -5,0V:

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC9536	800	36	36	34		
XC9572	1,600	72	72	34/69/72		
XC95108	2,400	108	108	69/81/108		
XC95144	3,200	144	144	81/133		
XC95216	4,800	216	216	133/166		
XC95288	6,400	288	288	168/192		

## Spartan 3E-serien 1.2V:

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC3S100E	100k		2,160	108	72k	
XC3S250E	250K		5,508	172	216k	
XC3S500E	500K		10,476	232	360k	
XC3S1200E	1,200K		19,512	304	504k	
XC3S1600E	1,600K		33,192	376	648k	

## Spartan 3-serien 1.2V:

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC3S50	50k		1,728	124	72k	
XC3S200	200k		4,320	173	216k	
XC3S400	400k		8,064	264	288k	
XC3S1000	1M		17,280	391	432k	
XC3S1500	1.5M		29,952	487	576k	
XC3S2000	2M		40,960	565	720k	
XC3S4000	4M		55,296	712	1,728k	
XC3S5000	5M		66,560	784	1,872k	

## Spartan 3A-serien 1.2V:

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC3S50A	50k		1584	144	54k	
XC3S200A	200k		4032	172	288k	
XC3S400A	400k		8064	311	360k	
XC3S700A	400k		13248	372	360k	
XC3S1400A	1400k		25344	502	576k	

## Spartan IIE-serien 1.8V:

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC2S50E	50k		1,728	182	32k	
XC2S100E	100k		2,700	202	40k	
XC2S150E	150k		3,888	265	48k	
XC2S200E	200k		5,292	289	56k	
XC2S300E	300k		6,912	329	64k	
XC2S400E	400k		10,800	410	160k	
XC2S600E	600k		15,552	514	288k	

**Spartan II-serien 2.5V:**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
Spartan-II XC2S15	15k		432	86	16k	
Spartan-II XC2S30	30k		972	92	24k	
Spartan-II XC2S50	50k		1,728	176	32k	
Spartan-II XC2S100	100k		2,700	176	40k	
Spartan-II XC2S150	150k		3,888	260	48k	
Spartan-II XC2S200	200k		5,292	284	56k	

**Spartan XL-serien - 3.3V:**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XCS05XL	5k		238	77		
XCS10XL	10k		466	112		
XCS20XL	20k		950	160		
XCS30XL	30k		1,368	192		
XCS40XL	40k		1,862	205		

**Coolrunner-XPLA3 -3,3V:**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XCR 3032XL	750	32	32	36		
XCR 3064XL	1,500	64	64	36,40,48,68		
XCR 3128XL	3,000	128	128	84,108		
XCR 3256XL	6,000	256	256	120,164		
XCR 3384XL	9,000	384	384	118,172,212,220		
XCR 3512XL	12,000	512	512	180,212,260		

**Coolrunner-II – 1,8V:**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC2C32A			32	33		
XC2C64A			64	33, 45, 64		
XC2C128			128	80, 100		
XC2C256			256	80, 106, 118, 173, 184		
XC2C384			384	118, 173, 212, 240		
XC2C512			512	173, 212, 270		

**Virtex-II Pro-serien 1.5V:**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC2VP2			3,168	204	216k	
XC2VP4			6,768	348	504k	
XC2VP7			11,088	396	792k	
XC2VP20			20,880	564	1,584k	
XC2VP30 / XCE2VP30			30,816	644	2,448k	
XC2VP40 / XCE2VP40			43,632	804	3,456k	
XC2VP50 / XCE2VP50			53,136	852	4,176k	
XC2VP70 / XCE2VP70			74,448	996	5,904k	
XC2VP100 / XCE2VP100			99,216	1,164	7,992k	

**Virtex-II Pro X-serien 1.5V:**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC2VPX20			22,032	552	1,584k	
XC2VPX70 / XCE2VPX70			74,448	992	5,544k	

**Virtex-II -serien 1.5V:**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC2V40	40k		576	88	72k	
XC2V80	80k		1,152	120	144k	
XC2V250	250k		3,456	200	432k	
XC2V500	500k		6,912	264	576k	
XC2V1000	1M		11,520	432	720k	
XC2V1500	1.5M		17,280	528	864k	
XC2V2000	2M		24,192	624	1,008k	
XC2V3000 / XCE2V3000	3M		32,256	720	1,728k	
XC2V4000 / XCE2V4000	4M		51,840	912	2,160k	
XC2V6000 / XCE2V6000	6M		76,032	1,104	2,592k	
XC2V8000 / XCE2V8000	8M		104,882	1,108	3,024k	

**Virtex-4 LX -serien: Logic**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC4VLX15			13,824	320	864k	
XC4VLX25			24,192	448	1,296k	
XC4VLX40			41,472	640	1,728k	
XC4VLX60			59,904	640	2,880k	
XC4VLX80			80,640	768	3,600k	
XC4VLX100			110,592	960	4,320k	
XC4VLX160			152,064	960	5,128k	
XC4VLX200			200,448	960	6,048k	

**Virtex-4 SX -serien: Signal Processing**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC4VSX25			23,040	320	2,304k	
XC4VSX35			34,560	448	3,456k	
XC4VSX55			55,296	640	5,760k	

**Virtex-4 FX-serien: Embedded Processing & Serial Connectivity**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC4VFX12			12,312	320	648k	
XC4VFX20			19,224	320	1,224k	
XC4VFX40			41,904	448	2,592k	
XC4VFX60			56,880	576	4,176k	
XC4VFX100			94,896	768	6,768k	
XC4VFX140			142,128	896	9,936k	

**Virtex-5 LX-serien: Embedded Processing & Serial Connectivity**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC5VLX30			30,720	400	1,152k	
XC5VLX50			46,080	560	1,728k	
XC5VLX85			82,944	560	3,456k	
XC5VLX110			110,592	800	4,608k	
XC5VLX220			221,184	800	6,768k	
XC5VLX330			331,776	1200	10,368k	

**Virtex-5 SXT -serien: Embedded Processing & Serial Connectivity**

Krets	Gates	Registre	Celler	I/O	Block RAM	Pris
XC5VSX35T			34,816	360	3,024k	
XC5VSX50T			52,224	480	4,752k	
XC5VSX95T			94,208	640	8,784k	

# Zarlink Semiconductors



## Selskapet

30 mai 2001 ble det annonsert at Mitel Corporation heretter skal identifiseres som varemerket Zarlink Semiconductors™. Under dette navnet skal selskapet bla levere kommunikasjonsløsninger, integrerte kretser brukt i kommunikasjon og low-power chipset til bruk i medisinsk sammenheng. Zarlink Semiconductors™ har ledende integrerte kretser innen TDM data/lyd switching og timing kretser. I tillegg produserer selskapet ”skreddersydde” integrerte kretser (ASIC’s) til interesserte kunder. Selskapet leverer derimot ikke FPLD kretser.

Zarlink Semiconductors™ har ca 1700 ansatte og har nesten 1200 patenter på ulike teknologiske løsninger.

Hovedkontor	Underleverandører i Norge	
	Firma	Kontakt
ZARLINK  400 March Road, Ottawa, Canada K2K 3H4 Phone: 613 592-0200 Fax: 613 591-2317 Email: <a href="mailto:corporate@zarlink.com">corporate@zarlink.com</a>  Web: <a href="http://www.zarlink.com">http://www.zarlink.com</a>	Acte NC Norway A/S  Nordcomp, P.O Box 190 Skedsmokorset N-2021 Norway E-mail <a href="mailto:leif.thorset@acte.no">leif.thorset@acte.no</a> <a href="http://www.acte.no">http://www.acte.no</a>	Tel: +47 63 89 89 00  Fax: +47 63 87 90 00
	Unique Memec Smedsvingen 4 PO Box 366 1379 Nesbru Norway  <a href="mailto:info@unique.no.memec.com">info@unique.no.memec.com</a>  <a href="http://www.unique.eu.memec.com">http://www.unique.eu.memec.com</a>	Tel: +47 66 77 97 00  Fax: +47 66 77 97 49

## Hva er Zarlink?

Zarlink Semiconductor er det nye navnet for gamle Mitel Semiconductor. Navnet Zarlink betyr i deres egen tolkning, "leader in connectivity", og er avledet av latinske "Cæsar" som betyr "en med stor styrke eller autoritet", og ordet "link" som betyr "å koble sammen, eller å være tilkoblet".

Endringen av navn til Zarlink Semiconductor er siste steg i en prosess fra å være en avdeling av et større telekom systemhus, til å bli en sterkt fokusert halvlederprodusent med fokus og glød som et nytt start-up firma, men med et produktspekter, kompetanse og ressurser som en etablert leder.

Zarlink vil i fremtiden fokusere i langt større grad på enkelt områder hvor de er ledende, eller vil kunne bli en leder. Det vil også legges langt større vekt på rask introduksjon av nye produkter innen kjerneområdene.

Disse områdene er først og fremst:

- TDM svitsjing
- System timing
- IP og pakke svitsjing
- xDSL
- Opto
- samt komponenter for satelitt, kabel eller markbasert digital kringkasting, og integrerte digitale TV mottakere.

I tillegg produserer Zarlink produkter som DTMF receivere og tranceivere, linje interface kretser som SLICer, COICs, CMOS DAA, analoge svitsjer, ekko kansellerings kretser både for akustisk og linje ekko, T1/E1 framere og kombo kretser, laser dioder, VCSEL.matriser, etc. Zarlink er også en ledende produsent av ekstrem lav effekt komponenter for medisinske applikasjoner som høre apparater og pace makere. Gjennom sine CMOS og bipolare produksjonelinjer i England og Canada, tilbyr de også betydelige foundry tjenester for andre halvleder produsenter.

## ASIC krets familier levert av Zarlink Semiconductors

Zarlink Semiconductors™ leverer ikke programmerbare integrerte kretser, FPGA'er, men leverer isteden Gate array, Standard cell og komplett kundespesifiserte kretser som må leveres inn til Zarlink for å produseres. Komplett kundespesifisert ASIC blir utført ved å designe hele kretsen i alle dens detaljer ned til transistornivå. Dette gjør det mulig å optimalisere kretsen til sitt bruksområde.

## Teknologi.

Kan ikke se at Zarlink Semiconductors leverer programmerbare integrerte kretser som FPGA'er. Zarlink kan levere komplett kundespesifiserte kretser. Disse kretsene er det kunden som bestemmer hvordan den skal bli, kretsen blir designa helt ned til transistornivå. Dette gjør det mulig å optimalisere kretsen til sitt bruksområde.

Dersom du ser på underleverandørene til Zarlink, Unique Memec levere de FPGA kretser.

Krets/familie	Gates	Produsent	I/O	Pris	Annet
<a href="#">QL5332-33APB256I</a>		QuickLogic			FPGA,QuickPCI Family,One Time Programmable device,3.3V Supply,256BGA
<a href="#">QL5332-33APB256C</a>		QuickLogic			FPGA,QuickPCI Family,One Time Programmable device,3.3V Supply,256BGA
<a href="#">ORT8850L-3BM680</a>		Lattice Semiconductor			FPGA,ORT8850 Family,Reprogrammable device,5V Supply,680PBGAM
<a href="#">ORT8850L-3BA352</a>		Lattice Semiconductor			FPGA,ORT8850 Family,Reprogrammable device,5V Supply,352BGA
<a href="#">ORT8850L-2BM680</a>		Lattice Semiconductor			FPGA,ORT8850 Family,Reprogrammable device,5V Supply,680PBGAM
<a href="#">ORT8850L-2BA352</a>		Lattice Semiconductor			FPGA,ORT8850 Family,Reprogrammable device,5V Supply,352BGA
<a href="#">ORT8850L-1BM680</a>		Lattice Semiconductor			FPGA,ORT8850 Family,Reprogrammable device,5V Supply,680PBGAM
<a href="#">ORT8850L-1BA352</a>		Lattice Semiconductor			FPGA,ORT8850 Family,Reprogrammable device,5V Supply,352BGA
<a href="#">ORT8850H-3BM680</a>		Lattice Semiconductor			FPGA,ORT8850 Family,Reprogrammable device,5V Supply,680PBGAM
<a href="#">ORT8850H-2BM680</a>		Lattice Semiconductor			FPGA,ORT8850 Family,Reprogrammable device,5V Supply,352BGA
<a href="#">ORT8850H-1BM680</a>		Lattice Semiconductor			FPGA,ORT8850 Family,Reprogrammable device,5V Supply,680PBGAM
<a href="#">ORT82G5-3BM680</a>		Lattice Semiconductor			FPGA,ORT82G5 Family,Reprogrammable device,5V Supply,680PBGAM
<a href="#">ORT82G5-2BM680</a>		Lattice Semiconductor			FPGA,ORT82G5 Family,Reprogrammable device,5V Supply,680PBGAM
<a href="#">ORT82G5-1BM680</a>		Lattice Semiconductor			FPGA,ORT82G5 Family,Reprogrammable device,5V Supply,680PBGAM

Oversikt over FPGA kretser som Unique Memec kan levere.

For å få tilgang til mer informasjon, som gates, registre, celler og pris, om de forskjellige FPGA kretsene må du registrere deg som kunde hos Unique Memec.



## **Konklusjon**

Det blir stadig flere og flere FPLD-er på markedet. Det viser at dette feltet er i vekst og at leverandørene er aktiv i utviklingen av større, bedre og mer fleksible kretser.

FPLD-er blir i økende grad benyttet i prototyp utvikling, men også til ordinær produksjon. Det er betydelig billigere å benytte en FPLD til små serie produksjon, fremfor å utvikle en egen ASIC.

# Forkortelser

## **ASIC**

Application Spesified Integrated Circuit.

En kundespesifisert integrert krets produsert helt fra bunnen av.

## **CPLD**

Complex Programmable Logic Device

EPROM baserte.

## **EPROM**

Electrical Programmable Read Only Memory

## **FPGA**

Field Programmable Gate Array

## **FPLD**

Field Programmable Logic Device

## **ISP**

In System Programmable

## **SRAM**

Static Random Access Memory

## **VHDL**

VHSIC Hardware Description Language

VHSIC = Very High Speed Integrated Circuits

# Vedlegg 1

## Utgangspunkt for undersøkelsen i 2007

Følgende FPLD produsenter er nevnt i diverse litteratur og er funnet etter et søk på nettet. Listen ble fordelt mellom følgende studenter som tok hver sin produsent i undersøkelsen.

En del har etter hvert gått over til å produsere software eller er blitt tatt over av andre produsenter.

---

## VHDL – ELE3161

### Øving 2

**Tema:** *Bli kjent med forskjellige FPLD kretser*

**Utlevert:** uke 36

Målet med denne oppgaven er at vi skal lage en oversikt over forskjellige FPLD kretser fra forskjellige leverandører og oppdatere HiG sin rapport/notat serie.

En kan i dette arbeidet ta utgangspunkt i 2006 rapporten. Denne skal oppdateres.

Produsent	Web-side	Student	Diverse
Actel	<a href="http://www.actel.com">www.actel.com</a>	INGEN	
Altera	<a href="http://www.altera.com">www.altera.com</a>	Bjørn Håvar	
Atmel	<a href="http://www.atmel.com">www.atmel.com</a>	INGEN	
Cypress	<a href="http://www.cypress.com">www.cypress.com</a>	INGEN	
Lattice	<a href="http://www.latticesemi.com">www.latticesemi.com</a>	INGEN	
QuickLogic	<a href="http://www.quicklogic.com">www.quicklogic.com</a>	INGEN	
Triscend	<a href="http://www.triscend.com">www.triscend.com</a>	INGEN	
Xilinx	<a href="http://www.xilinx.com">www.xilinx.com</a>	Lars	
Zarlink	<a href="http://www.zarlink.com">www.zarlink.com</a>	INGEN	

Teknologier:

Teknologi	Web-side	Student	Diverse
SRAM		INGEN	
CPLD		INGEN	
Antifuse		INGEN	

En uavhengig FPGA-guide kan finnes her: <http://www.fpga-guide.com>

De forskjellige produsenter sine egne beskrivelser kan også benyttes.

Hver student (i følge tabellen over) tar en produsent (eller teknologi) og skal finne informasjon om disse. Se neste side hvordan informasjon skal systematiseres.

## Informasjon skal systematiseres på denne måten.

### Selskapet

Litt generell informasjon om produsenten.

Adresseinformasjon mm slik som i tabell under.

<i>Hovedkontor</i>	<i>Underleverandører i Norge</i>	
	<i>Firma</i>	<i>Kontakt</i>
ATMEL CORPORATION  2325 Orchard Parkway San Jose, CA 95131 TEL (408) 441-0311 FAX(408) 487-2600  URL: <a href="http://www.atmel.com">http://www.atmel.com</a>	ACTE NC Norway AS  Vestvollveien 10C 2020 Skedsmokorset, Norway <a href="http://www.acte.no">www.acte.no</a>	Tlf: (47) 63 89 89 00 <b>Faks: (47) 63 89 89 79</b>
	ARROW Norway  Postbox 25 N-5578 Nedre Vats, Norway <a href="http://www.arrow.no">www.arrow.no</a>	Tlf: (47) 52 76 30 00 <b>Faks: (47) 52 76 53 39</b>

### Teknologi

En beskrivelse av de forskjellige teknologiene som benyttes i de forskjellige familiene.

Det bør lages en kort beskrivelse der det står et bilde av den logiske cellen som benyttes i de forskjellige familiene.

### Kretser

Informasjon om kretser settes opp i en tabell slik som under her.

Det er fordelaktig å benytte en slik tabell for hver type familie.

Det bør også være en kort innledning som sier noe om hastigheter og langtids-pålitelighet.

Krets/familie	Gates	Registre	Celler	I/O	Pris	Annet
eX64	3.000	64	128	81	50,-	

---

### Generelt for de tre hovedkapitler som er angitt over:

Tekst: Times New Roman - 12 pkt

Tekst i tabell: Times New Roman -10 pkt

Overskrifter: Unummerert og i fet skrift Times New Roman - 16 pkt - 18 pkt på første

Word tekstbehandler benyttes.

Bilder og grafer bør være klare og ha hensiktsmessig størrelse.

Pris: Det er ikke nødvendig å fylle ut dette feltet hvis informasjon ikke er tilgjengelig på nettsidene.

Svar sendes på mail til **knut.wold@hig.no**.